



Etude d'interrupteurs en carbure de silicium et potentiel d'utilisation dans des applications aéronautiques

Dhouha Othman

► To cite this version:

Dhouha Othman. Etude d'interrupteurs en carbure de silicium et potentiel d'utilisation dans des applications aéronautiques. Autre. Université Paris Saclay (COMUE), 2015. Français. NNT : 2015SACLN033 . tel-01265578

HAL Id: tel-01265578

<https://theses.hal.science/tel-01265578>

Submitted on 1 Feb 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**THÈSE DE DOCTORAT
DE L'UNIVERSITÉ PARIS-SACLAY,
préparée à l'École Normale Supérieure de Cachan**

ECOLE DOCTORALE N°575
Electrical, Optical, Bio-physics and Engineering
Spécialité de doctorat : Génie électrique

Présentée par :
Madame OTHMAN Dhouha

**Étude d'interrupteurs de puissance en carbure de silicium
et potentiel d'utilisation dans les convertisseurs aéronautiques**

Thèse présentée et soutenue à Cachan le 14 décembre 2015

Composition du Jury :

M. MOREL Hervé	Directeur de recherche CNRS, AMPÈRE	Rapporteur
M. RICARDEAU Frédéric	Directeur de recherche CNRS, LAPLACE	Rapporteur
M. FOREST François	Professeur des universités, Montpellier II	Membre
M. BOUZOURENE Arezki	Ingénieur R&D, THALES AES	Membre
M. DHERBECOURT Pascal	Maître de conférence, Université de Rouen	Membre
M. LEFEBVRE Stéphane	Professeur des universités, CNAM Paris	Directeur de thèse
M. IBRAHIM Ali	Ingénieur de recherche, IFSTTAR	Membre
Mme. BERKANI Mounira	Maître de conférence, UPEC	Membre



*A mes parents,
A ma petite sœur,
A mon mari.*

Le grand souffle de l'avalanche m'effleure, mais ne m'emporte pas.
Je me relève pour reprendre ma route...
Dans le labyrinthe des hautes montagnes,
je cherche l'itinéraire qui me conduira à mon sommet...
La route est longue, je me concentre. Une seule chose compte : mon objectif.
Mon regard reste fixé sur ce point tout là-haut...
La montagne est semée d'embûches. Le danger me guette en permanence.
Je ne m'affole pas.
J'évite les crevasses et tous les obstacles. Je m'arrête, cherche mon souffle.
Je reprends ma route...
Je suis au sommet.
Je découvre les portes de la liberté. Devant moi, un horizon fantastique.
En moi, une émotion extraordinaire...
La douleur, les peines, soudain tout s'efface. Oui, j'ai atteint mon Everest !

Dr. CHRISTINE JANIN.
A chacun son Everest !

Remerciements

Je tiens en premier lieu à remercier mon encadrant industriel, M. Arezki BOUZOURENE, pour sa confiance et son soutien pendant et après la thèse. Je remercie aussi Madame Virginie NGUYEN-DARRAS, responsable RH chez THALES, qui m'a énormément aidé dans les démarches administratives.

Je remercie également M. Pascal LARZABAL, directeur du Laboratoire SATIE, de m'avoir accueilli au sein du SATIE. Je ne peux oublier les personnels techniques et administratifs, notamment Sophie ABRIET, Béatrice BACQUET, Aurore GRACIA, Dominique BACH et Patrice VALLADE, pour leur professionnalisme et leur sympathie.

Je tiens également à remercier les membres du jury qui m'ont fait l'honneur de participer à ma soutenance de thèse. Je témoigne toute ma gratitude à M. Frédéric RICARDEAU et M. Hervé MOREL qui ont accepté de rapporter sur ce mémoire. Je les remercie pour les échanges enrichissants que nous avons pu avoir. Je remercie également M. François FOREST de m'avoir fait l'honneur de présider ce jury. Je ne peux oublier M. Pascal DHERBECOURT de m'avoir fait l'honneur de participer au jury, d'avoir eu la gentillesse de m'accueillir au sein du Laboratoire GPM (Université de Rouen) et d'avoir fortement contribué aux travaux d'analyse de défaillance.

J'exprime toute ma reconnaissance et gratitude à mon directeur de thèse, M. Stéphane LEFEBVRE, dont l'investissement dépasse largement le contexte scientifique et à qui je dois une grande partie de cette réussite. Je le remercie d'avoir cru en moi, de m'avoir beaucoup appris et de m'avoir toujours soutenue. Je remercie également mes encadrants M. Zoubir KHATIR, Madame Mounira BERKANI et M. Ali IBRAHIM pour leur soutien, ainsi que pour la confiance et la liberté qu'ils m'ont accordé durant cette période.

J'adresse mes sincères remerciements aux chercheurs du SATIE : permanents, doctorants, amis et collègues, pour la bonne ambiance, la bonne humeur, l'esprit de partage et l'esprit d'équipe. Merci de m'avoir soutenue jusqu'à la fin.

Merci à l'équipe de Chamonix. Je remercie les filles de Chamonix de m'avoir offert la plus belle des aventures au moment où j'en avais le plus besoin et de m'avoir beaucoup soutenu quand je ne savais plus où j'en étais.

Merci à mes parents, à qui je dois tout. Merci de m'avoir tout donné, d'être toujours à mes côtés et d'avoir été plus fiers de moi que je ne peux l'être. Merci à ma petite sœur qui n'a jamais cessé de m'encourager et de prendre soin de moi et à mon frère qui m'a souvent soutenue. Merci à ma famille en France, SAÏD, ALINE et REMY pour l'encouragement et le soutien. Merci à ma belle famille, MAURICETTE, ALAIN et PAPI d'avoir assisté à ma soutenance et d'avoir partagé avec moi ce joyeux événement.

Enfin merci à mon Julien. Merci d'avoir veillé sur moi, de m'avoir soutenu dans les moments difficiles et d'être présent dans les moments heureux. Merci de toujours tout organiser surtout à l'approche de la fin. Merci d'avoir consacré beaucoup de temps et d'effort pour rendre cette période la moins dure possible. Merci pour ton aide, ta confiance et ta patience.

Table des matières

Remerciements	v
Introduction Générale	1
I Intégration et ruptures pour l'électronique de puissance	3
1 Contexte	5
1.1 Introduction	5
1.2 Contraintes d'intégration	6
1.3 Recours aux composants grand gap	9
1.4 Conclusion	12
2 Semi-conducteurs à large bande interdite (grand gap)	15
2.1 Introduction	15
2.2 Propriétés des matériaux à grand gap	15
2.3 Comparaison entre semi-conducteurs	20
2.4 Composants SiC disponibles	25
2.5 Conclusion	30
II Investigations sur les interrupteurs de puissance en Carbure de Silicium	31
1 Évaluation des performances statiques des transistors SiC	33
1.1 Introduction	33
1.2 Description de la méthodologie de caractérisation	34
1.3 Caractérisation des transistors MOSFET SiC	36
1.4 Caractérisation des transistors JFET SiC « Normally-off »	41
1.5 Bilan	44
1.6 Conclusion	47
2 Évaluation des performances dynamiques des transistors SiC	49
2.1 Introduction	49
2.2 Rappel des mécanismes de commutation	49
2.3 Description de la méthodologie de caractérisation	58
2.4 Effet de la résistance de grille	64
2.5 Effet du courant de charge	69
2.6 Effet de la température	71
2.7 Conclusion	73
3 Estimation expérimentale des pertes dans les transistors MOSFET SiC	77
3.1 Introduction	77
3.2 Description de la méthodologie de mesure	77
3.3 Mesure de pertes des MOSFET SiC CMF20120D	80
3.4 Mesure de pertes des MOSFET SiC SCH2080KE	82

3.5	Mesure de pertes des CoolMOS Si SPW55N80C3	84
3.6	Conclusion	85
 III Étude de la robustesse des interrupteurs de puissance en SiC soumis à des régimes extrêmes de fonctionnement		87
1	État de l’art sur les régimes de court-circuit	89
1.1	Introduction	89
1.2	Aperçu sur la robustesse des JFET SiC	90
1.3	Aperçu sur la robustesse des MOSFET SiC	92
1.4	Conclusion	98
2	Robustesse en régimes extrêmes de fonctionnement : Avalanche et Court-circuit	99
2.1	Introduction	99
2.2	Protocoles expérimentaux	99
2.3	Robustesse des transistors MOSFET SiC de Rohm	103
2.4	Robustesse des transistors MOSFET SiC de Cree	106
2.5	Robustesse des transistors JFET SiC de Semisouth	110
2.6	Conclusion	112
3	Vieillissement accéléré des transistors MOSFET SiC en régime de courts-circuits répétitifs	115
3.1	Introduction	115
3.2	Stratégie de vieillissement	115
3.3	Suivi du vieillissement par court-circuit	118
3.4	Analyse microscopique des défaillances	123
3.5	Conclusion	127
 IV Modélisation compacte des interrupteurs de puissance SiC		129
1	Modélisation du VDMOSFET et de la diode Schottky	131
1.1	Introduction	131
1.2	Modèle du VDMOSFET CMF20120D	132
1.3	Modèle de la diode Schottky C2D20120D	138
1.4	Conclusion	139
2	Méthodologie d’extraction des paramètres	141
2.1	Introduction	141
2.2	Extraction des premiers paramètres	141
2.3	Extraction des paramètres à l’aide d’un algorithme d’optimisation	145
2.4	Définition du problème d’optimisation	147
2.5	Présentation de l’optimisation	149
2.6	Conclusion	153

3	Modélisation d'une cellule de commutation sous SIMPLORER	155
3.1	Introduction	155
3.2	Identification des éléments « parasites » de la cellule de commutation	156
3.3	« Recalage » des capacités parasites du transistor	159
3.4	Validation expérimentale	161
3.5	Synthèse	164
3.6	Conclusion	165
	Conclusion Générale et Perspectives	167
	Annexes	173
A	Circuit de commande du banc #1	173

Introduction Générale

Dans les applications avioniques, la tendance récente est de remplacer les actionneurs pneumatiques et hydrauliques par des actionneurs électriques [Rosero et al., 2007], [Emadi, 2000]. En effet, la demande en électricité est en constante augmentation et la tendance est qu'elle soit utilisée pour l'approvisionnement et la distribution de l'énergie non-propulsive, notamment en remplaçant la transmission mécanique de puissance par des génératrices intégrées à l'arbre du réacteur. Cette perspective porte le nom de l'avion « plus électrique » (MEA pour More Electric Aircraft).

Le concept de l'avion « plus électrique » tente de répondre à une demande de souplesse énergétique et une meilleure efficacité propulsive avec un moindre impact sur l'environnement. Il vise à remplacer les vecteurs énergétiques (fluides hydrauliques, air comprimé) par le courant électrique et d'obtenir en conséquence une diminution significative de la consommation en carburant avec un meilleur rendement (supérieur à 98%).

L'introduction des systèmes électriques notamment des dispositifs d'électronique de puissance embarqués dans le domaine du transport aérien, requière une forte compacité et une forte intégration des systèmes de conversion électrique ainsi que des fonctionnalités électroniques à des hautes températures ambiantes pouvant dépasser les 200 °C. Cependant, pour répondre à ces besoins, le silicium a atteint ses limites, d'où le recours à de nouveaux matériaux semi-conducteurs comme ceux à large bande interdite dits « à grand gap ».

En particulier, les transistors de puissance à technologie grand gap à base de carbure de silicium ou de nitrure de gallium, trouvent des applications en électronique haute température, haute tension, haute fréquence ou en réponse à des contraintes de volume, de poids et de rendement.

Dans sa démarche d'amélioration des produits actuels et de développement de convertisseurs de nouvelle génération pour ses besoins futurs, THALES est particulièrement intéressé par les potentialités de ces interrupteurs. C'est la raison pour laquelle cette thèse a été initiée par THALES en collaboration avec le laboratoire SATIE (groupe EPI et TEMA). Ces travaux de thèse s'inscrivent dans le cadre d'une étude des potentialités des premiers composants SiC (MOSFET et JFET) disponibles sur le marché. Cette étude permettra de comparer les principales performances de ces dispositifs ainsi que les contraintes spécifiques induites lors de leur intégration dans les convertisseurs aéronautiques.

Ce manuscrit se divise en quatre parties. Dans une première partie, nous introduirons le contexte ainsi que les enjeux de cette étude. Nous aborderons tout d'abord l'un des principaux verrous technologiques lié à l'introduction de l'électronique de puissance à bord d'avion. Il s'agit de la haute température, un facteur extrêmement contraignant qui impacte le rendement des équipements d'électronique de puissance et leur fiabilité. Après avoir rappelé l'effet de la température sur les performances des composants de puissance, nous expliquerons l'avantage que présentent les semi-conducteurs à grand gap pour repousser ces limites et pour répondre aux exigences sévères de l'industrie aéronautique.

Bien que présentant une réelle rupture, les composants de puissance à semi-conducteurs grand gap ne peuvent apporter de réelles améliorations que s'ils sont associés à un environnement adéquat. Ainsi, nous nous intéresserons, dans un second temps, aux approches d'intégration de ces dispositifs dans les systèmes de conversion d'énergie. Ces nouvelles approches permettront de tirer le plein bénéfice de ces composants.

Enfin, nous donnerons un état de l'art sur les semi-conducteurs à grand gap ainsi que sur les composants en carbure de silicium disponibles sur le marché. Après une étude comparative évaluant les propriétés intrinsèques des semi-conducteurs à grand gap (SiC, GaN et C) et celles des semi-

conducteurs conventionnels (Si et GaAs), nous présenterons différentes structures de transistors déjà commercialisées en carbure de silicium.

Dans une deuxième partie, nous mènerons des investigations sur les performances électriques des transistors de puissance à technologie grand gap, notamment des MOSFET et des JFET en SiC (1,2kV), fabriqués par trois fabricants différents, Cree, Rohm et Semisouth. Nous rapporterons l'ensemble des résultats des caractérisations préliminaires effectuées, ayant pour objectif l'analyse de l'impact de chaque structure de transistor sur la conception des convertisseurs aéronautiques.

Dans un premier temps, nous évaluerons les performances statiques des transistors de puissance SiC en suivant l'évolution de certaines grandeurs électriques sur une large gamme de température variant de $-60^{\circ}C$ à $200^{\circ}C$.

Ensuite, nous étudierons les performances dynamiques de ces dispositifs. Nous détaillerons l'étude effectuée sur l'influence de la température, du niveau de courant de charge et de la valeur de la résistance de grille sur le comportement des dispositifs SiC pendant les phases de commutation. Les maquettes expérimentales développées pour ces tests seront notamment présentées.

Pour finir, nous présenterons les résultats des mesures de pertes réalisées sur les transistors MOSFET SiC commutant à haute fréquence de découpage. Ces essais délicats sont effectués par deux méthodes différentes, la méthode directe dite « calorimétrique » et la méthode indirecte dite « électrique ». Les pertes totales dissipées par les MOSFET SiC seront aussi comparées à celles d'un composant en silicium.

Dans une troisième partie, nous chercherons à évaluer la robustesse des transistors SiC, soumis à des régimes extrêmes de fonctionnement tels que l'avalanche et le court-circuit. Nous aborderons, dans un premier temps, une revue de travaux récents, portant sur l'étude de la robustesse des interrupteurs de puissance en SiC en régime de court-circuit. Nous étudierons, ensuite, la tenue de ces composants à ces types de contraintes (avalanche et court-circuit), les modes de défaillance rencontrés et leur éventuelles origines. Enfin, nous nous focaliserons uniquement sur le régime de court-circuit et nous rapporterons les résultats des essais de fatigue accélérée, réalisés sur des MOSFET SiC de chez Rohm. Ces tests permettront de comprendre les mécanismes de dégradation susceptibles d'apparaître au cours de ces cycles contraignants.

Dans une quatrième partie, nous proposerons deux modèles compacts : le premier est dédié au transistor DMOSFET SiC permettant l'estimation des pertes avec prise en compte du couplage électro-thermique, et le calcul des $\frac{dv}{dt}$ et $\frac{di}{dt}$ pouvant servir à l'estimation des perturbations conduites. Le deuxième modèle est celui d'une diode Schottky SiC qui va jouer le rôle d'une diode de roue libre dans une cellule de commutation. Les modèles devront être capables de représenter de façon fidèle le comportement statique et dynamique des composants, tout en tenant compte des spécificités du matériau SiC. De tels modèles vont dépendre de plusieurs paramètres physiques et empiriques dont les valeurs ne seront pas forcément connues et vont nécessiter par conséquent une méthodologie d'extraction.

Nous commencerons par présenter en détails les deux modèles développés. La méthodologie d'extraction des paramètres inconnus mise en place sera détaillée par la suite. Enfin, les modèles développés seront implémentés dans un circuit de simulation SIMPLORER afin de pouvoir les valider en statique et en régime de commutation, en les comparant aux résultats de caractérisation électrique.

Première partie

Intégration et ruptures pour l'électronique de puissance

1.1 Introduction

L'orientation de l'industrie aéronautique mondiale vers un avion plus électrique a engendré une croissance continue de la puissance électrique embarquée à bord des avions pendant ces dernières décennies, tel que le montre la figure 1.1.

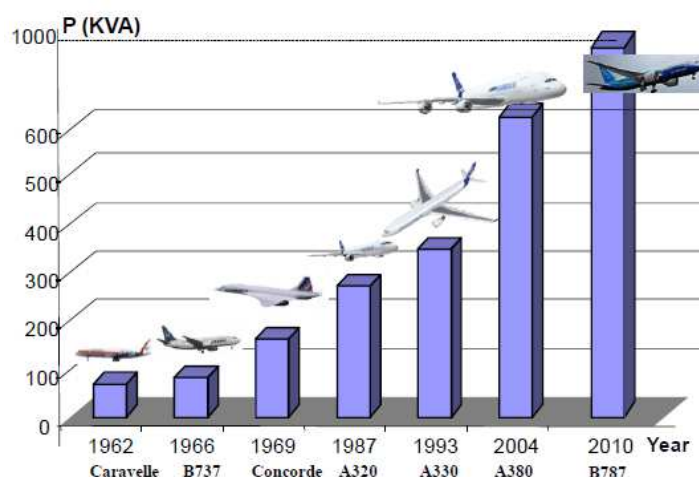


FIGURE 1.1 – Évolution de la puissance électrique embarquée à bord des avions [Roboam, 2011]

L'application cible du domaine de l'aviation est l'actionneur électro-mécanique (EMA pour Electro-Mechanical Actuator) qui vise à remplacer l'actionneur hydraulique [Faleiro, 2006]. Cet actionneur électro-mécanique est piloté par des convertisseurs d'électronique de puissance. La volonté de concevoir des convertisseurs d'électronique de puissance fonctionnant à des hautes fréquences de commutation et/ou à des hautes températures n'est pas nouvelle. Elle résulte du souhait de développer des convertisseurs pouvant fonctionner avec des densités de puissance de plus en plus élevées. En effet, ces conditions de fonctionnement (haute fréquence et haute température) permettent une réduction de la masse globale du convertisseur, notamment la réduction du volume des composants magnétiques et des systèmes de refroidissement.

Ainsi, de plus en plus compacts, les composants de puissance, regroupant à la fois la commande et la puissance dans un unique boîtier, se voient confrontés à un accroissement constant des densités de puissance. Cet accroissement se traduit par une forte puissance dissipée au sein de ces dispositifs. La dissipation de puissance des interrupteurs à semi-conducteurs, leur nécessaire refroidissement et les impératifs de durée de vie et de fiabilité, demeurent l'un des obstacles majeurs à leur intégration à grande échelle. Ainsi, cela fait de la température un paramètre incontournable à prendre en compte dans la conception des circuits d'électronique de puissance.

Par ailleurs, la connaissance de ce paramètre est une donnée essentielle dans la prévision du vieillissement des composants et donc, dans l'estimation de leur durée de vie. D'autant plus que la valeur de la

température est nécessaire pour le dimensionnement des dispositifs thermiques et pour l'établissement du compromis performance/fiabilité.

Les convertisseurs conventionnels à base de composants en Si nécessitent des dissipateurs de chaleur encombrants afin de limiter l'élévation de la température. En outre, en plus de leur limite à haute température, les dispositifs à base de silicium restent aussi limités en tension notamment pour des fréquences de commutation supérieures à $100kHz$.

Afin de repousser les limites du silicium et maintenir un bon rendement, les dispositifs de puissance envisagés dans le domaine des transports font appel à de nouvelles technologies de semi-conducteurs à grand gap tels que le SiC qui présente un grand potentiel [Stephani, 2002] [Lorenz, 2002].

Dans cette première partie du mémoire (partie I), nous allons étudier l'impact de l'utilisation des semi-conducteurs à grand gap sur les systèmes de conversion d'énergie.

Après une description des principales limitations des composants à semi-conducteur de puissance à la montée en température, nous présenterons les potentialités des dispositifs grand gap pouvant fonctionner dans des environnements sévères comme la haute température (chapitre I.1. 1.2).

Afin de tirer le plein bénéfice de cette technologie de semi-conducteurs, de nouvelles approches d'assemblage et d'intégration doivent être mises en place. Ainsi, la section 1.3 du chapitre I.1 sera consacrée à l'intégration des composants grand gap dans les systèmes de conversion d'énergie.

D'autre part, la bonne connaissance de la physique des composants à semi-conducteur, permet une meilleure optimisation de ces dispositifs pour leur utilisation à haute température. Ainsi, le deuxième chapitre de cette partie (chapitre I.2) sera consacré à l'étude des caractéristiques de quelques composants grand gap afin de pouvoir établir un comparatif de performances entre eux.

1.2 Contraintes d'intégration

La température de fonctionnement et les cycles thermiques sont considérés comme étant des facteurs fortement impactant sur la fiabilité et la durée de vie des assemblages de puissance notamment des dispositifs à semi-conducteurs. En effet, les profils de mission imposent des cycles de dissipation de puissance (des pertes) dans les composants à semi-conducteur de puissance. Ces pertes sont responsables d'élévation de température au sein de l'assemblage. Nous parlons dans ce cas de cyclage actif. A ces variations de température liées à la dissipation de puissance dans les puces, nous devons ajouter les variations de température ambiante généralement beaucoup plus lentes, et dépendantes du domaine d'application (cyclage passif). A titre d'exemple, pour les applications aéronautiques au voisinage du réacteur, lors d'une phase de parking en région polaire, la température ambiante peut atteindre $-55^{\circ}C$. En revanche, en vol, la température ambiante imposée par le réacteur sera de l'ordre de $200^{\circ}C$ [Allard et al., 2005].

Les profils des sollicitations thermiques environnementales sont définis à partir d'un ensemble de données expérimentales donné par la norme DO160 pour la qualification des matériels embarqués. La figure 1.2 montre une extrapolation du profil des températures dues à des cycles thermiques passifs, pour un système placé sur le réacteur. Il s'agit des conditions de fonctionnement les plus sévères, quand le matériau est dans un environnement non pressurisé et non régulé en température, avec une température ambiante maximale de $200^{\circ}C$. Ce profil de mission reflète l'une des difficultés rencontrées lors de l'intégration des convertisseurs de puissance placés sur le réacteur.

Avant de préciser les contraintes de la haute température sur les composants de puissance, nous devons rappeler les différents constituants d'un module de puissance. Les composants et modules

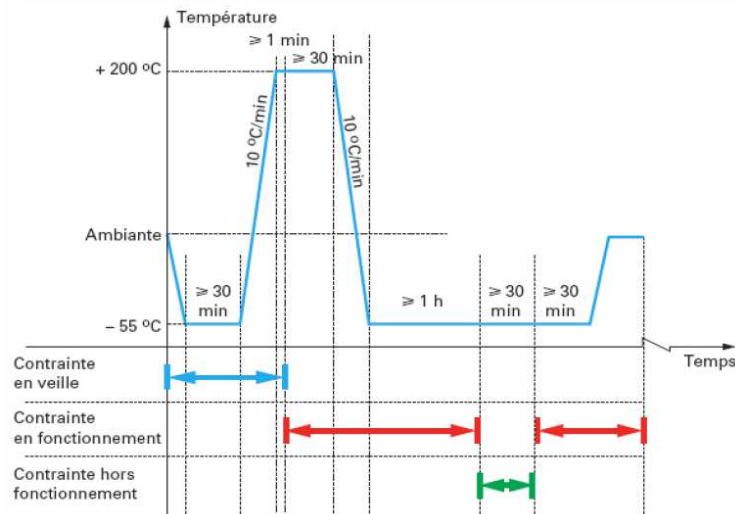


FIGURE 1.2 – Évolution de la température due à des cycles thermiques passifs sous un profil de mission avionique [Zhang, 2012a]

de puissance à semi-conducteur sont basés sur des technologies Si ou SiC dont les parties actives sont généralement montées, par l'intermédiaire d'une brasure, sur un substrat céramique métallisé et connectées électriquement entre elles par des fils de bonding (figure 1.3). Le substrat est ensuite brasé sur une semelle assurant le maintien mécanique de l'assemblage et le transfert thermique vers la source froide. L'assemblage est mis en boîtier et encapsulé grâce à un gel silicone pour protéger les constituants du module de puissance des agressions externes. Enfin, le module de puissance est fixé sur un système de refroidissement (au niveau de la semelle) afin de maintenir la température de jonction des composants en dessous d'une valeur critique pendant le cycle de fonctionnement.

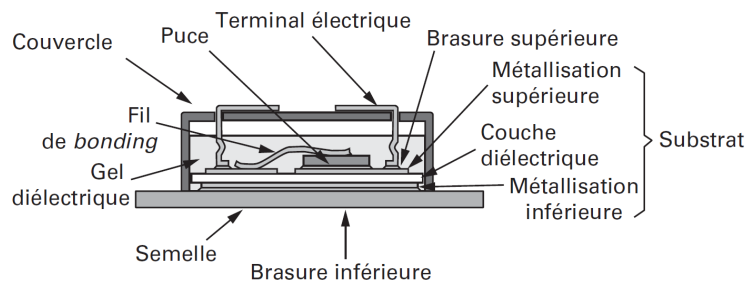


FIGURE 1.3 – Vue en coupe d'un module de puissance [Buttay, 2015]

Les principales causes de défaillance des modules de puissance résultent de processus d'endommagement généralement par fatigue et lié par des contraintes d'origine thermomécanique. En outre, les risques de vieillissement et de dysfonctionnement sont multiples et peuvent apparaître à plusieurs niveaux.

Au niveau de l'environnement proche des puces, la défaillance peut apparaître au sein de l'oxyde de grille ou suite à la dégradation des métallisations. En effet, la température élevée de fonctionnement engendre une dégradation de l'oxyde de grille par injection de porteurs chauds notamment pour le cas des composants à grille isolée tel que le MOSFET. La haute température suscite aussi des problèmes de corrosion ainsi que des dégradations des métallisations par reconstruction [Ciappa, 2002].

Au niveau de l'assemblage de la puce sur le substrat et du substrat sur la semelle, la différence entre les coefficients de dilatation thermiques (CTE) des différents éléments de l'assemblage entraîne des contraintes mécaniques au sein des brasures qui les relient. Les propriétés mécaniques des constituants du module de puissance, associées aux variations de température induites par les profils de mission sont responsables de contraintes d'origine thermomécanique aux interfaces (délaminage des brasures, fracture conchoïdale du substrat) [Thoben et al., 2001] [Mitic et al., 1999].

La défaillance peut aussi provenir des fils de bonding (fils en Aluminium). Ces fils de câblage assurent l'amenée du courant sur les puces ainsi que la connexion entre elles ou la connexion vers l'extérieur. Par conséquent, les soudures des dits fils voient les variations de la température ambiante en plus de l'élévation de la température due à la dissipation de puissance dans les puces. Si nous rajoutons à ces contraintes thermiques la différence du CTE entre l'aluminium et le matériau semi-conducteur, les contraintes thermomécaniques qui en découlent peuvent entraîner la levée des fils de bonding, donc la défaillance du composant [Cova, 1998].

Les contraintes liées à la haute température incitent, par conséquent, les fabricants à définir une limite de fonctionnement des assemblages de puissance. Pour les puces, la limite est fixée entre 150°C et 175°C pour les semi-conducteurs conventionnels tel que le silicium (Si), et entre 500°C et 550°C pour les semi-conducteurs grand gap tel que le carbure de silicium (SiC) [Wondrak, 1999] [McCluskey et al., 1998]. La figure 1.4 présente les limites d'utilisation en température des différents types de matériaux constituant un assemblage de puissance.

En guise de synthèse, les matériaux grand gap tel que le carbure de silicium présentent l'avantage de fonctionner à des hautes températures. Cette capacité permet de réduire l'encombrement des systèmes de refroidissement et donc d'apporter une réelle possibilité de réduction globale masse/volume des convertisseurs. Cependant, leur utilisation est freinée par la technologie du boîtier qui est limitée en température. A cette limite, il faudra aussi ajouter la fiabilité qui diminue significativement quand la température augmente ainsi que la limite en température des composants électroniques (éléments périphériques) disponibles dans le commerce comme les circuits de commande rapprochée (driver), de contrôles ou les condensateurs. Ces composants fonctionnent généralement en dessous de 125°C ce qui rend la conception des composants et modules en matériaux grand gap plus complexe et plus coûteuse.

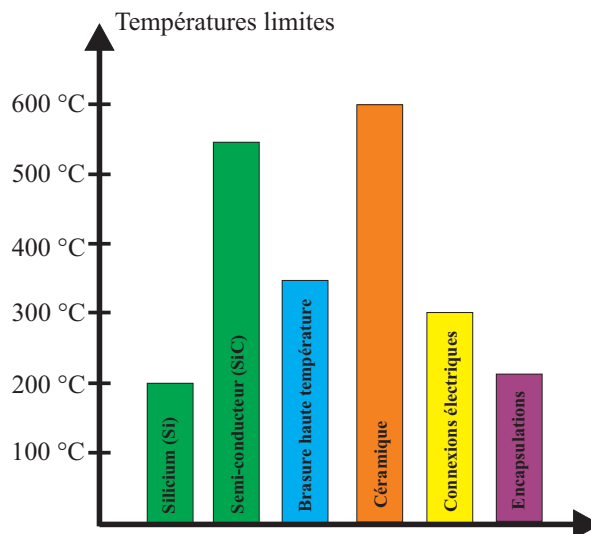


FIGURE 1.4 – Limites en température des constituants d'un module de puissance [Wondrak, 1999], [Amagai, 2002], [Coppola et al., 2007]

1.3 Recours aux composants grand gap

L'intégration poussée des structures de conversion d'énergie, notamment des convertisseurs de puissance dans le domaine des transports se voit confrontée à une forte contrainte de rendement de conversion. Dans le domaine de l'aviation, et comme détaillé précédemment, ces structures doivent fonctionner dans des conditions sévères, sous diverses contraintes environnementales et tout en garantissant une bonne fiabilité et un excellent rendement.

Dans le cas des systèmes de conversion d'énergie conçus à base de composants en silicium, nous pouvons trouver des convertisseurs fonctionnant au delà de 98% de rendement pour des puissances supérieures à $1kW$, comme le cas des convertisseurs DC/DC entrelacés étudiés dans [Kolar et al., 2012], figure 1.5. En revanche, l'un des points critiques de ces systèmes de puissance reste leur niveau d'intégration et de compacité surtout quand il s'agit d'augmenter leur rendement de conversion.

En effet, le convertisseur de puissance regroupant à la fois les interrupteurs de puissance, la commande et le refroidisseur, est de plus en plus compact avec une densité de courant de plus en plus élevée. Or, cette augmentation de courant se traduit par un accroissement de la chaleur dissipée qui est un facteur limitant. De plus, le fonctionnement du silicium est limité à température élevée ce qui affecte considérablement la fiabilité des composants à base de ce matériau.

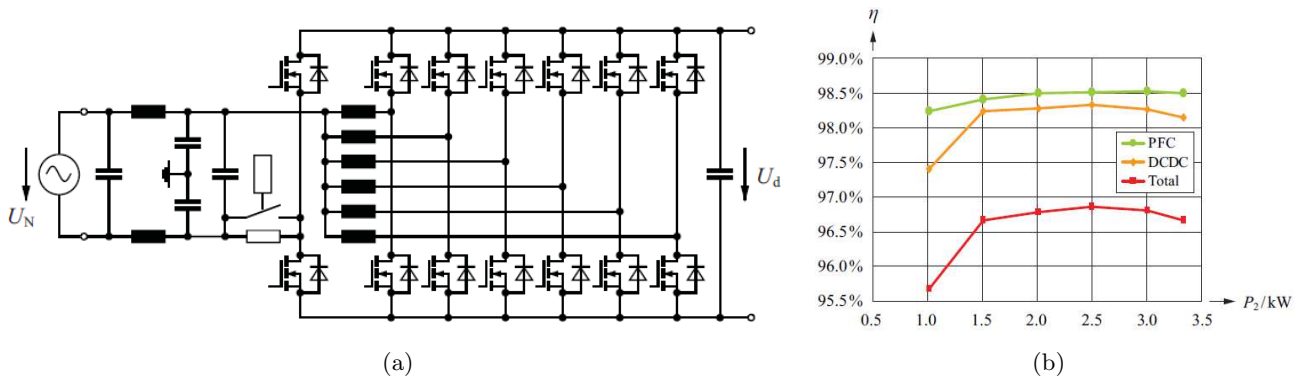


FIGURE 1.5 – Utilisation de convertisseurs entrelacés pour améliorer le compromis densité de puissance/rendement. (a) structure d'un redresseur avec PFC et étage DC/DC, (b) courbe de rendement [Kolar et al., 2012]

Avec les progrès technologiques récents dans la fabrication des dispositifs de puissance à base de matériaux grand gap tels que le carbure de silicium (SiC) et le nitrure de gallium (GaN), la tenue en tension, la vitesse de commutation ainsi que la résistance à l'état passant de ces composants ont été et seront significativement améliorées par rapport aux composants en silicium. Dans le cas où ces dispositifs de puissance sont intégrés dans les systèmes d'électronique de puissance, les améliorations réalisées sur ces composants auront aussi un réel impact sur les performances de l'ensemble du système. Ces performances se constatent généralement au niveau de la densité de puissance, du rendement, du poids, de la fiabilité et du coût.

A titre d'exemple, nous citons les travaux de LIU dans [Liu et al., 2013] présentant les performances des MOSFET SiC et leur impact sur un convertisseur DC/DC boost entrelacé. Ces composants ont présenté un rendement supérieur à 98% pour des puissances pouvant atteindre $10kW$ et à une fréquence de fonctionnement égale à $100kHz$. Ces transistors (commutant à $100kHz$) ont été ensuite comparés à des IGBT Si (commutant à $20kHz$). Les résultats ont montré que, même avec des fréquences cinq fois plus élevées, les composants SiC ont pu atteindre un rendement maximal de 99,3%, supérieur à celui

des dispositifs Si comme le montre la figure 1.6. Il apparaît clairement que l'utilisation des matériaux grand gap permet d'apporter une réponse efficace au compromis efficacité/densité de puissance.

Nous citons aussi les travaux de GUEDON dans [Guedon et al., 2013], où l'auteur a montré qu'un convertisseur de type DC/DC boost ($V_{in} = 200V$, $V_{out} = 365V$, $f_{sw} = 100kHz$) conçu à base de composants en SiC (notamment des JFET « normally-on ») pouvait fonctionner au-delà de 96% de rendement pour des puissances pouvant atteindre $1kW$ et à des températures de jonction égales à $100^\circ C$. Sous ces mêmes conditions de test, les résultats ont révélé que, comparé à un convertisseur boost utilisant des CoolMOS Si, le convertisseur avec les JFET SiC a toujours présenté les meilleures performances.

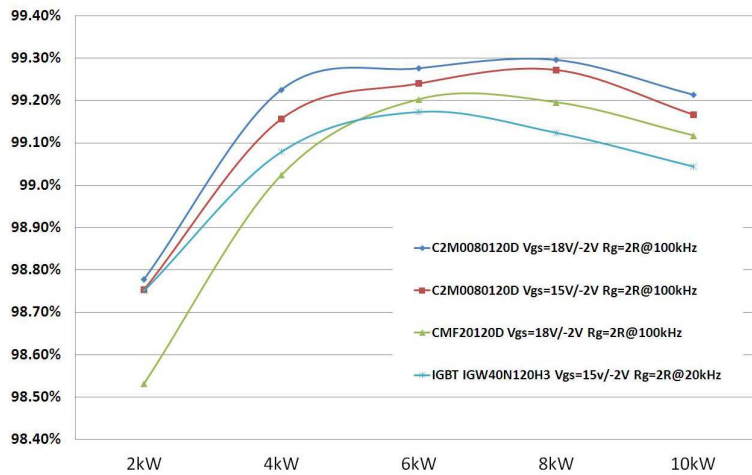


FIGURE 1.6 – Comparatif de rendement entre des MOSFET SiC commutant à $100kHz$ et des IGBT Si commutant à $20kHz$, $V_{out} = 650V$, [Liu et al., 2013]

L'introduction des semi-conducteurs à grand gap, pouvant fonctionner bien au-delà de la température de fonctionnement du silicium, impose de repenser la définition de chaque élément d'assemblage de puissance, notamment les éléments de refroidissement, ainsi que les organes périphériques, comme les circuits de commande (figure 1.7). Ainsi, de nouvelles approches d'assemblage et d'intégration devraient être mises en place afin d'avoir une association optimale commande-composant-environnement et pouvoir tirer le plein bénéfice des semi-conducteurs à grand gap.

Intéressons nous dans un premier temps au composant de puissance. Dans le cas des composants à semi-conducteur grand gap, les propriétés intrinsèques des matériaux grands gaps permettent une meilleure optimisation de ces composants pour leur utilisation à haute température.

Tout d'abord, leur faculté à fonctionner à haute température permet de réduire significativement les systèmes de refroidissement et donc réduire la taille des convertisseurs. De plus, grâce à leur forte tenue diélectrique, les semi-conducteurs grand gap possèdent une zone de tenue en tension plus fortement dopée que celle des composants Si et de plus faible épaisseur. Par conséquent, et pour une même tenue en tension, la résistance à l'état passant sera fortement diminuée.

Ainsi, l'utilisation de ces matériaux permet de réduire les pertes à l'état passant tout en réduisant la surface des puces. Ce résultat permettra par la suite de réduire en plus les pertes par commutation.

La figure 1.8 illustre clairement l'intérêt des matériaux grands gaps dans le contexte de la conversion de l'énergie électrique, du point de vue compromis résistance à l'état passant/ tenue en tension et dans l'optique d'une réduction de la taille des composants.

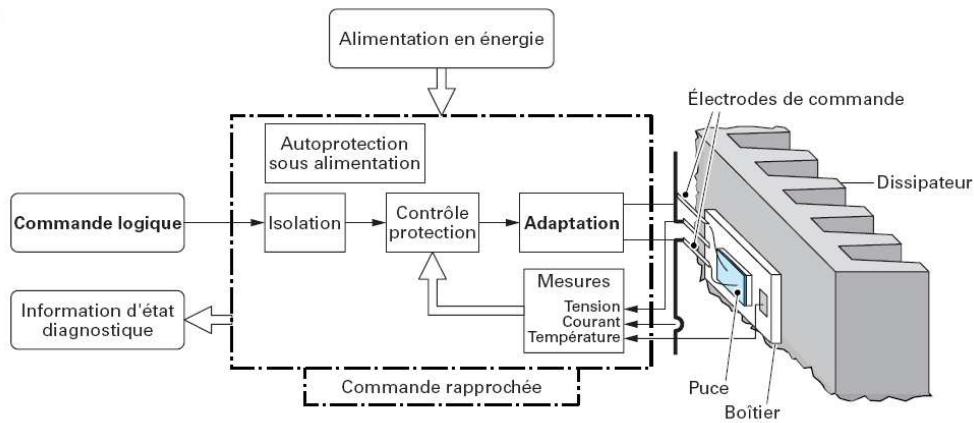


FIGURE 1.7 – Schéma de principe d'un composant de puissance commandé et de ses périphériques associés [Lefebvre, 2015]

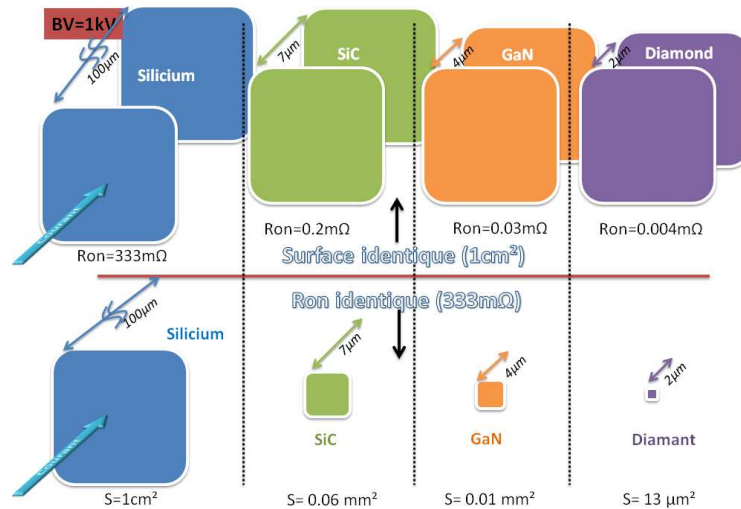


FIGURE 1.8 – Avantage des matériaux à grands gaps du point de vue compromis résistance à l'état passant/surface de puce, pour une tenue en tension égale à 1kV [Rouger, 2015]

Intéressons nous à présent à la commande rapprochée du composant de puissance. Le circuit de commande rapprochée occupe une place importante dans le convertisseur de par son volume et son câblage. Or, dans le domaine aéronautique, l'un des objectifs est d'aller vers des modules complets, au sens multi-puces (MCPM pour MultiChip Power Module) dans l'optique de réduire au maximum le volume, la masse et les éléments parasites [Olejniczak et al., 2002] [Hornberger et al., 2005]. Ces modules intègrent à la fois les dispositifs de puissance et l'étage driver dans un seul packaging. La figure 1.9 illustre une coupe d'un module MCPM haute température triphasé de 4kW utilisant des puces en SiC, proposé par HORNBERGER dans [Hornberger et al., 2007]. La figure 1.10 propose une photographie de ce module.

Si l'intégration des composants de puissance et de l'électronique de commande dans un seul module minimise significativement les parasites permettant ainsi un fonctionnement à très haute fréquence, la problématique reste l'intégration des éléments de la carte driver au plus proche du composant de puissance. En effet, cela va engendrer de nouvelles contraintes telles que l'isolation électrique et la compatibilité thermique entre les températures du composant et celles des circuits périphériques. Ainsi,

afin de tirer le plein bénéfice des composants à grand gap, notamment la forte densité de puissance, de nouvelles ruptures doivent être mises en place comme le développement des technologies de packaging haute température.

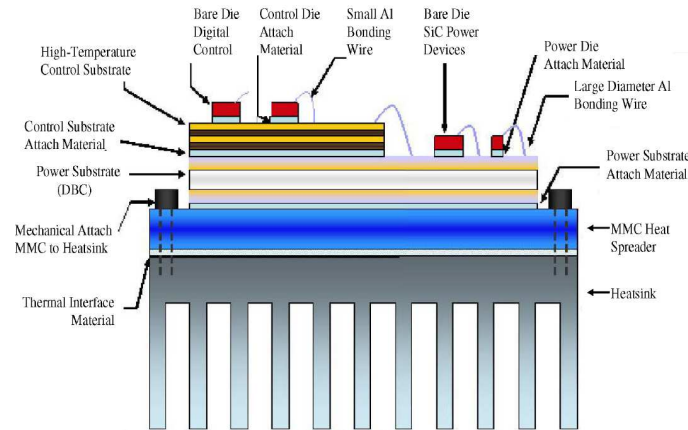


FIGURE 1.9 – Coupe d'un module MCPM intégrant des puces en SiC [Hornberger et al., 2007]

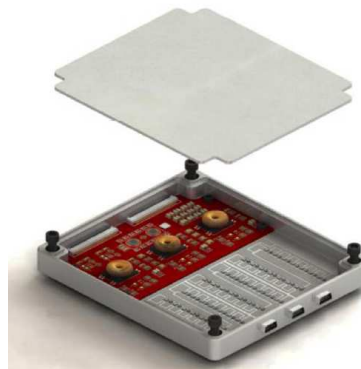


FIGURE 1.10 – Photographie du module MCPM [Hornberger et al., 2007]

1.4 Conclusion

Le remplacement des actionneurs principalement hydrauliques et pneumatiques en électriques soulève de nombreux verrous technologiques. Placer les convertisseurs de puissance au plus près des actionneurs qu'ils servent à piloter donc au plus près des réacteurs, signifie leur faire subir un régime de fonctionnement excessivement contraignant. Ces conditions sévères sont principalement liées à une variation de température ambiante ainsi qu'un auto-échauffement des composants durant leur fonctionnement.

Dans ce chapitre, nous avons étudié dans un premier temps l'impact de la haute température sur le rendement des convertisseurs d'électronique de puissance. Ce rendement est principalement lié aux performances des composants à semi-conducteurs grand gap dont la fiabilité est extrêmement affectée par la montée de température.

La solution proposée dans la littérature est l'intégration d'une nouvelle technologie de semi-conducteurs, comme le SiC ou le GaN, qui répond parfaitement au challenge de l'avion « plus

électrique ». En effet, la technologie des composants grand gap présente un potentiel de fonctionnement à haute température avec une fiabilité accrue comparée à celle du silicium. L'état de l'art autour de ces composants grand gap a montré que leur capacité de fonctionner à des températures élevées offre deux principaux intérêts. Le premier est l'intégration de l'électronique de puissance dans des environnement extrêmement chaud (plus de $200^{\circ}C$). Le deuxième intérêt est la densification massive et volumique des convertisseurs grâce à la réduction des dispositifs de refroidissement. Nous considérerons toutefois également dans cette thèse l'intérêt de la montée en fréquence.

Au final, et tout en cherchant à maximiser les rendements de conversion, la réduction du volume des convertisseurs pourra être atteinte en augmentant la fréquence de découpage (minimisation du volume des composants passifs) et/ou de la température (minimisation des organes de refroidissement).

Semi-conducteurs à large bande interdite (grand gap)

2.1 Introduction

Les potentialités des composants à semi-conducteurs à grand gap sont remarquables et ouvrent de nouvelles perspectives d'amélioration en terme de rendement de conversion, de tenue en tension, de fréquence de commutation et de température de fonctionnement. Ces composants offrent, ainsi, de réelles potentialités de réduction globale masse/volume des convertisseurs [Biela et al., 2010], [Callanan, 2011b].

Ces dispositifs doivent leurs avantages à leurs propriétés physiques et électriques nettement supérieures à celles des composants en silicium. Dans ce chapitre, nous nous proposons, dans un premier temps, d'étudier les propriétés intrinsèques de quelques semi-conducteurs grand gap afin de pouvoir comparer leurs performances pour l'électronique de puissance.

Ensuite, nous nous focaliserons uniquement sur le carbure de silicium. Ainsi, la deuxième partie de ce chapitre sera dédiée aux différentes structures des composants déjà commercialisés en carbure de silicium. Nous présenterons, pour chaque structure, ses avantages ainsi que ses limites technologiques.

2.2 Propriétés des matériaux à grand gap

2.2.1 Bande d'énergie interdite

Du fait de l'agitation thermique dans le réseau cristallin, la hauteur de la bande interdite des matériaux diminue quand la température augmente pouvant à l'extrême rendre le matériau conducteur. Néanmoins, une large bande interdite induit une faible densité de porteurs intrinsèques, ce qui permet d'envisager un fonctionnement à des températures sensiblement plus élevées.

Les semi-conducteurs grand gap possèdent une bande interdite minimum trois fois supérieure à celle des semi-conducteurs conventionnels (Si, GaAs), ce qui leur confèrent une plus grande capacité à fonctionner à haute température. En effet, l'énergie des semi-conducteurs grand gap nécessaire pour passer de la bande de valence à la bande de conduction ($E_g > 3eV$) est plus large que celle des semi-conducteurs conventionnel ($E_g < 1,5eV$). Cela implique qu'il est moins probable qu'un électron traverse cette bande par une excitation thermique. Par conséquent, les températures maximales de fonctionnement des semi-conducteurs grand gap vont être supérieures à celles des semi-conducteurs conventionnels et peuvent aller au-delà de $500^\circ C$.

À titre d'exemple, nous présentons la dépendance entre l'énergie de gap et la température pour le cas du semi-conducteur 4H-SiC [Levinshtein et al., 2001b] :

$$E_g(T) = E_g(T_0) - 6,5 \times 10^{-4} \cdot \left(\frac{T^2}{T + 1300} \right) \quad (2.1)$$

avec : $E_g(T_0)$ l'énergie de gap à la température de référence T_0 .

2.2.2 Concentration des porteurs intrinsèques

La concentration des porteurs intrinsèques, notée (n_i) , est un paramètre important car il détermine l'intensité des courants de fuite en inverse des jonctions bipolaire et Schottky (jonctions PN).

Cette concentration est liée à la largeur de la bande interdite ainsi qu'aux densités d'états permis dans la bande de conduction N_C et bande de valence N_V . De plus, elle augmente rapidement avec l'élévation de la température. L'expression analytique de cette concentration est donnée par l'équation 2.2 [Ruff et al., 1994] [Wondrak, 1999].

$$n_i(T) = (N_C N_V)^{1/2} \cdot e^{-\frac{E_g(T) \times q}{2kT}} \quad (2.2)$$

avec : q la charge élémentaire d'électron et k la constante de Boltzmann.

2.2.3 Courant de fuite en inverse de jonction PN

Les composants de puissance sont formés de couches dopées N et P, et la mise en contact de ces deux couches constitue la jonction PN. Lorsque le composant est polarisé en inverse, la barrière de potentiel augmente et le courant pouvant circuler dans le composant est formé des porteurs minoritaires. Ce courant est dit courant de fuite.

L'accroissement du courant de fuite des jonction PN est considéré comme une des principales limitations à l'augmentation de la température dans les semi-conducteurs. Selon l'équation 2.3, ce courant de fuite possède deux composantes, la première est due à la génération thermique dans la zone de charge d'espace variant proportionnellement avec n_i , la seconde composante est celle du courant de diffusion variant avec n_i^2 [Ruff et al., 1994]. A température usuelle, le courant de diffusion est généralement négligeable devant le courant de génération thermique. Le courant de diffusion ne devenant prépondérant qu'à haute température à cause de sa dépendance en n_i^2 [Wondrak, 1999].

$$j_R = \frac{q \cdot W}{\tau_g} \cdot n_i + \left(\sqrt{\frac{\mu_p \cdot k \cdot T}{N_D \cdot \tau_p}} + \sqrt{\frac{\mu_n \cdot k \cdot T}{N_A \cdot \tau_n}} \right) \cdot n_i^2 \quad (2.3)$$

avec : W la largeur de la zone de charge d'espace, N_D et N_A les concentrations respectives des dopages N et P, τ_p et τ_n les durées de vie des porteurs minoritaires (électrons et trous) respectives dans les régions P et N, et τ_g est la constante de temps de génération décrite dans l'équation 2.4.

$$\tau_g \approx n_i \cdot e^{\frac{\Delta E}{k \cdot T}} \quad (2.4)$$

2.2.4 Mobilité des porteurs de charge

La mobilité des porteurs de charge conditionne pour une bonne part la résistance à l'état passant des composants de puissance unipolaires et définit donc les pertes en conduction. En effet, nous verrons dans le chapitre 1 de la partie II que l'évolution des caractéristiques statiques des composants de puissance en fonction de la température est intrinsèquement corrélée à la mobilité des porteurs de charge. Pour cette raison, la connaissance du comportement de cette mobilité en fonction de la température permettra de justifier et/ou d'expliquer l'évolution spécifique de ces caractéristiques statiques.

La mobilité électrique dépend de quatre sources de diffusion des porteurs libres dans le semi-conducteur. Ces mécanismes de diffusions sont responsables des perturbations de la périodicité du réseau cristallin [Levy, 1995] :

- La diffusion par les vibrations thermiques du réseau (la diffusion par les phonons acoustiques).
- La diffusion par les impuretés ionisées (la diffusion de Coulomb).
- La diffusion par les impuretés neutres.

- La diffusion électron-électron et/ou électron-trou.

La diffusion par les phonons acoustiques est due aux atomes du réseau cristallin qui se mettent en état de vibration suite à une agitation thermique. Plus la température est élevée, plus les vibrations du réseau cristallins sont importantes et plus la diffusion est efficace. La mobilité limitée par la diffusion par le réseau diminue avec la température selon la loi $\mu \propto T^{-\frac{3}{2}}$.

La diffusion de Coulomb est due aux impuretés ionisées qui perturbent le champ électrique dans leur voisinage et dévient la trajectoire des porteurs de charge en mouvement. La mobilité due à la diffusion par les impuretés ionisées augmente avec la température.

La diffusion par les impuretés neutres est due aux impuretés qui constituent une déformation locale dans le réseau cristallin ce qui correspond à une perturbation localisée du potentiel périodique. Autrement-dit, cette diffusion est due aux irrégularités des différentes interfaces dans le composant, à titre d'exemple, l'interface *SiC/SiO₂* (semi-conducteur/oxyde) dans le cas d'un MOSFET SiC. En revanche, dans la plupart des semi-conducteurs, les impuretés sont minoritaires par rapport au grand nombre des donneurs et d'accepteurs ionisés. Par conséquent, la diffusion par les impuretés neutres peut être négligée dans le volume du semi-conducteur.

La diffusion électron-électron et électron-trou est due aux collisions entre porteurs du même type ou de natures différentes. Ces deux types de diffusions ne constituent pas un processus significatif de diffusion et peuvent être négligés.

Pour notre cas d'étude nous nous intéressons uniquement à la diffusion par les phonons acoustiques et à celle de Coulomb, car parmi toutes les origines de perturbation ce sont les deux mécanismes qui expliquent le plus le comportement de la mobilité avec la température.

Ainsi, la mobilité totale est donnée par la loi de MATTHIESSEN [Pérez-Tomás et al., 2006] [Tilak et al., 2007] comme suit :

$$\mu_{Totale} = \left(\frac{1}{\mu_B} + \frac{1}{\mu_{AC}} + \frac{1}{\mu_{SR}} + \frac{1}{\mu_C} \right)^{-1} \approx \left(\frac{1}{\mu_{AC}} + \frac{1}{\mu_C} \right)^{-1} \quad (2.5)$$

avec : μ_B la mobilité régie par la diffusion électron-électron et/ou électron-trou, μ_{AC} la mobilité régie par la diffusion par les phonons, μ_{SR} la mobilité régie par la diffusion par les impuretés neutres, et μ_C la mobilité régie la diffusion de Coulomb.

Dans les cristaux covalents tels que le silicium, les porteurs libres sont diffusés par des modes de vibration longitudinaux, dans ce cas, la mobilité est régie principalement par la diffusion par les vibrations thermiques du réseau, ce qui fait qu'elle diminue avec la température.

Cependant, pour le cas du MOSFET SiC, il faudra tenir compte des deux types de diffusion (par les vibrations thermiques du réseau et par les impuretés ionisées) pour bien expliquer la mobilité des porteurs dans le canal [Rebello et al., 1996].

La dépendance en température de la mobilité des porteurs dans le canal du transistor MOSFET SiC, notamment le MOSFET 4H-SiC (VDMOSFET), a été largement abordée dans la littérature. Nous citons certains travaux récents, en particulier ceux de PÉREZ-TOMÁS dans [Pérez-Tomás et al., 2006], de TILAK dans [Tilak et al., 2007], de MOSCATELLI dans [Moscatelli et al., 2008], de RUMYANTSEV dans [Rumyantsev et al., 2009], qui ont mené des investigations sur le comportement de cette mobilité avec la température.

Tout d'abord, un mot sur le vocabulaire employé pour désigner ce coefficient de transport. Dans la littérature, nous trouvons d'autres appellations pour cette mobilité. Nous parlons de mobilité dans la

couche d'inversion (« inversion-layer mobility ») [Baliga, 2010] [Pérez-Tomás et al., 2006] car il s'agit de la mobilité des porteurs dans le canal de la couche d'inversion, nous trouvons aussi la mobilité à effet de champ ou à effet de Hall (« field-effect mobility » ou « Hall mobility ») [Tilak et al., 2007] [Rumyantsev et al., 2009] car elle dépend du champ électrique qui est dû à la polarisation de grille et qui est responsable de la quantification de la couche d'inversion.

Pour des températures comprise entre $150^\circ K$ [Tilak et al., 2007] et $600^\circ K$ [Rumyantsev et al., 2009], c'est la diffusion par les impuretés qui prédomine et les autres mécanismes de dégradation sont négligeables, par conséquent, la mobilité des porteurs libres dans le canal augmente avec la température. Par contre, au delà de $600^\circ K$ [Pérez-Tomás et al., 2006], c'est la diffusion par les phonons acoustiques qui devient prépondérante engendrant ainsi la décroissance de la mobilité dans le canal.

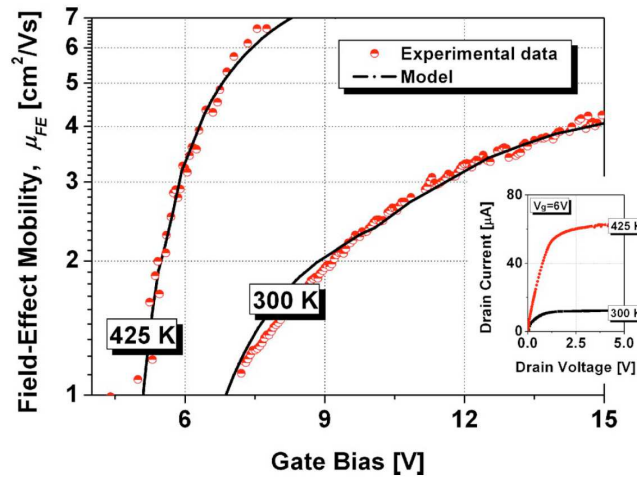


FIGURE 2.1 – Évolution de la mobilité des porteurs libres dans le canal avec la température et son effet sur la caractéristiques directe $I_D = f(V_{DS})$ dans [Pérez-Tomás et al., 2006]

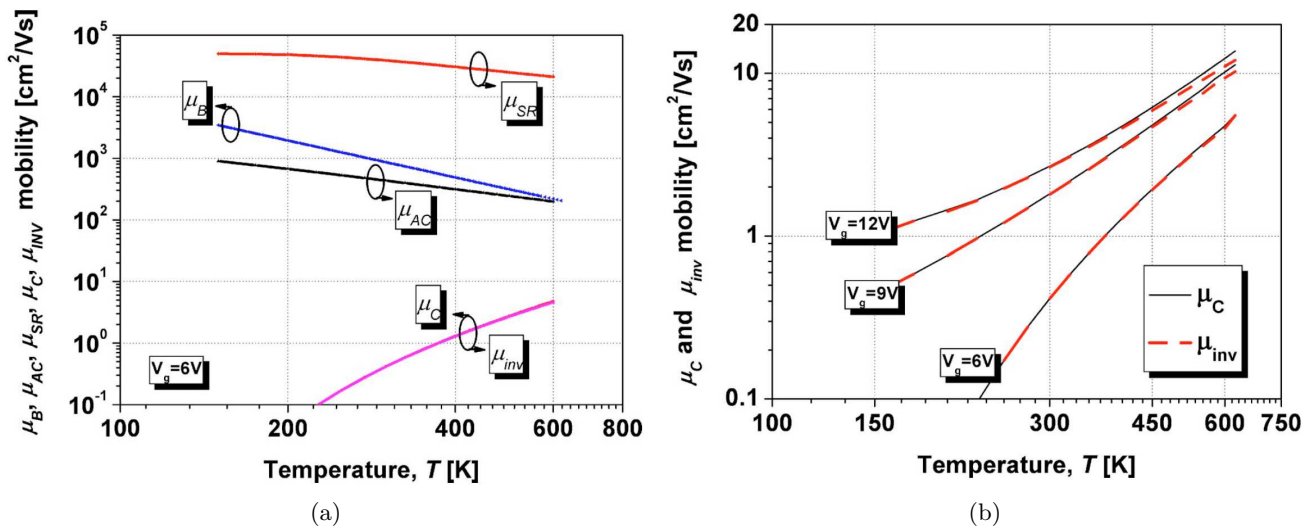


FIGURE 2.2 – Dépendance en température des différentes composantes de la mobilité des porteurs libres dans le canal et l'effet de la diffusion des impuretés ionisées sur la mobilité dans le canal dans [Pérez-Tomás et al., 2006]

La figure 2.1, présente l'évolution de la mobilité en fonction de la température et son effet sur les caractéristiques statiques du MOSFET. Nous voyons clairement que pour des températures inférieures à $600^\circ K$ et à une tension de grille donnée, la mobilité augmente avec la température et avec la polarisation de la grille.

Nous présentons aussi l'évolution des mobilités, μ_B , μ_{SR} , μ_{AC} , μ_C , dues aux quatre mécanismes de diffusion, en fonction de la température (figure 2.2). Ces résultats prouvent l'effet prépondérant de la diffusion des impuretés ionisées sur la mobilité des porteurs libres dans le canal, μ_{inv} , pour des températures ambiantes comprises entre $150^\circ K$ et $600^\circ K$ et pour différentes tensions de grille.

Enfin, nous introduisons la notion de résistivité électrique qui est inversement proportionnelle à la mobilité (ou à la conductivité). Une augmentation de la mobilité engendre une diminution de la résistivité.

2.2.5 Champ critique de claquage

Le champ de rupture des semi-conducteurs est lié à leur énergie de bande interdite [Chow, 1994]. Effectivement, plus la hauteur de la bande est grande, plus le champ de claquage est grand. Ainsi, les matériaux grand gap possèdent une rigidité diélectrique (ou champ de claquage noté E_C) nettement plus importante que celle des semi-conducteurs conventionnels (tels que le Si et le GaAs) et des propriétés de tenue en tension exceptionnelles. Cela signifie que pour une épaisseur de zone de drift donnée (W), la tension de claquage, donnée par l'équation 2.6, est nettement supérieure à celle des matériaux conventionnels.

Par conséquent, le dopage de la zone de drift, N_D , pourra être augmenté et son épaisseur réduite. Ainsi, à l'état passant, la résistance de la zone de drift (équation 2.7) pourra elle aussi être réduite limitant ainsi les pertes à l'état passant [Shenai et al., 1989].

$$V_{BR} = \frac{E_C \cdot W}{2} \quad (2.6)$$

$$R_{ON(SP)} = \frac{4 \cdot V_{BR}^2}{\varepsilon_0 \cdot \varepsilon_r \cdot \mu_n \cdot E_C^3} \quad (2.7)$$

avec : $R_{ON(SP)}$ la résistance passante spécifique idéale à l'état passant dans le cas d'une jonction non tronquée.

2.2.6 Vitesse de saturation

La capacité des semiconducteurs à fonctionner à des hautes fréquences de découpage est directement liée à la vitesse de saturation (ou vitesse de dérive) des porteurs de charge. En effet, plus cette vitesse est grande, plus les composants à semiconducteurs seront aptes à commuter à des fréquences élevées [Chow, 1994].

2.2.7 Conductivité thermique

La résistance thermique, R_{th-jc} , donnée par l'équation 2.8, est inversement proportionnelle à la conductivité thermique [Zhang, 2012b]. Cela signifie que plus la conductivité est forte, plus l'évacuation de la chaleur par le composant à semi-conducteur est facile et plus l'élévation de la température au sein de ce dernier sera faible pour une même puissance dissipée.

Par conséquent, une bonne conductivité thermique limite l'élévation de la température du semi-conducteur en facilitant l'évacuation de la chaleur, autorisant ainsi des densités de puissance élevées.

$$R_{th-jc} = \frac{e}{\lambda.S} \quad (2.8)$$

avec : λ la conductivité thermique, e l'épaisseur de couche et S la section de traversée.

2.3 Comparaison entre semi-conducteurs

2.3.1 Comparaison des propriétés intrinsèques

Les propriétés électriques présentées dans la section précédente vont nous servir à présent à comparer différents semiconducteurs entre eux.

Le tableau 2.1 résume les principales propriétés électriques des semi-conducteurs dans lequel nous comparons le silicium et l'arséniure de gallium (matériaux semi-conducteur conventionnel) avec trois polytypes de carbure de silicium ainsi que le nitrure de gallium et le diamant (matériaux semi-conducteurs à large bande interdite).

	Semiconducteurs conventionnels		Semiconducteurs grand gap				
	Si	GaAs	3C-SiC	6H-SiC	4H-SiC	GaN	C
Bande interdite E_g (ev)	1, 2	1, 43	2, 3	2, 9	3, 2	3, 39	5, 6
Mobilité des électrons μ_n ($cm^2.V^{-1}.s^{-1}$)	1450	8500	1000	415	950	1000	2200
Mobilité des trous μ_p ($cm^2.V^{-1}.s^{-1}$)	450	400	45	90	115	350	1800
Champ critique E_C ($V.cm^{-1}$)	3.10^5	4.10^5	2.10^6	$2, 5.10^6$	3.10^6	5.10^6	$5, 6.10^7$
Vitesse de saturation V_{sat} ($cm.s^{-1}$)	10^7	2.10^7	$2, 5.10^7$	2.10^7	2.10^7	2.10^7	3.10^7
Conductivité thermique λ ($W.cm^{-1}.K^{-1}$)	1, 3	0, 5	5	5	5	1, 3	20
Permittivité relative ϵ_r	11, 7	13, 1	9, 6	9, 7	9, 7	8, 9	5, 7

TABLE 2.1 – Comparatif des propriétés des matériaux semi-conducteurs [Ozpineci, 2004] [Nallet, 2015]

Nous pouvons voir que le diamant possède les propriétés les plus intéressante pour les applications de puissance, suivi par le nitrure de gallium, ensuite par le carbure de silicium et en dernière position le silicium.

Les matériaux grand gap possèdent une large bande d'énergie interdite, trois fois (cas du SiC et du GaN) voir cinq fois (cas du Diamant) supérieure à celle du silicium ($1, 12eV$). Cette faculté leur confère la capacité de fonctionner à des températures supérieures à celles du silicium, limitée à $150^\circ C$ pour les dispositifs hautes tensions ($V_{BR} = 1000V$) (figure 2.3). En effet, les semi-conducteurs grand gap peuvent fonctionner théoriquement jusqu'à $1200^\circ C$ comme il est présenté sur la figure 2.3.

Concernant la concentration des porteurs intrinsèques, l'équation 2.2 montre qu'elle est directement liée à l'énergie de gap. Dés lors, une large bande d'énergie interdite va réduire l'impact de la

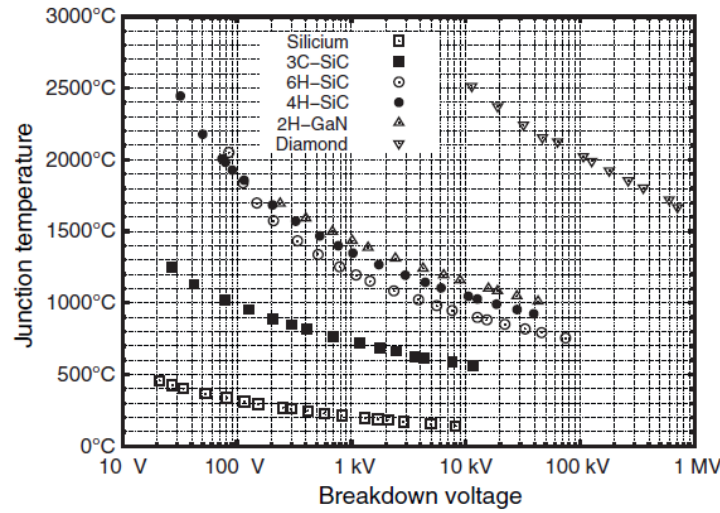


FIGURE 2.3 – Limite théorique de l’emballage thermique des différents semi-conducteurs en fonction de la tension de claquage [Buttay et al., 2011]

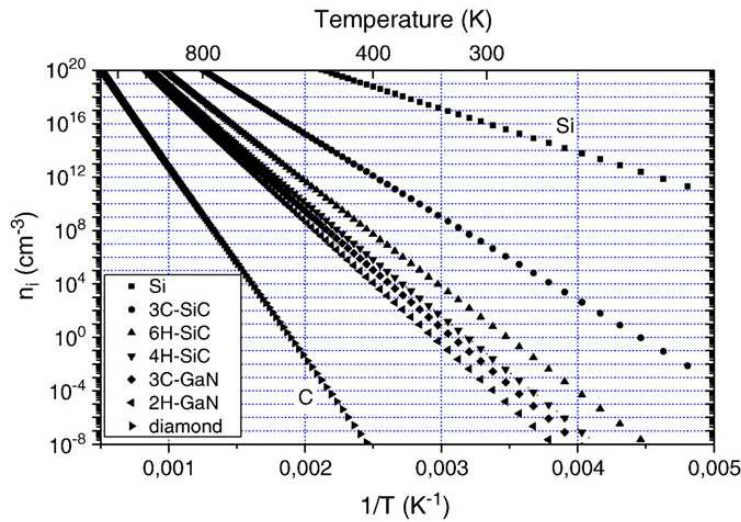


FIGURE 2.4 – Concentration des porteurs intrinsèques en fonction de la température [Raynaud et al., 2010]

température sur la concentration intrinsèque expliquant ainsi sa valeur extrêmement faible, dans les semi-conducteurs grand gap, comparée à celle du silicium (tableau 2.1). Une faible concentration intrinsèque va par la suite limiter les courants de fuites, considérés comme une des principales limitations à l’augmentation de la température.

Nous présentons, enfin, sur la figure 2.4 l’évolution de la concentration intrinsèque en fonction de la température en tenant compte de la variation de E_g avec la température pour différents semi-conducteurs (Si, SiC, GaN et C). Cette figure montre clairement la supériorité des semiconducteurs grand gap par rapport au silicium.

En ce qui concerne le champ de claquage, nous constatons, d’après le tableau 2.1, que les matériaux semiconducteurs grand gap possèdent un champ de claquage beaucoup plus élevé que celui du silicium, leur procurant une tenue en tension au moins dix fois supérieure. Par conséquent, pour une même

tenue en tension, un composant à semiconducteur grand gap peut être réalisé avec un dopage de la région de drift cent fois plus élevé, comme illustré sur la figure 2.5, et avec une épaisseur dix fois plus faible [Ozpineci, 2004].

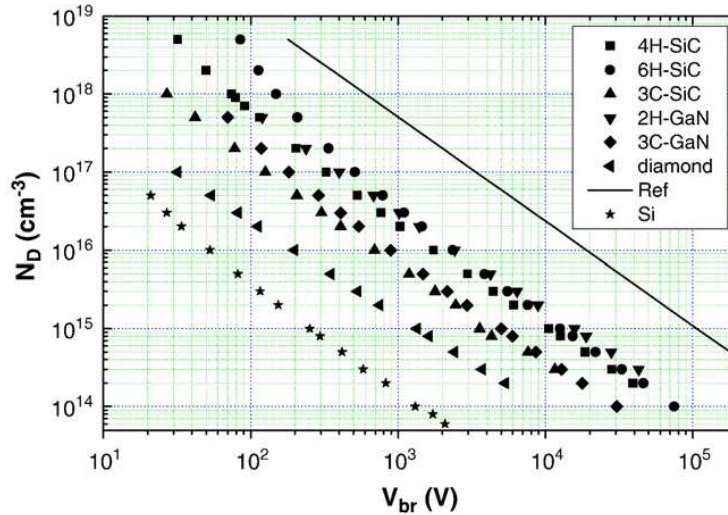


FIGURE 2.5 – Dopage de la région de drift en fonction de la tension de claquage [Raynaud et al., 2010]

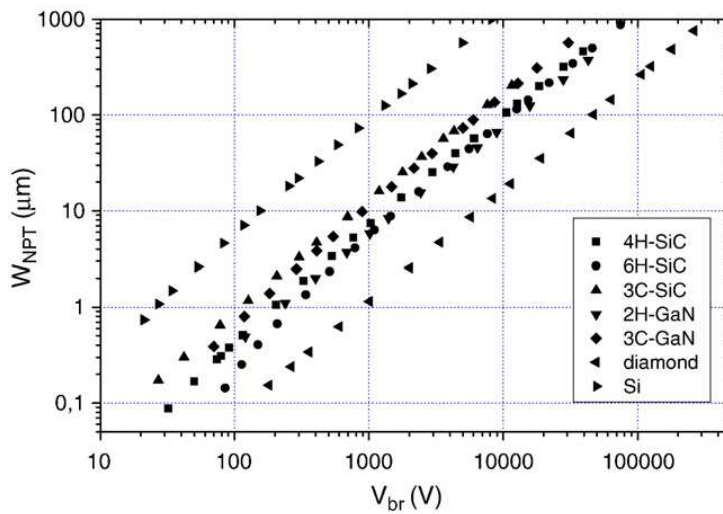


FIGURE 2.6 – Épaisseur de la région de drift en fonction de la tension de claquage [Raynaud et al., 2010]

Sur la figure 2.6 illustrant l'épaisseur de la région de drift en fonction de la tension de claquage, nous pouvons voir que le diamant nécessite l'épaisseur la plus faible, suivi par le carbure de silicium (4H-SiC, 6H-SiC) et le nitrure de gallium.

De plus, ces caractéristiques permettent de réduire la résistance de zone de drift ce qui limite les pertes à l'état passant. Nous présentons sur la figure 2.7 l'évolution de la résistance spécifique en fonction de la tension de claquage. Encore une fois, le diamant présente les meilleurs performances avec la plus faible résistance suivi par le SiC et le GaN.

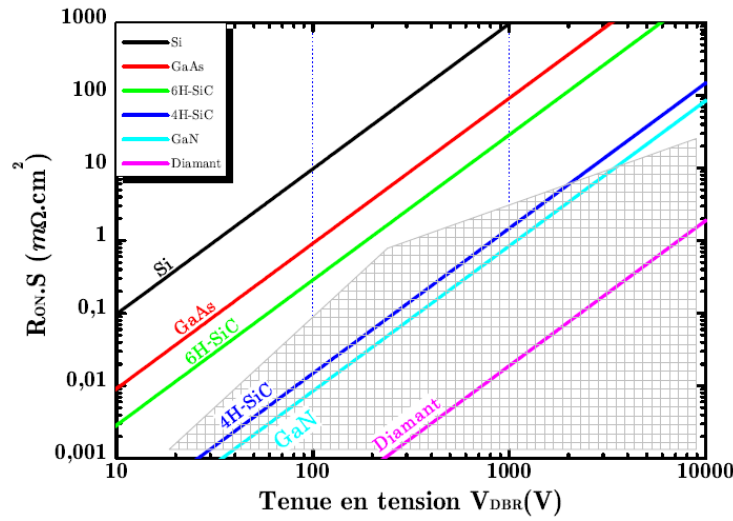


FIGURE 2.7 – Résistance de la région de drift en fonction de la tension de claquage [Al Alam, 2011]

Un autre avantage des matériaux grand gap est lié à leur conductivité thermique. En effet, mise à part le GaN, le diamant ainsi que le carbure de silicium présentent une forte conductivité thermique pouvant être intéressante pour les applications de forte puissance.

Les semi-conducteurs grand gap sont aussi performants dans les applications haute fréquence grâce à leur grande vitesse de saturation ($\geq 2 \times 10^7 \text{ cm.s}^{-1}$) et leur faible permittivité (tableau 2.1).

Les avantages des semi-conducteurs grand gap détaillés dans cette sous-section convergent vers une réduction considérable de l'encombrement des systèmes de puissance. En effet, les facultés intrinsèques de ces matériaux (notamment le fonctionnement à haute température et à haute tension) peut permettre une réduction des systèmes de refroidissement. En plus, leur capacité à fonctionner à haute tension permet une réduction du nombre de composants mis en série.

2.3.2 Facteurs de mérite

Afin de mieux comparer les performances des matériaux semi-conducteurs pour l'électronique de puissance, plusieurs auteurs ont proposé des facteurs de mérite mettant en évidence les avantages de chaque matériaux suivant l'application souhaitée (fréquence, température, puissance). Nous nous limitons à quatre facteurs qui sont les plus utilisés en électronique de puissance :

- Facteur de mérite de Johnson (JFM) [Johnson, 1965]. Ce facteur prend en compte le champ électrique critique et la vitesse de saturation des porteurs (équation 2.9). Sa valeur nous informe sur la capacité du matériau semi-conducteur pour les applications haute fréquence et forte puissance.

$$JFM = \frac{E_C \cdot v_{sat}}{2\pi} \quad (2.9)$$

- Facteur de mérite de Keyes (KFM) [Keyes, 1972]. Ce facteur prend en compte la conductivité thermique et la permittivité électrique du matériau ainsi que la vitesse de saturation des porteurs (équation 2.10). Il nous informe sur les performances thermiques et fréquentielles du matériau.

$$KFM = \lambda \sqrt{\frac{C \cdot v_{sat}}{4\pi \cdot \epsilon_r}} \quad (2.10)$$

- Facteur de mérite de Baliga (BFM) [Baliga, 1982]. Ce facteur tient compte de la mobilité des porteurs, de la permittivité diélectrique du matériaux et du champ électrique critique (équation 2.11). Il est utilisé dans les applications basse fréquence où les pertes en conduction sont dominantes. Il apporte une appréciation en terme de tenue en tension. Ce facteur est aussi utile pour comparer différents matériaux dans les applications de puissance haute tension.

$$BFM = \varepsilon_r \cdot \mu_n \cdot E_C^3 \quad (2.11)$$

- Facteur de mérite de Baliga pour les applications haute fréquence (BHFM) [Baliga, 1989]. Ce facteur prend en compte la mobilité des porteurs et le champ électrique critique (équation 2.12). Il est utilisé dans les applications haute fréquence et nous renseigne sur le compromis entre pertes en commutation et tenue en tension.

$$BHFM = \mu_n \cdot E_C^2 \quad (2.12)$$

Les facteurs de mérite des différents matériaux semi-conducteurs, conventionnels (Si, GaAs) ainsi qu'à grand gap (les principaux polytypes en SiC, GaN et C), figurent dans le tableau 2.2 [Chow, 1994]. Ces facteurs sont normalisés par rapport au silicium et le matériaux possédant le plus grand facteur de mérite signifie qu'il présente les meilleures performances.

Facteur de mérite	Semiconducteurs conventionnels		Semiconducteurs grand gap				
	Si	GaAs	3C-SiC	6H-SiC	4H-SiC	GaN	C
JFM	1	7, 1	65	260	180	760	2540
KFM	1	0, 45	1, 6	4, 68	4, 61	1, 6	32, 1
BFM	1	15, 6	33, 4	110	130	650	4110
BHFM	1	10, 8	10, 3	16, 9	16, 9	77, 8	470

TABLE 2.2 – Comparatif des facteurs de mérite des matériaux semi-conducteurs [Chow et al., 1998] [Chow, 1994]

Le meilleur candidat est le diamant avec des valeurs de facteur de mérite nettement supérieures à celles des autres semi-conducteurs. En effet, possédant les meilleures propriétés électriques et thermiques, il est considéré comme le semi-conducteur idéal. Il reste cependant encore non exploité pour la fabrication de composants électroniques du fait de la difficulté de son élaboration.

Pour le nitrure de gallium, nous pouvons constater qu'il possède des bonnes performances électriques, en revanche, il reste pénalisé par sa faible conductivité thermique.

Quant au carbure de silicium, le concurrent direct du GaN, nous pouvons constater qu'il devance aisément le silicium.

Dans le domaine de la forte puissance, le SiC dépasse le silicium grâce à son fort champ critique. De plus, ce fort champ permet de réaliser des composants unipolaires avec des faibles épaisseurs de région de drift. Cette amélioration permet de réduire la résistance à l'état passant ce qui implique une diminution considérable des pertes par conduction, pertes prépondérantes à basse fréquence.

Enfin, dans le domaine de la haute fréquence, cette supériorité est due à la grande vitesse de saturation du SiC et aussi à l'effet de la réduction de la surface active du composant SiC conduisant à des capacités plus faibles.

Ainsi, les semi-conducteurs en carbure de silicium présentent les propriétés intrinsèques les plus pertinentes ainsi que l'état de maturité technologique le plus avancé pour répondre au besoin des applications d'électronique de puissance. Pour cette raison, nous nous focaliserons pour la suite de ces travaux de thèse à l'étude des composants de puissance en carbure de silicium.

2.4 Composants SiC disponibles

Les composants de puissance en carbure de silicium sont des concurrents potentiels de ceux en silicium. A terme, ils pourraient les remplacer pour les applications haute température (supérieure à $200^{\circ}C$), haute tension (supérieure à $600V$) et haute fréquence.

Selon leur mode de conduction, les composants SiC peuvent être classés en deux catégories : les composants unipolaires faisant appel à un seul type de porteur de charge, et les composants bipolaires.

2.4.1 Composants unipolaires

Actuellement, plusieurs structures de puissance en semi-conducteur sont réalisées dans la filière carbure de silicium. Parmi ces composants, nous trouvons des redresseurs tels que des diodes à barrière de Schottky (SBD) et des diodes JBS (Junction Barrier Schottky), ainsi que des interrupteurs comme des MOSFET et des JFET.

a. Diode Schottky

Les diodes à barrière de Schottky ont été les premiers composants en SiC commercialisés par la société Infineon en 2001 [Lorenz, 2007] et sont aujourd'hui disponibles chez plusieurs fabricants comme Cree, Rohm, Microsemi et STMicroelectronics. Ces composants présentent l'avantage d'avoir une grande vitesse de commutation permettant de réduire considérablement les pertes par commutation en raison du phénomène de recouvrement inverse [Funaki et al., 2005]. En effet, étant un composant unipolaire, la diode Schottky ne possède pas de charge à évacuer lors de la commutation puisque son courant est transporté par un seul type de porteurs qui sont majoritaires [Chang et al., 2000].

En revanche, les diodes SBD présentent l'inconvénient d'avoir une résistance à l'état passant qui augmente avec la température. La croissance de la résistivité avec la température va engendrer des chutes de tensions à l'état passant plus importantes ainsi que des pertes en conduction plus élevées, ce qui limite la tenue en tension des SBD à quelques kilovolts ($< 3kV$) [Adamowicz et al., 2011]. Pour améliorer les performances des diodes Schottky SiC, il faut diminuer la hauteur de la barrière Schottky, ce qui provoque une augmentation du courant de fuite.

Pour compenser ces limitations, un autre composant a fait son apparition, combinant les avantages de la diode Schottky et de la diode PiN. Il s'agit de la diode JBS (Junction Barrier Schottky) nommée également MPS pour Merged PiN/Schottky Barrier. Ce type de diode Schottky a permis d'avoir les meilleurs performances des diodes SBD et PiN, notamment une grande tenue en tension (environ $10kV$ [Hull et al., 2009]), une chute de tension faible à l'état passant, un faible courant de fuite (pour une tension égale à $1200V$, ce courant vaut $30\mu A$ pour une SBD alors qu'il vaut $8\mu A$ pour une MPS à $T = 180^{\circ}C$ [Bodeker et al., 2015]), et une grande vitesse de commutation avec des faibles pertes.

Actuellement, les diodes Schottky SiC sont utilisées dans des applications de correction du facteur de puissance (PFC), dans les ponts redresseurs à diode dans les alimentations à découpage [semiconductor, 2014].

b. MOSFET

Le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est un composant de puissance commandé selon la polarisation de sa jonction grille-source qui lui permet de commuter de l'état bloqué à l'état passant. Il est, en plus, de type normalement bloqué (« normally-off ») ce qui le rend facile à utiliser.

Il existe plusieurs types de structures de MOSFET, les premières développées étaient de type latéral et furent rapidement remplacées par des structures verticales qui visent l'amélioration des performances

du composant (tenue en tension, calibre en courant, état passant ou performances dynamiques). Nous nous sommes focalisés dans cet état de l'art à étudier uniquement les structures verticales. Les structures verticales présentent l'avantage d'une forte intégration avec une faible résistance à l'état passant [Biela et al., 2011].

La figure 2.8 présente une vue en coupe d'une cellule élémentaire de MOSFET vertical et explique son principe de fonctionnement. Ces cellules élémentaires sont mises en parallèle afin d'obtenir de fortes densités de courant.

La structure élémentaire comprend deux régions importantes, la région de drift N^- permettant la tenue en tension, et la région du canal située en surface de type P (en contact avec l'oxyde de grille) contrôlant l'état passant ou bloqué du composant. En l'absence d'une tension entre grille et source, la surface de type P joue le rôle d'un isolant en évitant toute circulation de courant entre drain et source. En revanche, si une tension V_{GS} est appliquée et qu'elle est suffisamment grande (supérieure à la tension de seuil V_{TH}), la surface de type P va voir un canal de conduction de type N (reliant drain et source) se former le long de l'oxyde de grille sous l'effet d'un champ électrique appliqué à la grille. Aucun courant ne circule à travers la grille qui reste isolée grâce à l'oxyde.

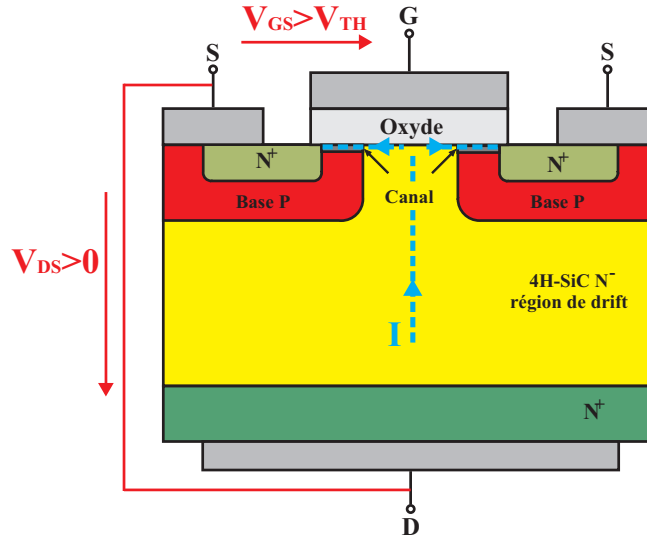


FIGURE 2.8 – Vue en coupe d'un MOSFET vertical donnant le principe de fonctionnement du canal en conduction lorsque $V_{GS} > V_{TH}$

Il existe différentes variantes de structures verticales, parmi elles nous citons la structure DMOS et la structure UMOS présentées sur la figure 2.9.

La structure DMOS présente l'inconvénient d'avoir sa résistance à l'état passant qui augmente (dit effet JFET) quand le composant est conducteur. Cette problématique est due au rétrécissement de la région N^- dans la zone JFET (entre deux zones de charge d'espace P) engendrant ainsi le rétrécissement du canal donc la diminution de la densité de courant et l'augmentation de la résistance de la zone JFET.

Pour contourner ce problème, il fallait s'affranchir de l'effet JFET en supprimant la région qui sépare les deux zones de charge d'espace P . Cela se fait par une création d'un canal vertical dans la structure UMOS (figure 2.9b). Cette structure permet de réduire l'impacte du champ électrique dans le diélectrique même si l'intensité de ce champ reste toujours importante.

L'intérêt du MOSFET SiC est souvent affecté par la fiabilité de l'oxyde de grille. Ce problème est lié tout d'abord à la qualité médiocre de l'interface oxyde de grille/semi-conducteur, due à la

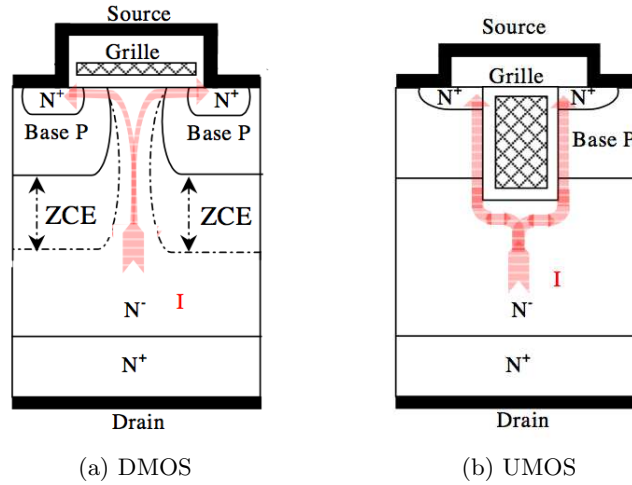


FIGURE 2.9 – Structure MOSFET verticales : DMOS et UMOS [Ouaida et al., 2014]

faible valeur de la barrière entre la bande de conduction du SiC et la bande de conduction de l'oxyde ($2,7\text{eV}$ pour le SiC contre $3,1\text{eV}$ pour le Si) [Krishnaswami et al., 2005]. Cette limitation conduit à une mobilité des porteurs très faible dans le canal d'inversion ce qui augmente la résistance à l'état passant. En outre, la faible épaisseur de l'oxyde (contrairement à celui du MOSFET Si) en plus du fort champ électrique, fragilise d'avantage la grille et réduit sa fiabilité. La problématique de la fiabilité du MOSFET sera traitée plus en détail ultérieurement (partie III) où nous étudierons l'impact de la structure de grille sur la robustesse des MOSFET SiC notamment en régime de court-circuit.

Malgré ses limites, le MOSFET offre d'excellentes performances notamment celui de la gamme 1200V déjà commercialisée par Cree et par Rohm. Nous présentons sur la figure 2.10 la structure DMOS pour Cree et celle UMOS pour Rohm.

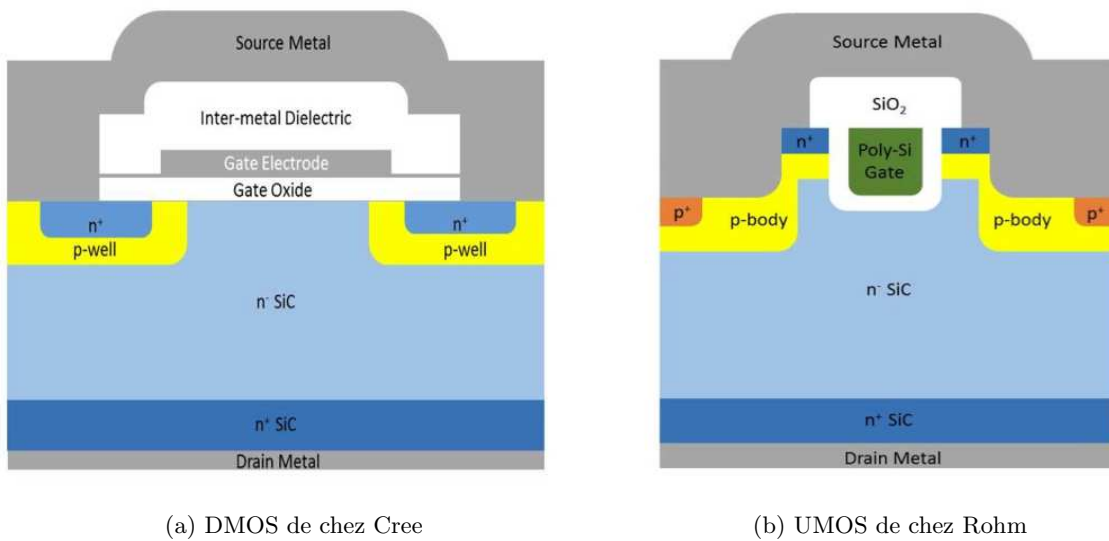


FIGURE 2.10 – Structures des MOSFET commercialisées (a) par Cree et (b) par Rohm [Shenai, 2014]

c. JFET

Le transistor JFET à effet de champ (Junction Field Effect Transistor) est un interrupteur de puissance plus avancé que le MOSFET et beaucoup utilisé dans les applications de puissance. Il existe plusieurs structures de JFET tels que le JFET latéral, vertical, simple canal ou deux canaux, symétrique ou asymétrique. Nous nous sommes limités dans cet état de l'art aux JFET verticaux (VJFET) à simple canal et à deux canaux, présentés sur la figure 2.11.

Dans la première structure, JFET à simple canal, la zone de drift, la région du canal et la source sont réalisées par croissance épitaxiale sur un substrat en carbure de silicium. La zone de drift est dopée N^- et celle du canal est de type N . Le contact de la source est réalisé par une couche fortement dopée N^+ et le contact de drain est situé en face arrière du substrat dopé N^+ . Le courant circulant entre drain et source est modulé par l'implantation des couches P de la grille.

Ce type de JFET a été commercialisé par Semisouth jusqu'à 2013 (fermeture de l'industriel). Aujourd'hui il est possible de trouver des JFET à canal vertical chez United Silicon Carbide.

La deuxième structure est celle du JFET quasi-vertical à double canaux réalisée par Infineon sur un substrat 4H-SiC dopé N [Friedrichs, 2008]. Comme le montre la figure 2.11b, la structure présente une couche enterrée de type P^+ , cette couche est implantée sélectivement dans la première couche épitaxiée N^- . Entre la grille et la couche P^+ enterrée se forme un canal latéral permettant de contrôler le courant traversant le composant par l'intermédiaire de la tension appliquée entre grille et source. La structure présente également un canal vertical non contrôlable par le potentiel de grille et dont dépend la tenue en tension du composant.

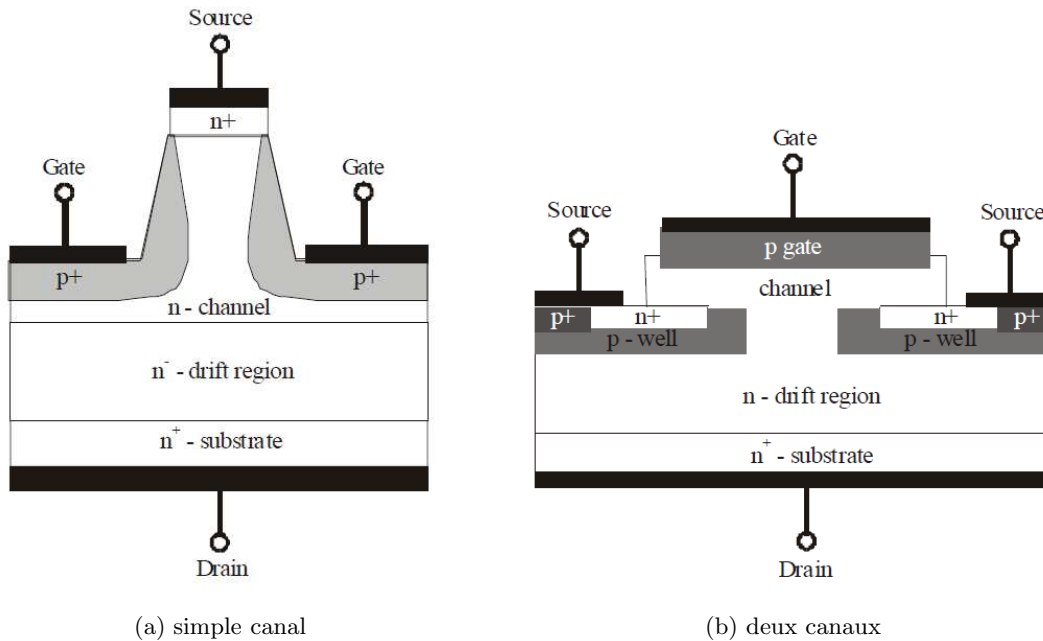


FIGURE 2.11 – Structures des JFET verticaux (a) à simple canal et (b) à deux canaux [Siemieniec, 2011]

Contrairement au transistor MOSFET, le VJFET ne possède pas d'oxyde de grille et la circulation ainsi que le contrôle de son courant de canal se fait par modulation de la largeur de la zone de charge d'espace (ZCE) par la polarisation grille-source (figure 2.12). Si le canal est totalement pincé par la zone de charge d'espace sans polarisation de la jonction grille-source, alors nous parlons d'un JFET « normally-off ». Dans ce cas, aucun courant ne circule entre drain et source sans polarisation.

En revanche, pour les transistors « normally-on », en l'absence de polarisation entre grille et source, les électrodes de drain et de source sont court-circuitées. Ainsi, pour bloquer le composant il faudra polariser en inverse la jonction grille-source. Les dispositifs « normally-on » sont particulièrement sensibles à des modes accidentels de court-circuit, par exemple suite à un défaut de commande. Cette problématique complexifie l'aspect commande car dans ce cas il faudra prévoir des protections contre ces modes contraignants (court-circuit).

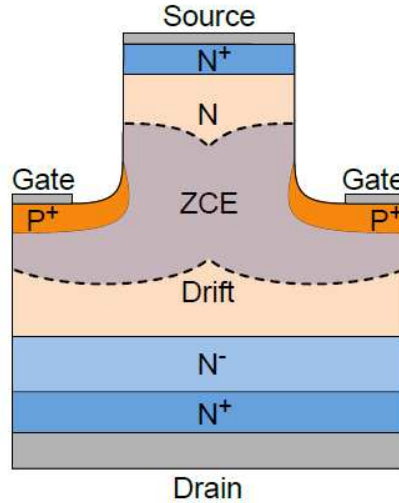


FIGURE 2.12 – Vue en coupe d'une cellule élémentaire VJFET normalement-off [Ouaida et al., 2014]

En guise de comparaison avec les MOSFET SiC, les transistors JFET SiC présentent plusieurs avantages du fait de l'absence de l'oxyde de grille. En effet, le fonctionnement interne du JFET est basé sur les jonctions PN ce qui procure à ces dispositifs la capacité de fonctionner à des très hautes températures allant jusqu'à plusieurs centaines de degrés Celsius ($> 200^\circ C$ [Funaki et al., 2005]). Cependant, dans le cas du MOSFET SiC, les conditions de stress à haute température et sous fort champ augmentent l'injection des électrons dans l'oxyde du fait de la faible valeur de la barrière entre le SiC et le SiO_2 , ce qui dégrade la stabilité de l'oxyde, affecte l'isolation de la grille et par conséquent réduit sa fiabilité [Nguyen et al., 2015].

D'autre part, la tension de pincement du JFET est théoriquement indépendante de la température alors que celle du MOSFET diminue quand la température augmente. Par conséquent, le MOSFET peut se mettre à conduire pour des températures supérieures à $200^\circ C$.

Enfin, la fiabilité du JFET en terme de durée de vie de fonctionnement dans les applications haute température est beaucoup plus élevée que celle du MOSFET [Treu et al., 2007].

2.4.2 Composants bipolaires

Les composants unipolaires SiC offrent plusieurs avantages, tels que la rapidité et les faibles pertes par commutation, faisant d'eux des dispositifs plus performants que leurs homologues en silicium [Baliga, 2001]. Néanmoins, leurs pertes en conduction restent élevées (dues à leur forte résistivité) surtout pour des composants haute tension, ce qui limite leur tenue en tension à quelques kilovolts.

Comparés aux dispositifs unipolaires, les composants bipolaires présentent de faibles pertes en conduction notamment pour des tenues en tension de claquage importantes pouvant atteindre une dizaine de kilovolts. Parmi ces composants, nous trouvons des redresseurs tels que la diode bipolaire

PiN, ainsi que des interrupteurs tels que le transistor bipolaire BJT, le thyristor GTO et l'IGBT.

D'autre part, les composants bipolaires présentent des performances dynamiques meilleures à haute température (supérieures à $200^{\circ}C$) ce qui fait d'eux des candidats potentiels pour des applications haute température et haute fréquence [Agarwal et al., 2000] [Sheng et al., 2006]. En effet, les pertes de ces composants ont tendance à diminuer avec la température dû à la diminution des délais de commutation (notamment la durée de la montée du courant à l'amorçage) avec l'augmentation de la température [Levinshtein et al., 2001a]. Parmi ces composants, nous citons en particulier le transistor BJT qui présente des pertes en conduction faibles [Haaf Peter, 2012] et qui a déjà montré de bonnes performances en terme de robustesse dans des conditions de fonctionnement extrême [Cas, 2011] [Otto et al., 2014]. Ces qualités font de lui un bon candidat pour les applications de forte puissance. Le premier prototype de BJT a été commercialisé en 2012 par Fairchild Semiconductor.

Cependant, les dispositifs bipolaires peuvent présenter une dégradation de leurs performances avec la durée de fonctionnement. Cette dégradation apparaît sous la forme d'une augmentation de la résistance à l'état passant et d'une réduction du gain en courant. Dans son étude [Agarwal et al., 2006a], [Agarwal et al., 2006b], AGARWAL avait montré que ce phénomène était dû aux défauts d'empilement dans la base du composant. En effet, pendant le fonctionnement du transistor, la base est inondée par des paires de porteurs (électrons-trous) et la recombinaison de ces paires dans la base implique une augmentation des défauts d'empilement ce qui diminue par la suite le nombre de porteurs traversant la base vers le collecteur et diminue aussi la concentration du dopage dans la base. Par conséquent, la résistance à l'état passant dans la région de saturation augmente et le gain en courant diminue. L'amélioration de la qualité des wafers tend à réduire ces dégradations.

2.5 Conclusion

Dans ce chapitre, nous avons présenté un état de l'art sur les semi-conducteurs grand gap ainsi que sur les composants en carbure de silicium disponibles sur le marché. Nous avons dans un premier temps présenté les principales propriétés des matériaux grand gap (SiC, GaN et C). Ensuite, nous avons établi une comparaison entre les performances des différents semi-conducteurs grand gap avec les semi-conducteurs conventionnels tels que le silicium et l'arséniure de gallium. Il s'est avéré que les matériaux grand gap possèdent des propriétés intrinsèques leur permettant de dépasser les limites du silicium notamment à haute température et à haute fréquence de fonctionnement. Parmi ces matériaux, nous avons trouvé que le carbure de silicium possède les propriétés les plus pertinentes ainsi que l'état de maturité technologique le plus avancé pour répondre aux exigences de l'électronique de puissance. En effet, sa capacité à fonctionner à des températures considérablement plus élevées que le silicium, permet d'élargir les domaines d'applications haute température tels que l'avionique.

La deuxième partie de ce chapitre a porté sur la présentation des différentes structures réalisées en SiC. L'apparition des composants en carbure de silicium a bouleversé l'utilisation traditionnelle des composants en silicium avec la possibilité de fonctionner à des hautes températures dépassant les $200^{\circ}C$ et à des hautes tensions allant jusqu'à $10kV$. De plus, leur grande vitesse de commutation laisse envisager la conception des systèmes de conversion à haute fréquence de commutation.

Chaque structure présente des avantages et des limites, ainsi son utilisation va dépendre à chaque fois de l'application visée. Parmi ces structures, le JFET ainsi que le MOSFET semblent être potentiellement de bons candidats pour les applications de forte puissance si toutefois ils présentent de bonnes performances aux tests de caractérisations et de robustesse que nous serons amenés à présenter dans ce mémoire de thèse.

Deuxième partie

Investigations sur les interrupteurs de puissance en Carbure de Silicium

Évaluation des performances statiques des transistors SiC

1.1 Introduction

La technologie SiC étant récente et pas encore totalement maîtrisée, il est inévitable de mener des investigations sur le degré de maturité des processus de fabrication des nouveaux composants SiC ainsi que sur leur fiabilité. De plus, au début de ces travaux de thèse, certains des composants fournis par les industriels étaient des premiers prototypes de composants, pas encore commercialisés et dont les fiches techniques n'étaient pas encore disponibles. Pour cette raison, il était indispensable de caractériser ces composants afin d'évaluer leurs potentiels d'utilisation dans les convertisseurs aéronautiques de nouvelle génération.

Cette étude contribue à l'évaluation des performances électriques statiques et dynamiques des transistors MOSFET et JFET en carbure de silicium. En vue d'une analyse de l'impact de chacune de ces structures de transistors sur la conception des convertisseurs aéronautiques, cette étude propose d'évaluer puis de comparer les performances de ces deux familles de composants sur une large gamme de température et donnera un aperçu sur les contraintes spécifiques induites lors de leur intégration dans les convertisseurs aéronautiques.

Avant de présenter le plan de cette partie de manuscrit, un mot sur les différents composants SiC étudiés pendant ces travaux de thèse, et dont les propriétés électriques et géométriques sont présentées dans le tableau 1.1.

Les JFET SJEP120R063 « normally-off » de chez Semisouth et les MOSFET CMF20120D et CMF10120D de chez Cree ont été disponibles tout au long de cette étude. Néanmoins, les travaux sur les JFET ont été abandonnés en 2013, après la fermeture de l'industriel Semisouth.

Quant aux MOSFET de chez Rohm, le SCH2090KE est en réalité le premier prototype du MOSFET SCH2080KE. La seule différence entre les deux est la valeur de la résistance à l'état passant qui est égale à $90m\Omega$ pour le SCH2090KE et $80m\Omega$ pour le SCH2080KE. Précisons que seul le SCH2080KE est commercialisé.

Technologie	Référence	$V_{DS}(V)$	$I_{D(max)}(A)$	$R_{DS(ON)}(m\Omega)$	$S_{Active}(mm^2)$
MOSFET	SCH2090KE	1200	40	90	10,4
	SCH2080KE	1200	40	80	10,4
	CMF20120D	1200	42	80	11,97
	CMF10120D	1200	24	160	XXX
JFET	SJEP120R063	1200	30	63	9

TABLE 1.1 – Principales caractéristiques électriques et géométriques des transistors à $T_{amb} = 25^\circ C$

Cette partie se divise en trois chapitres. Le premier (II.1) traite des performances statiques des composants SiC et présente les résultats des premières caractérisations, y compris, les caractéristiques

courant-tension, la résistance à l'état passant, le courant de saturation, les caractéristiques à l'état bloqué (courant de fuite de drain) et les capacités de jonction. Chacune de ces grandeurs électriques, mis à part les capacités de jonction, est caractérisée sur une large gamme de température.

Le deuxième chapitre (II.2) est dédié à l'étude des performances dynamiques des interrupteurs de puissance en SiC. Une campagne de caractérisations dynamiques est menée en prenant en compte l'influence de la température, du niveau de courant de charge et de la valeur de la résistance de grille sur les transitoires de commutation et les pertes par commutation. Ces mesures sont réalisées en configuration hacheur série et en utilisant la méthode de « double impulsion ».

Enfin, les interrupteurs de puissance caractérisés sont intégrés dans un convertisseur de puissance afin de réaliser des mesures de pertes, tel est l'objectif du chapitre trois (II.3). L'estimation des pertes est réalisée par deux méthodes différentes : la première dite électrique, la deuxième est qualifiée de calorimétrique. Les mesures des pertes sont menées sous une tension de bus continu de 600V et à différentes fréquences de commutation.

Le présent chapitre est voué à l'évaluation des performances statiques des interrupteurs de puissance en carbure de silicium. Il rapporte l'ensemble des résultats des caractérisations statiques des transistors en carbure de silicium 1, 2kV, sur une large plage de température variant de $-60^{\circ}C$ à $200^{\circ}C$. Cela inclue les caractéristiques à l'état passant, notamment la résistance à l'état passant (représentative des pertes en conduction) et le courant de saturation, les caractéristiques à l'état bloqué, en particulier le courant de fuite de drain (représentatif des pertes au blocage). Nous caractérisons également dans ce chapitre les capacités de jonction qui impactent les performances dynamiques du composant.

Ces caractérisations préliminaires ont pour objectif d'établir une comparaison des performances statiques des composants fournis par l'industriel afin de déterminer leurs points forts et leurs points faibles.

Nous commencerons par présenter le protocole expérimental élaboré afin de réaliser les caractéristiques électriques et de garantir la reproductibilité des conditions de test. Ensuite, nous détaillerons les résultats expérimentaux obtenus pour chaque structure de transistors. Enfin, nous clôturerons ce chapitre par une synthèse comparative évaluant les performances, les avantages et les inconvénients de chaque structure testée.

1.2 Description de la méthodologie de caractérisation

1.2.1 Instruments de mesures

L'expérimentation des dispositifs semi-conducteurs de puissance nécessite à la fois des mesures à forte puissance et des mesures très fines à haute précision. Dans ce chapitre nous nous intéresserons uniquement aux mesures à fort courant, celles à faible courant seront détaillées ultérieurement (partie III, chapitre 3).

Les mesures à fort courant et à haute tension ont été réalisées avec un traceur de caractéristiques (TEKTRONIX 371A avec la mesure quatre fils). Ce traceur permet de reproduire les caractéristiques statiques ($I_D = f(V_{DS})$, $I_D = f(V_{GS})$ et $C = f(V_{DS})$) jusqu'à un courant de 400A et une puissance maximale de 3000W. Ces caractérisations sont obtenues en mode impulsif. Le composant est d'habitude placé à l'intérieur de l'unité de banc de test, mais un support a été rajouté (figure 1.1) afin de pouvoir sortir le transistor de l'unité de banc de test ce qui permettra de réaliser les caractérisations en températures.

Les mesures à différentes températures ambiantes seront réalisées à l'aide d'un générateur d'air destiné aux tests de composants et de modules en phase de caractérisation. Son conditionnement thermique est réalisé par convection d'air dans une enceinte confinée et isolée de l'ambient. Ce conditionneur thermique présente une large gamme en température variant de $-80^{\circ}C$ à $250^{\circ}C$, une grande stabilité ($\leq 0,1^{\circ}C$) et une rampe de contrôle réglable de $0,01^{\circ}C$ à $20^{\circ}C$ /seconde.

La figure 1.1 présente la photographie du banc de caractérisations électriques à différentes températures ambiantes. Le composant sous test DUT (Device Under Test) est placé sur un support afin de faciliter son maintien et sa manipulation répétitive. Une plaque de mousse en silicone est placée entre le DUT et le support dans le but d'augmenter l'isolation thermique du composant et de protéger son support. La température extérieure du DUT est mesurée par un thermocouple placé sur une plaque de cuivre montée sur la semelle du composant, nous précisons que pour ces mesures nous supposons que la température du cristal sera égale à celle de la semelle. Lors de la phase de caractérisation, l'enceinte du conditionneur thermique est abaissée jusqu'au contact avec la plaque de mousse, la consigne de température (température de l'air dans l'enceinte) est fixée manuellement via le panneau de commandes et les caractéristiques sont relevées sur le traceur TEKTRONIX 371A.

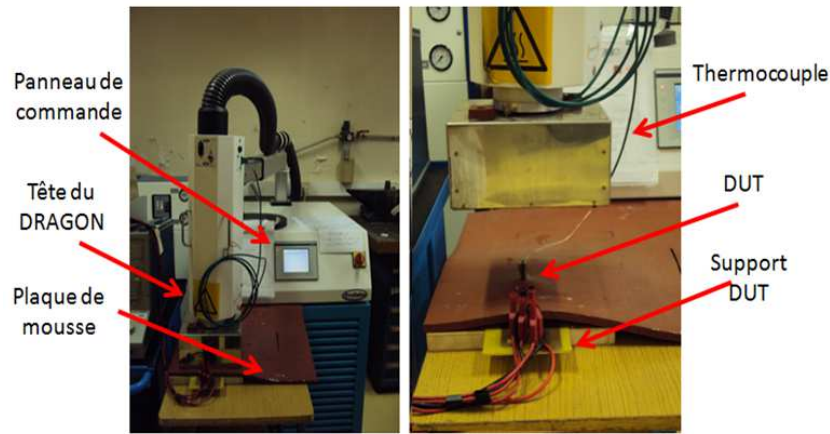


FIGURE 1.1 – Photographie du banc de caractérisations électriques à différentes températures ambiantes

1.2.2 Caractérisations électriques

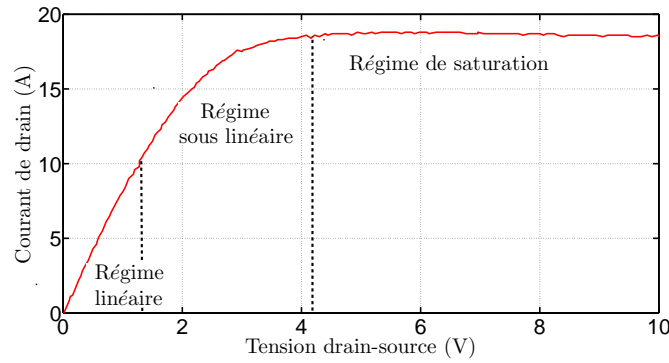
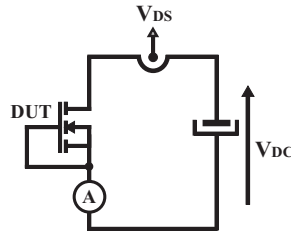
Six grandeurs électriques sont suivies durant ces mesures. Chaque grandeur, à l'exception des trois capacités de jonction, est caractérisée à différentes températures ambiantes variant de $-60^{\circ}C$ à $200^{\circ}C$:

- La résistance à l'état passant, $R_{DS(ON)}$, correspondant à l'inverse de la pente à l'origine de la caractéristique directe ($I_D = f(V_{DS})$, $V_{GS} = \text{constante}$), tel que :

$$R_{DSon} = \left(\frac{\partial V_{DS}}{\partial I_D} \right)_{I_D \rightarrow 0} \quad (1.1)$$

Pour une meilleure estimation de la valeur de la résistance, la tension V_{DS} est limitée à 1 V, ce qui correspond à la zone ohmique de la courbe de sortie $I_D = f(V_{DS})$, figure 1.2. Ainsi, la courbe $I_D = f(V_{DS})$ obtenue est une droite linéaire dont l'inverse de la pente représente la résistance à l'état passant.

- Le courant de saturation, I_{DSAT} , extrait lui aussi à partir de la caractéristique statique directe ($I_D = f(V_{DS})$ à V_{GS} donnée) et correspond à la valeur maximale du courant I_D , figure 1.2.
- Le courant de fuite de drain, I_{DSS} . La figure 1.3 présente le schéma de principe du banc de caractérisation de ce courant de fuite. La jonction drain-source est polarisée en directe et sous tension continue, $V_{DS} = 1200V$, tandis que la jonction grille-source est court-circuitée ($V_{GS} = 0V$) ce qui correspond à un cas fortement défavorable de la commande à l'état bloqué, sachant que les transistors MOSFET SiC pouvant être bloqués avec une tension de $-5V$ et les transistors JFET SiC avec une tension de $-15V$.
- Les trois capacités de jonction : la capacité d'entrée C_{ISS} ($C_{GD} + C_{GS}$), la capacité de sortie C_{OSS} ($C_{GD} + C_{DS}$) et la capacité Miller ou de contre-réaction C_{RSS} (C_{GD}). Ces capacités sont mesurées à l'aide du traceur AGILENT B1505A, à une fréquence $f = 1MHz$, pour une tension $V_{GS} = 0V$ et en faisant croître la tension V_{DS} . Étant très peu dépendantes de la température [Chen et al., 2009], ces capacités sont caractérisées à température ambiante.


 FIGURE 1.2 – Caractéristique statique en directe pour un JFET « normally-off », à $V_{GS} = 3V$

 FIGURE 1.3 – Schéma de principe du banc de caractérisation du courant de fuite de drain, I_{DSS}

1.3 Caractérisation des transistors MOSFET SiC

1.3.1 Caractéristiques à l'état passant

Nous étudions, tout d'abord, l'évolution de la caractéristique directe ($I_D = f(V_{DS})$ à V_{GS} donnée) avec la température. A partir de ces résultats, nous pourrions par la suite étudier l'évolution de la résistance à l'état passant et celle du courant de saturation.

La figure 1.4 présente les caractéristiques statiques directes du MOSFET Rohm(SCH2090KE) relevées à différentes températures ambiantes, pour une tension $V_{GS} = 20V$. La figure 1.4a affiche les mesures effectuées pour des températures variant de $-60^\circ C$ à $20^\circ C$, et celle à droite (figure 1.4b) expose les mesures réalisées pour des températures variant de $20^\circ C$ à $200^\circ C$ (avec un pas de $20^\circ C$).

Ces caractéristiques révèlent un comportement particulier : elles ont tendance à croître avec la température à basse température variant de -60°C à 20°C comme le montre la figure 1.4a, et à décroître avec la température à partir de 20°C (figure 1.4b). Nous verrons par la suite qu'une telle évolution spécifique résulte principalement du comportement de la tension de seuil et de la mobilité des porteurs avec la température.

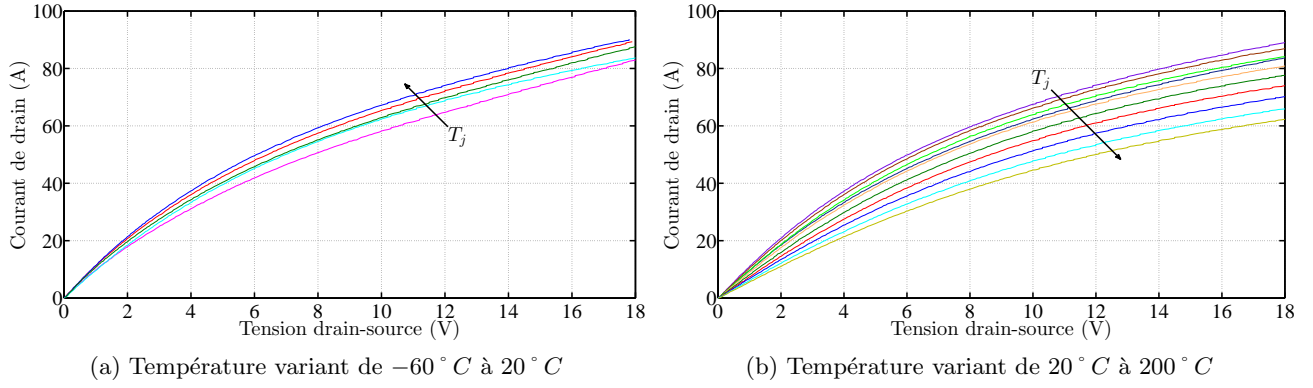


FIGURE 1.4 – Évolution de la caractéristiques statique directe du MOSFET Rohm (SCH2090KE) avec la température, pour une tension $V_{GS} = 20\text{V}$

Nous notons aussi que les caractéristiques du MOSFET Cree (CMF20120D), figure 1.5, révèlent une évolution identique à celle du MOSFET Rohm en fonction de la température.

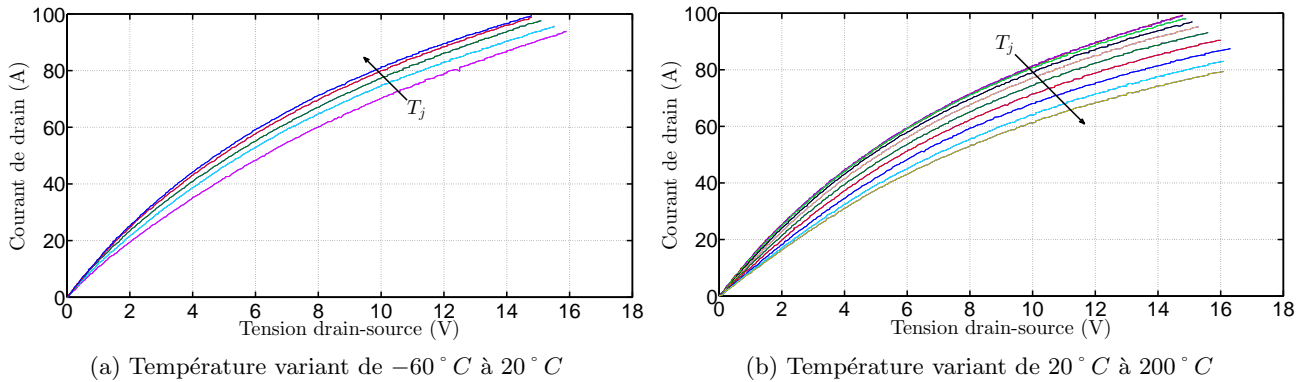


FIGURE 1.5 – Évolution de la caractéristiques statique directe du MOSFET Cree (CMF20120D) avec la température, pour une tension $V_{GS} = 20\text{V}$

a. Résistance à l'état passant

La figure 1.6 montre l'évolution des résistances à l'état passant, $R_{DS(ON)}$, des MOSFET Rohm (figure 1.6a) et des MOSFET Cree (figure 1.6b) en fonction de la température. Ces mesures sont réalisées sous une tension V_{DS} limitée à 1V et pour une tension de grille $V_{GS} = 20\text{V}$.

Ces résistances diminuent avec la température pour les basses températures (variant entre -60°C et 20°C) et augmentent au-delà de 20°C . Pour le MOSFET Rohm référencé SCH2090KE, la résistance a enregistré une variation de 60% par rapport à sa valeur à $T = -60^{\circ}\text{C}$ en passant de $112\text{m}\Omega$ à $183\text{m}\Omega$. Pour le MOSFET Cree CMF20120D, sa résistance a enregistré une variation de seulement 30% en passant de $94\text{m}\Omega$ à $122\text{m}\Omega$.

En outre, la $R_{DS(ON)}$ du MOSFET Cree reste plus faible que celle de son homologue Rohm. Notons que cette différence peut être reliée aux surfaces des puces. En effet, pour une tension de claquage donnée, plus cette surface est petite (c'est le cas du MOSFET Rohm SCH2090KE), plus la résistance est grande. Pour cette raison, si nous voulons par la suite comparer les résistances de ces composants, il est important de regarder la résistance normalisée à la surface active de la puce.

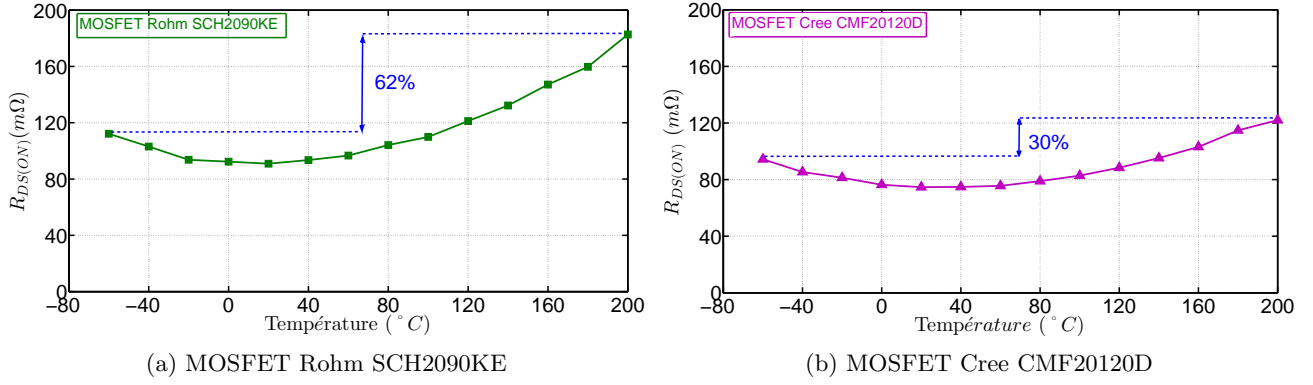


FIGURE 1.6 – Évolution de la résistance à l'état passant des transistors MOSFET SiC avec la température, $V_{GS} = 20V$, $V_{DS} = 1V$

L'évolution distinctive de la résistance $R_{DS(ON)}$, est due aux différents comportements de ses composantes élémentaires avec la température. En effet, trois résistances élémentaires sont dépendantes de la température et responsables du comportement spécifique de la résistance $R_{DS(ON)}$: la résistance du canal, R_{CH} , la résistance de la couche épitaxiée N^- , R_{Drift} , et la résistance du JFET parasite (uniquement pour le cas du DMOS de Cree), R_{JFET} , exprimées respectivement par 1.2, 1.3 et 1.5 [Baliga, 2010]. Nous précisons que le transistor Rohm, étant un MOS à tranchées (UMOS), ne possède pas de zone JFET.

$$R_{CH} = \frac{L_{CH}}{Z \mu_{n-inv} C_{OX} (V_{GS} - V_{TH})} \quad (1.2)$$

avec L_{CH} la longueur du canal, Z la longueur de la cellule, μ_{n-inv} la mobilité des porteurs libres dans le canal, C_{OX} la capacité de l'oxyde et V_{TH} la tension de seuil.

$$R_{DRIFT} = \frac{\rho_D t}{Z (W_{Cell} - a)} \ln \left(\frac{W_{Cell}}{a} \right) \quad (1.3)$$

où :

$$\rho_D = \frac{1}{q \mu_n N_D} \quad (1.4)$$

avec ρ_D la résistivité de la zone de drift, W_{Cell} la largeur de la cellule, t la profondeur de la jonction épitaxiée N^- , a la largeur de la zone du JFET parasite, μ_n (ou μ_B) la mobilité régie par les phonons acoustiques et N_D la concentration du dopage N .

$$R_{JFET} = \frac{\rho_{JFET} X_{JP}}{Z (W_G - 2X_P - 2W_0)} \quad (1.5)$$

où :

$$\rho_{JFET} = \frac{1}{q \mu_n N_D^+} \quad (1.6)$$

avec ρ_{JFET} la résistivité de la zone du JFET parasite, X_{JP} la profondeur de la jonction de base P , W_G la largeur de la grille, X_P le pas de cellule et W_0 la largeur de la zone de déplétion.

La résistance du canal diminue avec la température, cela est dû principalement à la réduction de la tension de seuil, V_{TH} [DiMarino et al., 2013] et à l'augmentation de la mobilité des porteurs libres dans le canal (μ_{n-inv}) tels que nous l'avons expliqué antérieurement (chapitre 2, section 2.2). En effet, sur cette gamme de température (comprise entre $-60^\circ C$ et $200^\circ C$), la mobilité μ_{n-inv} est régie par la diffusion de Coulomb et par conséquent elle augmente avec la température.

En revanche, la mobilité des porteurs μ_n , régie par les phonons acoustiques, diminue avec la température ce qui engendre l'augmentation des résistivités ρ_D et ρ_{JFET} et accroît la résistance de la couche épitaxiée N^- et celle du JFET parasite.

A basses températures, l'évolution de la résistance du canal est prépondérante ce qui explique la diminution de la résistance $R_{DS(ON)}$ et montre un comportement à l'état passant principalement piloté par le canal. Cependant, à haute température, l'évolution de la résistance de la zone épitaxiée N^- devient prédominante ce qui explique la croissance globale de la résistance $R_{DS(ON)}$ à plus forte température.

b. Courant de saturation

Le courant de saturation, I_{DSAT} , est extrait à partir des caractéristiques présentées sur les figures 1.4 et 1.5 pour un point de fonctionnement donné ($V_{DS} = 15V$ et $V_{GS} = 20V$). Soulignons que le courant de drain des MOSFET SiC caractérisés (figure 1.4 et 1.5) n'atteint pas la saturation et qu'en réalité le courant I_{DSAT} relevé correspond au courant de la caractéristique $I_D = f(V_{DS})$ à $V_{DS} = 15V$.

Le comportement du courant de saturation présenté sur la figure 1.7 peut être relié à celui de la résistance à l'état passant. Cette fois, le courant I_{DSAT} , piloté par la réduction de la tension de seuil et par l'augmentation de la mobilité des porteurs dans le canal, augmente à basse température. Au-delà de $20^\circ C$, le courant change de comportement et commence à diminuer.

En effet, l'effet du canal est prépondérant à faible température ce qui explique la croissance du courant de saturation avec celle-ci ($T \leq 20^\circ C$). Par contre, à plus forte température, la mobilité dans la zone de drift, tout comme la vitesse de saturation des porteurs, diminuent avec la température. Nous constatons que cet effet est prépondérant à $T > 20^\circ C$ expliquant la diminution du courant.

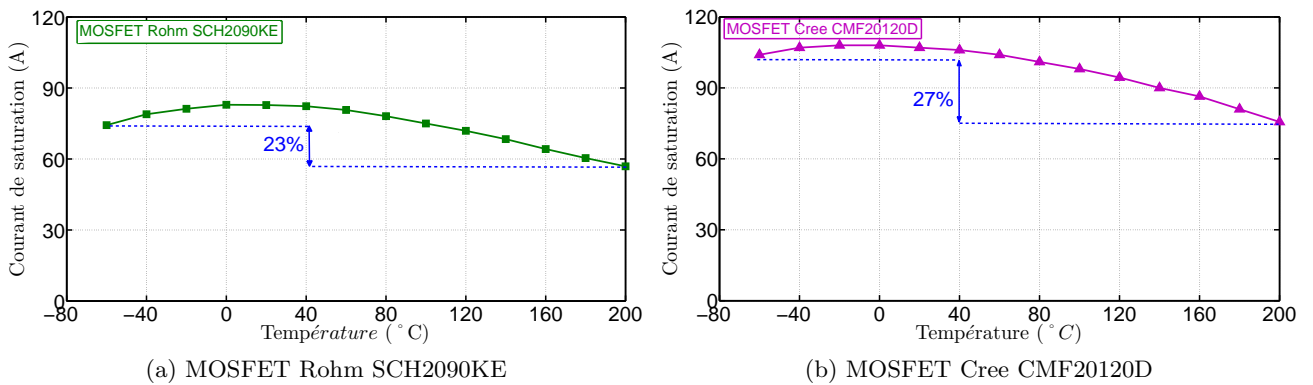


FIGURE 1.7 – Évolution du courant de saturation des transistors MOSFET SiC avec la température, $V_{GS} = 20V$, $V_{DS} = 15V$

L'évolution du courant de saturation, mesuré à $V_{DS} = 15V$, reste modérée sur la totalité de la plage de température par rapport à sa valeur à $T = -60^\circ C$, avec 23% de variation pour le cas du MOSFET Rohm et 27% pour le transistor Cree. Cependant, ce dernier présente des niveaux de courant plus élevés que son homologue Rohm.

1.3.2 Caractéristiques à l'état bloqué- Courant de fuite de drain

Si la résistance à l'état passant représente les pertes à l'état passant, le courant de fuite lui est l'image des pertes à l'état bloqué. Comme cela a été expliqué précédemment, les caractéristiques à l'état bloqué sont réalisées en court-circuitant la grille et en appliquant une tension de drain de 1200V. Sachant que les MOSFET SiC peuvent être bloqués avec une tension de grille de $-5V$, une tension nulle sur la grille correspond à un cas fortement défavorable de commande à l'état bloqué.

Le courant de fuite de drain, figure 1.8, augmente avec la température dû principalement à la croissance de la concentration des porteurs intrinsèques avec l'augmentation de la température. Pour les deux types de MOSFET, ce courant a évolué d'environ deux décades pour des températures variant de $-60^\circ C$ à $200^\circ C$. Soulignons, néanmoins, que le MOSFET Cree CMF20120D possède un courant de fuite significativement plus faible que le MOSFET Rohm SCH2090KE, de presque deux décades.

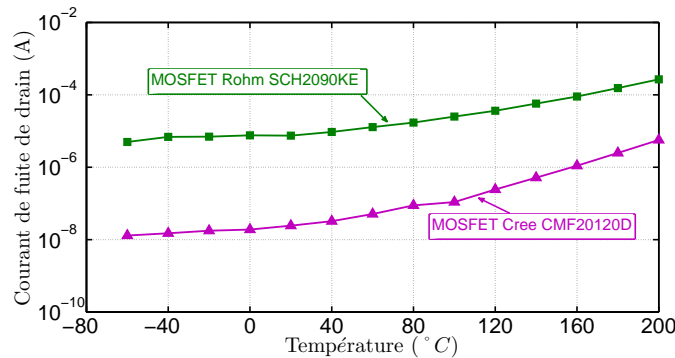


FIGURE 1.8 – Évolution du courant de fuite de drain des transistors MOSFET CMF20120D et SCH2090KE avec la température, $V_{GS} = 0V$, $V_{DS} = 1200V$

En dépit de ces conditions de test volontairement non optimales, l'ensemble des caractérisations à l'état bloqué montrent des performances tout à fait intéressantes des transistors MOSFET SiC, même à haute température de jonction. En effet, comparés aux composants en silicium, les MOSFET SiC possèdent un courant de fuite nettement plus faible, soit environ dix fois plus faible dans le cas des MOSFET Rohm SCH2090KE et jusqu'à cent fois plus faible dans le cas des MOSFET Cree CMF20120D, à $T = 200^\circ C$ [Callanan, 2011a].

1.3.3 Caractéristiques des capacités de jonction

Le comportement dynamique du transistor est principalement régi par ses trois capacités intrinsèques : la capacité entre grille et source C_{GS} , la capacité entre grille et drain C_{GD} et la capacité entre drain et source C_{DS} . En effet, ce sont ces capacités qui, par le temps nécessaire pour les charger ou les décharger, limitent la rapidité des commutations et donc les pertes par commutation.

En pratique, et pour des raisons de facilité de mesure, les fabricants ne donnent pas directement

ces capacités mais les décrivent sous la forme suivante :

$$\begin{cases} C_{ISS} = C_{GD} + C_{GS} & : \text{Capacité d'entrée} \\ C_{RSS} = C_{GD} & : \text{Capacité de contre-réaction} \\ C_{OSS} = C_{GD} + C_{DS} & : \text{Capacité de sortie} \end{cases} \quad (1.7)$$

avec : C_{ISS} la capacité d'entrée (drain et source court-circuités), C_{RSS} la capacité de contre-réaction (ou capacité Miller) et C_{OSS} la capacité de sortie (grille et source court-circuités).

Ainsi, les trois mesures des capacités de jonction des deux types de MOSFET sont données par la figure 1.9 pour une fréquences $f = 1\text{MHz}$ et pour une tension $V_{GS} = 0\text{V}$. Ces mesures sont identiques à celles données par les fiches techniques des fabricants [CMF20120D, 2012] et [SCH2080KE, 2014].

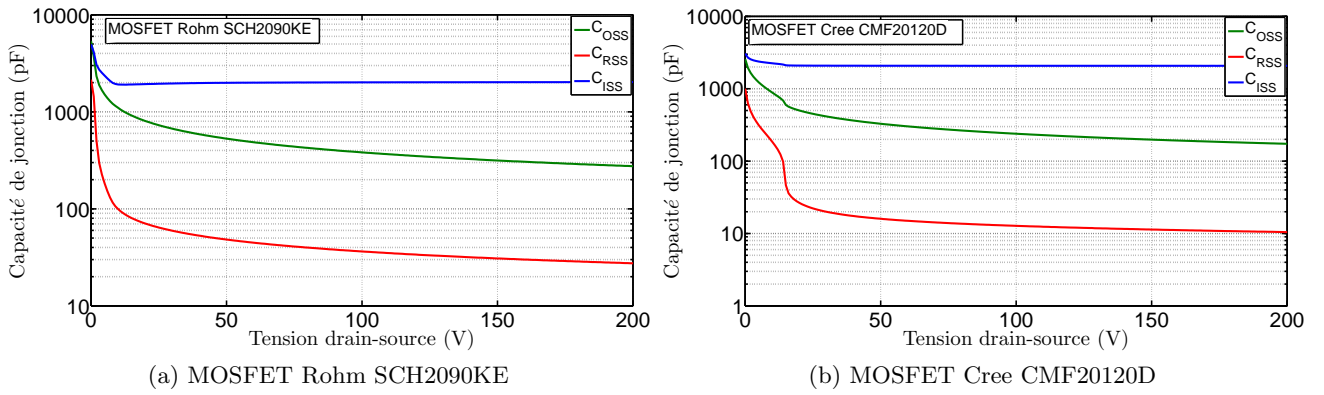


FIGURE 1.9 – Caractéristiques des capacités de jonction en fonction de la tension V_{DS} (a) du MOSFET SCH2090KE et (b) du MOSFET CMF20120D , $f = 1\text{MHz}$, $V_{GS} = 0\text{V}$

1.4 Caractérisation des transistors JFET SiC « Normally-off »

1.4.1 Caractéristiques à l'état passant

Ces mesures sont réalisées pour une tension de grille, $V_{GS} = 3\text{V}$, et sous une tension d'alimentation, V_{DS} , variant de 0 à 18V.

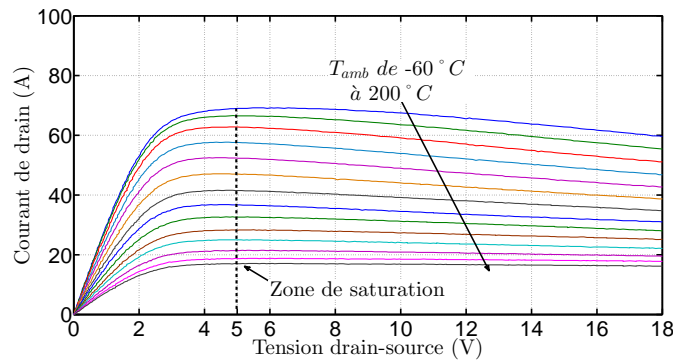


FIGURE 1.10 – Évolution de la caractéristique statique directe du JFET Semisouth (SJEP120R063) avec la température, pour $V_{GS} = 3\text{V}$

Dans le cas du transistor SiC de type JFET « normally-off », nous constatons sur la figure 1.10 que les caractéristiques directes décroissent de manière significative et continue sur toute la plage de température ambiante variant de -60°C à 200°C . En outre, le courant sature plus vite et à des bas niveaux sous augmentation de la température. Le JFET doit cette faculté à sa mobilité des porteurs dans son canal vertical, μ_B , principalement due à la diffusion électron-électron, et qui décroît fortement avec la température.

A température fixe, le courant de drain augmente linéairement avec la tension V_{DS} ce qui correspond à la zone ohmique, puis présente une saturation. Théoriquement, dans la zone de saturation, le courant reste constant avec l'augmentation de V_{DS} , mais en raison de l'échauffement local de la puce lors de ces caractérisations impulsives, le courant diminue légèrement. Cet effet est plus marqué à basse température, où le niveau de courant est plus important. Le traceur fournit des impulsions électriques de durée $100\mu\text{s}$ ce qui explique cet échauffement notamment à fort niveau de courant.

a. Résistance à l'état passant

Pour le cas des transistors de type JFET, leur comportement purement ohmique explique plus facilement l'augmentation progressive de la résistance à l'état passant avec la température comme le montre la figure 1.11. En effet, cette augmentation s'explique par la croissance de la résistivité suite à la diminution de la mobilité des porteurs dans le canal vertical du JFET.

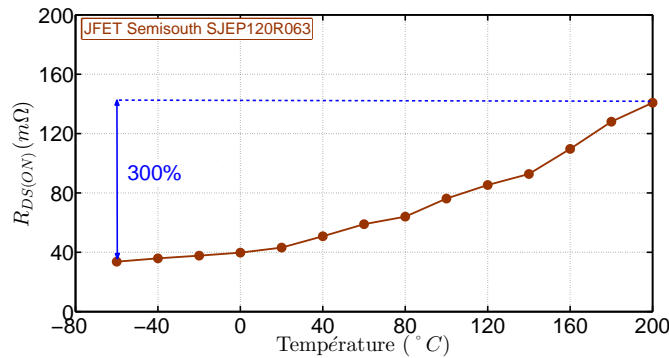


FIGURE 1.11 – Évolution de la résistance à l'état passant du transistor JFET SJEP120R063 avec la température, $V_{GS} = 3\text{V}$, $V_{DS} = 1\text{V}$

La caractéristique de la résistance à l'état passant a augmenté de 300% au regard de sa valeur initiale à $T = -60^{\circ}\text{C}$, en passant de $33,6\text{m}\Omega$ à $107,13\text{m}\Omega$ à $T = 200^{\circ}\text{C}$, une évolution significative comparée à celle de la résistance des MOSFET SiC.

b. Courant de saturation

Le courant de saturation est estimé à partir du début de la zone de saturation de la caractéristique présentée sur la figure 1.10, c'est à dire à partir d'une tension $V_{DS} = 5\text{V}$. L'évolution de ce courant en fonction de la température est donnée par la figure 1.12.

Par analogie à la résistance à l'état passant, ce courant a enregistré une diminution considérable avec la température. En effet, sa valeur a chuté de 75% par rapport à sa valeur initiale à $T = -60^{\circ}\text{C}$, en passant de 69A à 17A pour $T = 200^{\circ}\text{C}$.

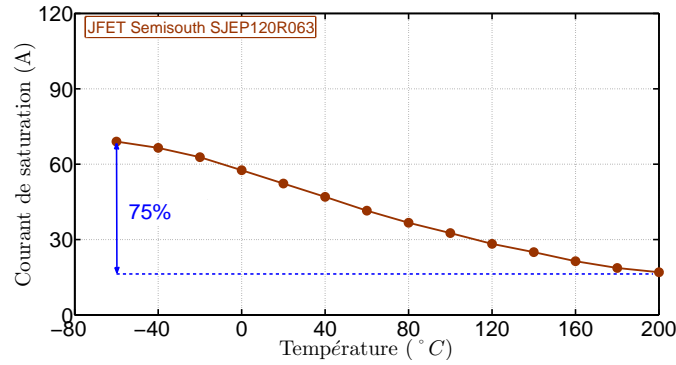


FIGURE 1.12 – Évolution du courant de saturation du transistor JFET SJEP120R063 avec la température, $V_{GS} = 3V$, $V_{DS} = 5V$

1.4.2 Caractéristiques à l'état bloqué- Courant de fuite de drain

Le courant de fuite du transistor JFET présente une évolution plus modérée ($\Delta I_{DSS} \approx 1$ décade) sous augmentation de la température, par rapport au courant I_{DSS} du MOSFET ($\Delta I_{DSS} \approx 2$ décades).

D'autre part, le JFET SJEP120R063 révèle des niveaux de courant de fuite très proches de ceux du MOSFET SCH2090KE sur toute la plage de température, soit un I_{DSS} dix fois plus faible que celui des composants en silicium à $T = 200^\circ C$ [Callanan, 2011a].

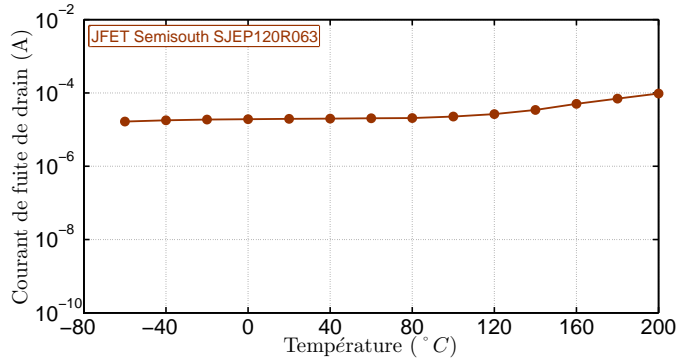


FIGURE 1.13 – Évolution du courant de fuite de drain des transistors JFET SJEP120R063 avec la température, $V_{GS} = 0V$, $V_{DS} = 1200V$

1.4.3 Caractéristiques des capacités de jonction

Les trois mesures des capacités de jonction C_{ISS} , C_{RSS} et C_{OSS} sont données par la figure 1.14 pour une fréquence $f = 1MHz$ et une tension $V_{GS} = 0V$.

Les caractéristiques de C_{RSS} et C_{OSS} sont confondues. Ces résultats sont identiques à ceux donnés par la fiche technique du composant [SJEP120R063, 2011].

Nous rappelons que les valeurs des capacités ainsi définies ont une grande incidence sur les performances dynamiques du transistor puisqu'elles conditionnent sa rapidité en commutation.

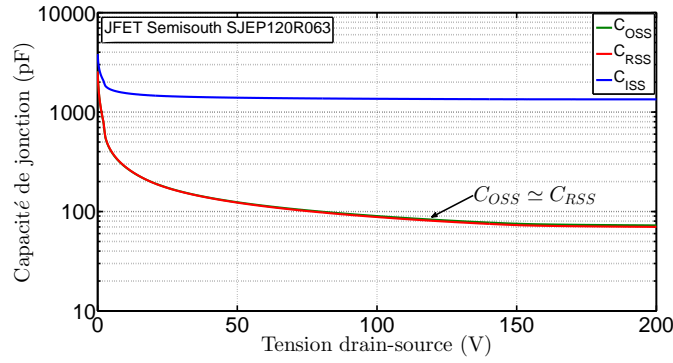


FIGURE 1.14 – Caractéristiques des capacités de jonction en fonction de la tension V_{DS} du JFET SJEP120R063 , $f = 1MHz$, $V_{GS} = 0V$

1.5 Bilan

Ces caractérisations préliminaires ont pour finalité d'établir un comparatif de performances des composants pré-sélectionnés, pour une éventuelle utilisation dans les convertisseurs aéronautiques.

Résistance à l'état passant

Commençons par le premier critère de comparaison, la résistance à l'état passant qui représente les pertes en conduction. La résistance est normalisée à la surface active de la puce, en multipliant la valeur de $R_{DS(ON)}$ mesurée par la surface active, et son évolution en fonction de la température est tracée sur la figure 1.15 pour les trois types de transistors.

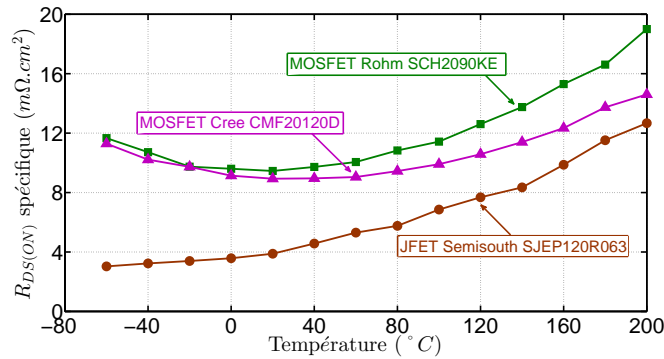


FIGURE 1.15 – Comparaison des différentes résistances spécifiques en fonction de la température pour les trois types de transistors SiC

Nous pouvons voir sur le graphe que la structure JFET « normally-off » possède de bonnes performances en température par rapport à la structure MOSFET notamment à très basse température. Effectivement, à $T = -60^\circ C$, la $R_{DS(ON)}$ du JFET est trois fois plus faible que celle des MOSFET SiC, d'où un gain important sur les pertes par conduction.

Les structures MOSFET SiC présentent une évolution similaire à basse température (en dessous de $20^\circ C$), néanmoins, pour de plus hautes températures, le MOSFET de chez Rohm offre des performances moins bonnes que celui de chez Cree.

D'autre part, le comportement global des MOSFET SiC montre une dépendance de la résistance à l'état passant moins marquée que celle de JFET avec la température. Ce point semble être bénéfique

à première vue, néanmoins il traduit surtout une importance considérable de la résistance du canal sur la chute de la tension totale à l'état passant. Nous pouvons donc légitimement imaginer que des améliorations sur la chute de tension directe devraient pouvoir être apportées en réduisant la chute de tension dans le canal.

Courant de saturation

Passons au deuxième critère de comparaison, le courant de saturation. Nous comparons la densité de courant de saturation des composants caractérisés, présentée sur la figure 1.16 et obtenue en divisant la valeur du courant I_{DSAT} mesurée par la surface active de la puce.

Le JFET présente des niveaux de densité de courant de saturation plus faible que le MOSFET sur toute la gamme de température. En outre, le courant de saturation (ou densité de courant) du transistor JFET est fortement dépendent de la température contrairement à celui du MOSFET SiC qui présente une évolution moins marquée avec celle-ci.

La faible valeur de la densité de courant mesurée sur les JFET SiC explique certainement en grande partie l'excellente robustesse de ces composants en régime de court-circuit et leur intérêt pour la réalisation des limiteurs de courant. La robustesse du JFET SiC sera amplement étudiée dans la partie III.

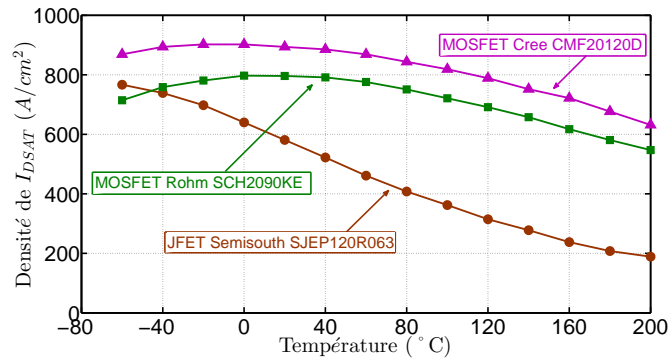


FIGURE 1.16 – Comparaison des différentes densités de courant de saturation en fonction de la température pour les trois types de transistors SiC (I_{DSAT} mesuré à $V_{DS} = 15V$ pour les MOSFET SiC et à $V_{DS} = 5V$ pour les JFET SiC)

Courant de fuite

Regardons maintenant l'évolution du courant de fuite qui est responsable des pertes au blocage. L'évolution de ce paramètre en fonction de la température est donnée par la figure 1.17, pour une tension $V_{DS} = 1200V$ et une tension de grille nulle.

Malgré ces conditions de commande à l'état bloqué volontairement non optimales ($V_{GS} = 0V$), le MOSFET de chez Cree présente de bonnes performances au blocage avec un courant de fuite très faible, soit un I_{DSS} inférieur à $10\mu A$ à $200^\circ C$. Comparé aux composants en silicium, et pour une tension V_{DS} donnée, le MOSFET de chez Cree possède un courant de fuite cent fois plus faible à $T = 200^\circ C$.

Quant aux transistors de chez Rohm (MOSFET SCH2090KE) et de chez Semisouth (JFET SJEP120R063), ils présentent des caractéristiques à l'état bloqué relativement similaires sur toute la gamme de température, avec des niveaux de courant de fuite plus élevés que ceux du MOSFET Cree. A titre d'exemple, à $T = 200^\circ C$, le courant de fuite du MOSFET Cree est 17 fois plus faible que celui du JFET Semisouth, voire 47 fois plus faible que celui du MOSFET Rohm.

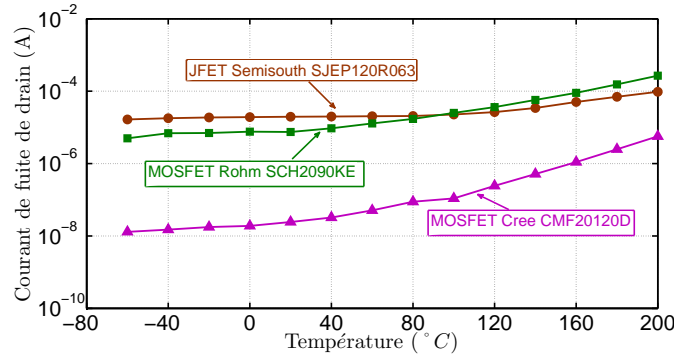


FIGURE 1.17 – Comparaison des différents courants de fuite I_{DSS} en fonction de la température pour les trois types de transistors SiC

Capacités de jonction

Nous clôturons ce bilan avec le dernier critère de comparaison, les capacités de jonction qui influencent sur les performances dynamiques des composants, notamment les vitesses de commutation et les pertes en commutation [Jeannin, 2001].

Commençons par la capacité d'entrée, C_{ISS} , dont la caractéristique est donnée par le graphe 1.18a. Cette capacité influe sur la vitesse d'évolution du courant de drain ($\frac{di}{dt}$) pendant une commutation. En effet, plus la capacité d'entrée est faible, plus le temps de monté (et/ou de descente) du courant lors d'une commutation est court.

Parmi les transistors caractérisés, c'est le JFET de chez Semisouth qui possède la capacité la plus faible, suivi par les MOSFET CMF20120D et SCH2090KE qui ont pratiquement la même valeur de capacité.

Concernant la capacité de sortie, C_{OSS} , elle agit sur la vitesse de variation de la tension drain-source ($\frac{dv_{ds}}{dt}$) et sur les pertes par commutation. Le $\frac{dv_{ds}}{dt}$ est inversement proportionnel à cette capacité, par conséquent, plus C_{OSS} est faible, plus le $\frac{dv_{ds}}{dt}$ est rapide.

D'autre part, la capacité C_{DS} qui constitue une grande partie de C_{OSS} , a une réelle incidence sur les pertes par commutation. En effet, pendant la phase d'amorçage, l'énergie stockée dans C_{DS} ne peut être dissipée que dans le canal du transistor. Par conséquent, plus C_{DS} est grande, plus les pertes seront importantes.

Selon le graphe 1.18b, c'est le JFET qui possède la capacité de sortie la plus faible, suivi par le MOSFET CMF20120D et le MOSFET SCH2090KE.

Enfin, nous comparons la valeur de la capacité de contre-réaction, C_{RSS} , des différents transistors. Cette capacité présente une réelle incidence sur la vitesse d'évolution de la tension drain-source pendant une commutation ($\frac{dv_{ds}}{dt}$), et a, entre autres, une grande influence sur les pertes par commutation. Effectivement, plus la capacité de contre-réaction est faible, plus le temps de montée (et/ou de descente) de la tension V_{DS} est court et les pertes par commutation sont faibles.

En visualisant les capacités des trois types de transistors, figure 1.19, nous trouvons que le MOSFET CMF20120D possède la plus faible capacité Miller, suivi par le MOSFET SCH2090KE. Néanmoins, le JFET SJEP120R063 possède la capacité la plus élevée, soit une C_{RSS} sept fois plus grande que celle du MOSFET CMF20120D, pour une tension $V_{DS} = 200V$.

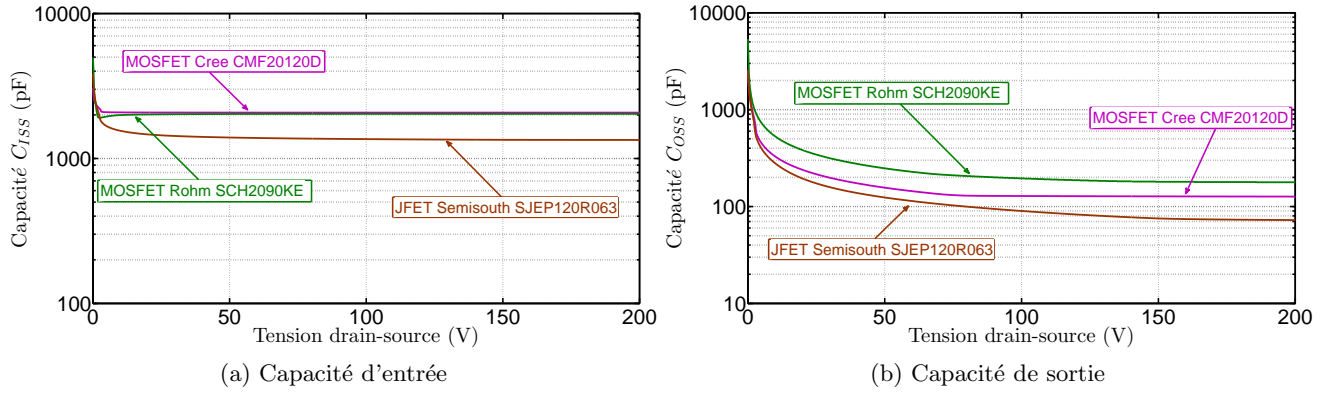


FIGURE 1.18 – Comparaison des différentes capacités d'entrée et de sortie en fonction de la tension V_{DS} , $f = 1MHz$, $V_{GS} = 0V$

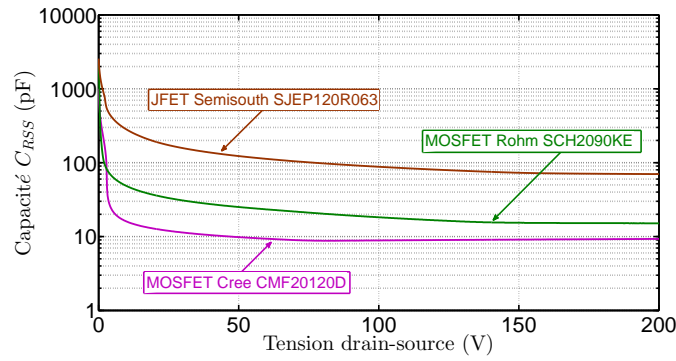


FIGURE 1.19 – Comparaison des différentes capacités Miller en fonction de la tension V_{DS} , $f = 1MHz$, $V_{GS} = 0V$

1.6 Conclusion

Dans ce chapitre, nous nous sommes intéressés aux performances électriques statiques des transistors MOSFET et JFET en technologie carbure de silicium. Pour cela, nous avons conduit une campagne de caractérisations électriques sur une large plage de température variant de $-60^{\circ}C$ à $200^{\circ}C$, afin de suivre certaines grandeurs électriques susceptibles de varier avec la température et afin de mettre en évidence les spécificités de chaque composant testé.

Ces premiers résultats montrent que les transistors SiC 1,2kV possèdent de bonnes performances statiques à hautes températures. A l'état passant, c'est les JFET SJEP120R063 qui présente les meilleures caractéristiques avec une faible résistance à l'état passant et donc des faibles pertes en conduction.

A l'état bloqué, le MOSFET CMF20120D prend la première place avec un courant de fuite très faible même à haute température (I_{DSS} inférieur à $10\mu A$ à $T = 200^{\circ}C$) ce qui implique des faibles pertes au blocage.

Les capacités de jonction ont aussi été caractérisées à température ambiante. Là aussi, le MOSFET CMF20120D a montré les meilleures performances. Ces capacités impactent les performances dynamiques des composants telles que les vitesses de commutation et les pertes par commutation.

L'investigation sur ces performances dynamiques fera l'objet du chapitre suivant.

Évaluation des performances dynamiques des transistors SiC

2.1 Introduction

Ce chapitre est consacré à l'étude des performances dynamiques des interrupteurs de puissance en technologie SiC, répertoriés dans le tableau 1.1 (chapitre précédent, section 1.1). Pour cela, une campagne de caractérisations dynamiques en configuration hacheur série est réalisée afin d'évaluer diverses grandeurs lors des transitoires telles que les surtensions, les surintensités, les taux de variation du courant et de la tension et les pertes par commutations.

De plus, durant ces caractérisations, trois paramètres ont fait l'objet d'investigations spécifiques afin d'analyser leurs effets sur les performances dynamiques des transistors SiC : la résistance de grille, le courant de charge et la température ambiante.

Après un rappel des mécanismes de commutation dans le cas d'une commutation idéale et celle non idéale, nous présenterons les différentes maquettes développées pour réaliser ces caractérisations. Puis, nous détaillerons la méthodologie de mesure des différentes grandeurs dynamiques (telles que le $\frac{dv}{dt}$, le $\frac{di}{dt}$, l'énergie dissipée, etc).

Ensuite, nous passerons à l'étude effectuée sur l'influence de la résistance de grille, du niveau du courant de charge et de la température ambiante sur le comportement électrique des transistors MOSFET et JFET « normally-off » pendant les phases de commutation.

Enfin, nous terminerons par une synthèse comparative évaluant les performances dynamiques de ces interrupteurs de puissance.

2.2 Rappel des mécanismes de commutation

Avant d'exposer les résultats des travaux de caractérisations dynamiques, nous présentons un rappel sur les mécanismes de commutation.

Pour cela, nous allons tout d'abord présenter une étude sur la commutation du MOSFET dans une cellule hacheur sur charge inductive. Pour cette étude, nous nous sommes reportés sur les travaux de BALIGA dans [Baliga, 2010], de JEANNIN dans [Jeannin, 2001] et de ROSSIGNOL dans [Rossignol, 2015].

Ensuite, nous présenterons le cas d'une commutation non idéale et nous détaillerons une seconde étude introduite par ROSSIGNOL dans [Rossignol, 2015], présentant un examen plus détaillé des séquences du $\frac{dv}{dt}$.

2.2.1 Commutation idéale

Considérons le circuit de la figure 2.1 composé d'une cellule de commutation sur une charge inductive. Il comprend un interrupteur de puissance MOSFET, son driver, une diode de roue libre, une charge inductive présentée ici sous forme de source de courant et l'alimentation V_{DC} .

Dans le cas d'une commutation idéale, certaines hypothèses doivent être formulées :

- La commande est considérée comme un échelon de tension idéal qui attaque la grille du MOSFET via une résistance de grille externe.
- Les éléments parasites des circuits de commande et de puissance ainsi que les éléments parasites des boîtiers des composants ne sont pas pris en compte.
- La diode de roue libre est considérée comme idéale.
- Le courant dans la charge est supposé constant pendant le cycle de commutation.

La figure 2.2 présente un cycle de commutation constitué d'une phase de mise en conduction (fermeture de l'interrupteur), figure 2.2a, et d'une phase de blocage (ouverture de l'interrupteur), figure 2.2b. Chacune de ces phases comprend quatre séquences que nous allons détaillées dans ce qui suit.

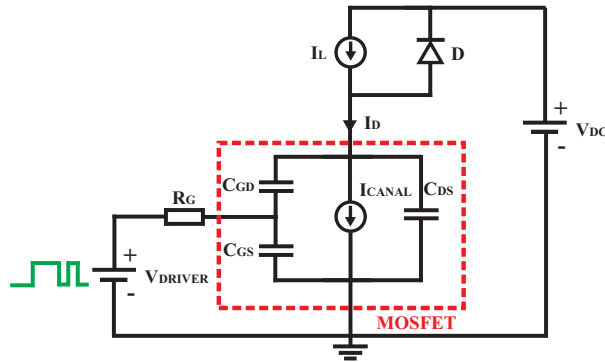


FIGURE 2.1 – Cellule de commutation hacheur

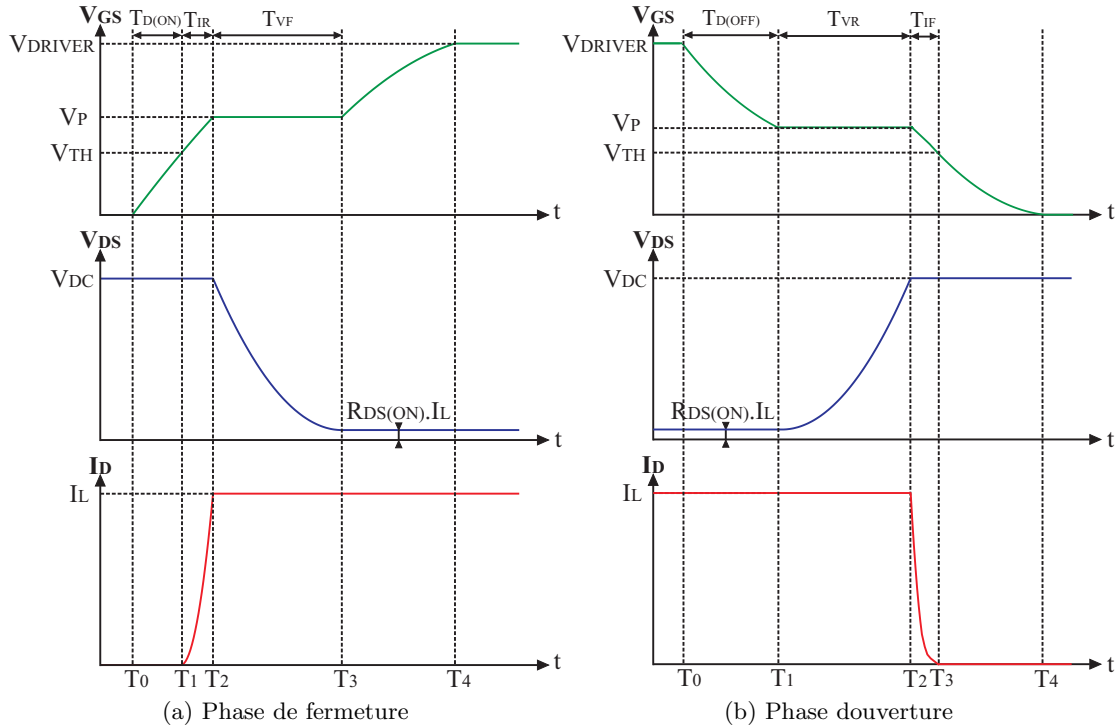


FIGURE 2.2 – Cycle de commutation d'un interrupteur : (a) phase de fermeture et (b) phase d'ouverture

a. Commutation à la fermeture

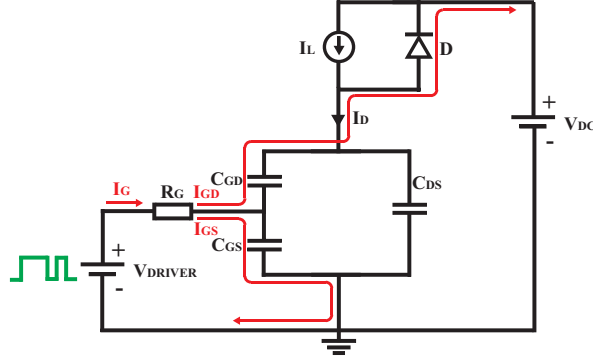
 Séquence #1 : $V_{GS} < V_{TH}$


FIGURE 2.3 – Schéma équivalent pour la séquence #1

La figure 2.3 présente le schéma équivalent du circuit pendant la première séquence ($V_{GS} < V_{TH}$) de durée $T_{D(ON)}$.

A l'instant T_0 , instant de l'application du signal de commande, la capacité d'entrée C_{ISS} du transistor ($C_{GS} + C_{GD}$) commence à se charger par le courant de grille ($I_G = I_{GD} + I_{GS}$, équation 2.1a) jusqu'à ce que la tension V_{GS} atteigne la tension de seuil V_{TH} .

Le transistor est commandé via la résistance de grille, R_G , ce qui implique que sa grille se charge avec une constante de temps $\tau_1 = R_G \times C_{ISS(MIN)}$ (avec $C_{ISS(MIN)} = C_{GS} + C_{GD(MIN)}$ à V_{DS} élevée). Ainsi, nous obtenons l'expression de la tension V_{GS} (2.1c) et celle de sa pente $\frac{dV_{GS}}{dt}$ (2.1d) à partir des équations 2.1a et 2.1b.

Tant que V_{GS} est inférieure à V_{TH} , la tension V_{DS} reste égale à la tension du bus continu, V_{DC} , et le courant de drain, I_D , reste nul.

Enfin, la durée de cette séquence est donnée par l'expression 2.1g, obtenue à partir de 2.1c et 2.1d.

$$\begin{cases} I_G(t) &= C_{GS} \cdot \frac{dV_{GS}}{dt} + C_{GD(MIN)} \cdot \frac{dV_{GD}}{dt} = (C_{GS} + C_{GD(MIN)}) \cdot \frac{dV_{GS}}{dt} & (2.1a) \\ V_{DRIVER} &= R_G \cdot I_G + V_{GS} & (2.1b) \\ V_{GS}(t) &= V_{DRIVER} \cdot (1 - e^{-t/\tau_1}) & (2.1c) \\ \frac{dV_{GS}}{dt} &= \frac{V_{DRIVER} - V_{TH}}{R_G \cdot C_{ISS(MIN)}} & (2.1d) \\ V_{DS} &= V_{DC} & (2.1e) \\ I_D &= 0 & (2.1f) \\ T_{D(ON)} &= R_G \cdot C_{ISS(MIN)} \cdot \ln \left(\frac{V_{DRIVER}}{V_{DRIVER} - V_{TH}} \right) & (2.1g) \end{cases}$$

 Séquence #2 : $V_{TH} \leq V_{GS} \leq V_P$

Une fois que la tension de grille dépasse V_{TH} , instant T_1 , le canal du transistor se met en état de conduction (figure 2.4).

Le transistor fonctionne dans sa zone de saturation et le courant de canal, I_{CANAL} , régi par la tension V_{GS} , augmente pendant une durée T_{IR} jusqu'à atteindre le courant de charge I_L . Le courant I_{CANAL} est donné par l'expression 2.2c. Notons que, pour une étude simplifiée, nous considérons la transconductance, g_m , comme étant invariante.

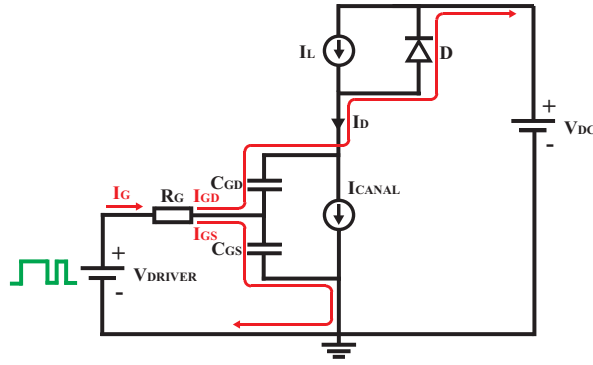


FIGURE 2.4 – Schéma équivalent pour la séquence #2

Le courant de charge n'étant pas entièrement conduit par le transistor, la diode de roue libre reste conductrice ce qui explique le maintien de la tension V_{DC} aux bornes des électrodes drain et source (figure 2.2). Ainsi, la tension V_{DS} reste inchangée (équation 2.2b) et avec elle la capacité C_{GD} .

Par conséquent, la tension V_{GS} continue à augmenter avec la même constante de temps, τ_1 , et selon l'équation 2.2a, jusqu'à atteindre sa valeur de plateau V_P .

Quant au courant de drain, d'après la figure 2.4, et en négligeant le courant I_{GD} devant le courant I_{CANAL} (fort gain du transistor et faible variation de V_{GD}), il peut être exprimé sous la forme 2.2d. Ainsi, nous déduisons le $\frac{dI_D}{dt}$ (équation 2.2e), à partir des équations 2.2e et 2.1d.

Enfin, nous déterminons la durée de cette séquence (T_{IR}) à partir des équations 2.1g et 2.2f. A l'instant T_2 , la tension V_{GS} est égale à sa valeur plateau donnée par l'équation 2.2f. En remplaçant, dans 2.2f, T_2 par $(T_{D(ON)} + T_{IR})$ et $T_{D(ON)}$ par son expression 2.1g, nous obtenons l'expression 2.2g.

$$\left\{ \begin{array}{ll} V_{GS}(t) &= V_{DRIVER} \cdot (1 - e^{-t/\tau_1}) & (2.2a) \\ V_{DS} &= V_{DC} & (2.2b) \\ I_{CANAL} &= g_m \cdot (V_{GS} - V_{TH}), \text{ avec } g_m = \beta (V_{GS} - V_{TH}) & (2.2c) \\ I_D(t) &= I_{CANAL} - C_{GD(MIN)} \cdot \frac{dV_{GD}}{dt} \approx I_{CANAL} & (2.2d) \\ \frac{dI_D}{dt} &= g_m \cdot \frac{V_{DRIVER} - V_{TH}}{R_G \cdot C_{ISS(MIN)}} & (2.2e) \\ V_P &= V_{DRIVER} \cdot (1 - e^{-T_2/\tau_1}) & (2.2f) \\ T_{IR} &= R_G \cdot C_{ISS(MIN)} \cdot \ln \left(\frac{V_{DRIVER} - V_{TH}}{V_{DRIVER} - V_P} \right) & (2.2g) \end{array} \right.$$

Séquence #3 : $V_{GS} = V_P$

La figure 2.5 montre une répartition des courants durant la phase transitoire liée au mécanisme de $\frac{dV_{DS}}{dt}$. Nous définissons I_{SD} comme étant le courant circulant dans la capacité C_{DS} et I_{GD} comme étant le courant de la capacité C_{GD} . Nous noterons que le courant de drain est la contribution de trois courants, I_{GD} , I_{SD} et I_{CANAL} .

Quand le courant de charge est complètement conduit par le transistor, la diode, n'étant plus conductrice, commence à bloquer la tension du bus continu. A cet instant, le courant de grille est majoritairement conduit par la capacité C_{GD} , ce qui maintient V_{GS} à la valeur V_P .

D'autre part, toutes les charges apportées sur la grille vont servir à réduire la tension présente aux bornes de la capacité C_{GD} . La dite capacité ainsi que C_{DS} vont être déchargées à travers le courant de canal et dans ce cas nous obtenons un courant dans le canal plus élevé que celui de la charge (équations

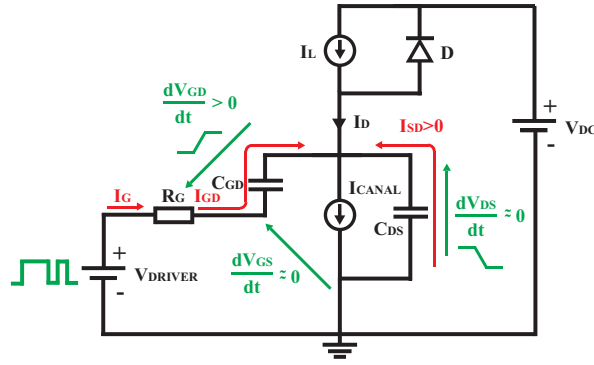


FIGURE 2.5 – Schéma équivalent pour la séquence #3

2.3a et 2.3b). Il en résulte l'expression de la tension V_{GS} donnée par l'équation 2.3c. La valeur de V_{GS} entraîne celle de I_{GP} donnée par l'équation 2.3d.

La tension de grille étant égale à V_P , sa variation est quasi nulle (equation 2.3e). Ainsi, l'expression de $\frac{dV_{DS}}{dt}$ peut être donnée par l'équation 2.3g, obtenue à partir des équation 2.3e et 2.3f. Il s'agit d'une séquence $\frac{dV_{DS}}{dt}$ régie par le courant de charge de grille.

Notons aussi que le $\frac{dV_{DS}}{dt}$ dépend du courant de charge. En effet, si le courant de charge augmente, la tension de plateau, V_P , va aussi augmenter, ce qui va réduire le courant de grille et donc diminuer le $\frac{dV_{DS}}{dt}$.

$$\begin{cases} I_{CANAL} &= I_L + I_{GD} + I_{SD} & (2.3a) \\ I_{CANAL} &= I_L + C_{GD} \cdot \frac{dV_{GD}}{dt} - C_{DS} \cdot \frac{dV_{DS}}{dt} & (2.3b) \\ V_{GS} &= V_P \approx \frac{I_{CANAL}}{g_m} + V_{TH} & (2.3c) \\ I_{GP} &= \frac{V_{DRIVER} - V_{GS}}{R_G} = \frac{V_{DRIVER} - V_P}{R_G} & (2.3d) \\ \frac{dV_{GS}}{dt} &\approx 0 & (2.3e) \\ \frac{dV_{GD}}{dt} &= \frac{I_{GP}}{C_{GD}} & (2.3f) \\ \frac{dV_{DS}}{dt} &= -\frac{dV_{GD}}{dt} + \frac{dV_{GS}}{dt} = -\frac{I_{GP}}{C_{GD}} = -\frac{V_{DRIVER} - V_P}{R_G C_{GD}} & (2.3g) \\ I_D &= I_L & (2.3h) \end{cases}$$

Séquence #4 : $V_{GS} > V_P$

Le schéma de principe de cette séquence est présenté sur la figure 2.6.

A l'instant T_3 , la tension V_{DS} atteint une valeur minimale donnée par l'équation 2.4c, et ne varie plus. Quant à la tension V_{GS} , régie par l'équation 2.4a, elle continue à augmenter avec une constante de temps $\tau_2 = R_G \times C_{ISS(MAX)}$ ($C_{ISS(MAX)} = C_{GS} + C_{GD(MAX)}$, à faible V_{DS}), jusqu'à atteindre sa valeur maximale V_{DRIVER} . Enfin, à une tension V_{DS} fixe, et en reprenant l'équation 2.1a, on obtient

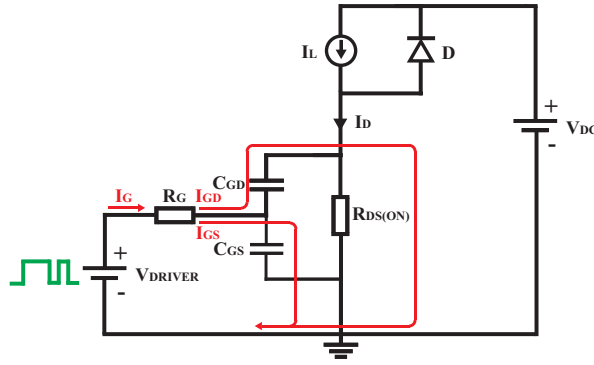


FIGURE 2.6 – Schéma équivalent pour la séquence #4

l'équation du courant de grille, I_G , 2.4b.

$$\begin{cases} V_{GS}(t) &= (V_{DRIVER} - V_P) \cdot (1 - e^{-(t-T_3)/\tau_2}) + V_P & (2.4a) \\ I_G &= C_{ISS(MAX)} \cdot \frac{dV_{GS}}{dt} & (2.4b) \\ V_{DS} &= R_{DS(ON)} \cdot I_{CANAL} & (2.4c) \\ I_D &= I_L & (2.4d) \end{cases} \quad (2.4e)$$

b. Commutation à l'ouverture

La phase de la commutation à l'ouverture se divise elle aussi en quatre phases et se comporte de manière symétrique à la séquence de mise en conduction, figure 2.2b.

Dès que la consigne de commande passe à l'état bloqué, la tension V_{GS} commence à décroître en déchargeant la capacité d'entrée, C_{ISS} . A la fin de cette séquence, la tension V_{GS} devient égale à V_P .

Au début de la séquence #2, le transistor commence à fonctionner en régime saturé, sa tension, V_{DS} , commence à croître jusqu'à V_{DC} alors que V_{GS} reste inchangée et égale à V_P de façon à fournir le courant de charge, I_L .

A la fin de la séquence du plateau Miller, le courant de la charge commence à passer du MOSFET à la diode de roue libre. Cette dernière étant conductrice, la tension de bus est maintenue aux bornes du MOSFET. D'autre part, la capacité d'entrée continue à se décharger via la résistance de grille ce qui entraîne la chute de V_{GS} à V_{TH} .

La phase de blocage s'achève à la fin de la séquence #3. Pendant la quatrième et dernière séquence, c'est uniquement la capacité d'entrée qui continue à se décharger jusqu'à atteindre sa valeur minimale.

2.2.2 Commutation non idéale : analyse des séquences de $\frac{dv}{dt}$

Dans le cas d'une commutation non idéale, nous devons prendre en compte l'effet de l'inductance parasite de la maille de commutation notée L_{Maille} et de la capacité de jonction de la diode de roue libre C_J (figure 2.7). L'influence de ces composantes sur les formes d'ondes lors d'une commutation est présentée sur la figure 2.8.

L'inductance parasite de la maille de commutation, L_{Maille} , agit principalement sur la forme d'onde de la tension V_{DS} . Cette inductance est responsable de la chute de tension au moment de la mise en conduction, et de la surtension lors de la phase de blocage. D'autre part, l'inductance parasite avec les capacités de jonction du MOSFET forment un circuit résonant qui agit directement sur la fréquence

et l'amplitude des signaux haute fréquence. Par conséquent, la prise en compte de cette inductance est indispensable notamment lors des commutations rapides.

La capacité C_J intervient durant la séquence d'amorçage du courant I_D (notamment à la fin de la séquence #2) et durant les séquences de commutation de la tension V_{DS} . Durant ces phases, la capacité de la diode peut être considérée comme une capacité en parallèle avec C_{OSS} dans la mesure où nous négligeons les éléments parasites inductifs côté drain et côté source [Rossignol, 2015].

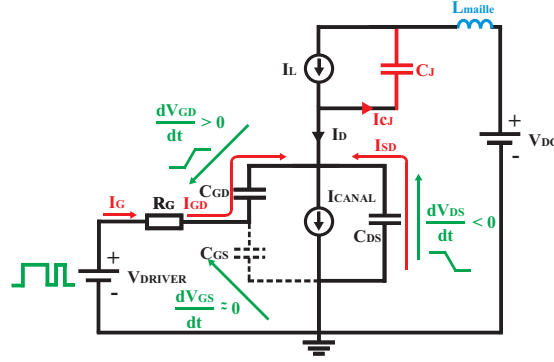


FIGURE 2.7 – Circuit d'une cellule hacheur pour le cas d'une commutation non idéale (séquence #3)

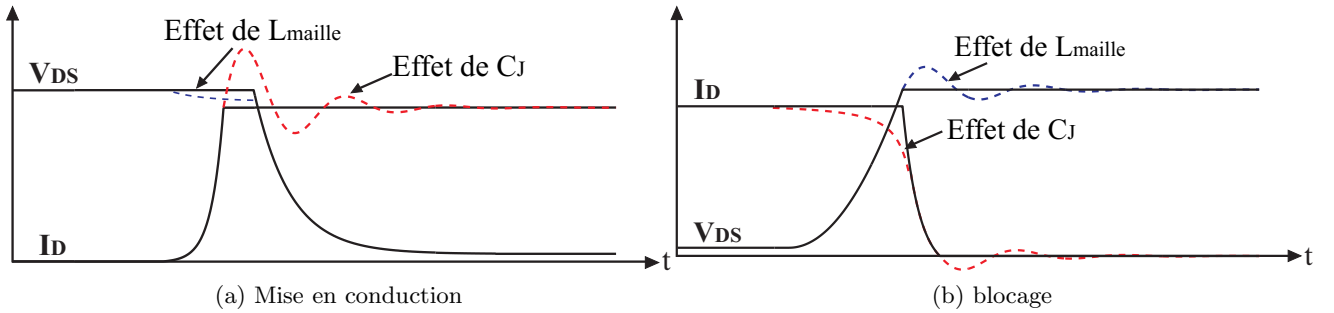


FIGURE 2.8 – Commutation non idéale

A présent, nous proposons une étude plus fine de la phase de commutation, en prenant en compte notamment l'effet de la capacité de la diode de roue libre lors des transitoires. Cette capacité intervient lors de la séquence #3 sur le $\frac{dv}{dt}$.

Ainsi, nous allons présenter un examen plus détaillé des séquences de $\frac{dv}{dt}$ lors des phases d'amorçage et de blocage du transistor de puissance. Cette étude est introduite par ROSSIGNOL dans [Rossignol, 2015]. Nous ne détaillerons pas les calculs, par conséquent, pour une justification plus détaillée, nous invitons le lecteur à se reporter sur les travaux de l'auteur dans [Rossignol, 2015].

a. Commutation à la fermeture

Nous reprenons le schéma équivalent de la mise en conduction, sur la figure 2.7. Lors de la mise en conduction du transistor, la conduction de la diode maintient la tension du bus continu. Lorsque le courant de drain atteint le courant de charge, la diode se bloque (début de la séquence #3).

Le courant de charge se partage maintenant entre le courant dans la diode de roue libre (dans sa capacité C_J) et le courant de drain. Le courant dans la diode étant négatif, nous obtenons un pic de courant de drain au début de la phase de mise en conduction.

D'autre part, en considérant le cas général d'un courant de canal non nul, autrement dit en mode « canal actif » d'après [Rossignol, 2015], les courants I_G et I_D sont respectivement donnés par les équations 2.5b et 2.5c. A partir de ces deux équations, nous déterminons le $\frac{dV_{DS}}{dt}$ (équation 2.5d). Enfin, en remplaçant I_D par son expression dans 2.5a, nous obtenons celle du $\frac{dV_{DS}}{dt}$ (2.5e).

La relation 2.5e du $\frac{dV_{DS}}{dt}$ est toujours valable lors de la mise en conduction du composant du fait que le courant dans le canal est toujours positif durant cette phase (équation 2.5f, avec $V_{DRIVER} = V_{DRIVER+} > V_{TH}$). Nous verrons dans le paragraphe suivant que cette relation n'est pas toujours valable lors du blocage du transistor.

$$\left\{ \begin{array}{lcl} I_L & = & I_D + C_J \cdot \frac{dV_{DS}}{dt} & (2.5a) \\ I_G(t) & = & -C_{GD} \cdot \frac{dV_{DG}}{dt} \approx -C_{GD} \cdot \frac{dV_{DS}}{dt} & (2.5b) \\ I_D(t) & = & -I_G + g_m \cdot (V_{GS} - V_{TH}) + C_{DS} \cdot \frac{dV_{DS}}{dt} & (2.5c) \\ \frac{dV_{DS}}{dt} & = & -\frac{g_m \cdot (V_{DRIVER} - V_{TH}) - I_D}{C_{GD} + C_{DS} + R_G \cdot g_m \cdot C_{GD}} & (2.5d) \\ \frac{dV_{DS}}{dt} & = & -\frac{g_m \cdot (V_{DRIVER} - V_{TH}) - I_L}{C_{OSS} + C_J + R_G \cdot g_m \cdot C_{GD}} & (2.5e) \\ I_{CANAL} & = & g_m \cdot \frac{(1+k) \cdot (V_{DRIVER} - V_{TH}) + R_G \cdot I_D}{(1+k) + g_m \cdot R_G} & (2.5f) \\ k & = & \frac{C_{DS}}{C_{GD}} & (2.5g) \end{array} \right.$$

b. Commutation à l'ouverture

Pendant la phase de blocage, figure 2.8b, le courant appelé par C_j entraîne la diminution du courant de drain, I_D , même avant la phase de conduction de la diode.

Passons à présent à la mise en équation du $\frac{dV_{DS}}{dt}$. Nous nous reportons de nouveau au schéma de la figure 2.7. Au blocage du transistor et avec une tension $V_{DRIVER} = V_{DRIVER-} < V_{TH}$, le courant de canal (équation 2.5f) peut s'annuler.

Ainsi, contrairement au déroulement de la phase de mise en conduction, deux cas de figure se présentent lors de la phase de blocage :

- **Cas d'un canal « actif »** : si $I_{CANAL} > 0$, le $\frac{dV_{DS}}{dt}$ est toujours donné par l'expression 2.5e.
- **Cas d'un canal « passif »** : si $I_{CANAL} = 0$, la continuité du courant de charge peut être assurée par la circulation de ce courant à travers les capacités C_{GD} et C_{DS} . Dans ce cas, le $\frac{dV_{DS}}{dt}$ est donnée par l'équation 2.6. Contrairement à la relation 2.5e, en absence de canal conducteur le $\frac{dV_{DS}}{dt}$ est indépendant de R_G .

$$\frac{dV_{DS}}{dt} = \frac{I_L}{C_{OSS} + C_T} \quad (2.6)$$

En mode canal « passif », le transistor est déjà bloqué au moment du $\frac{dV_{DS}}{dt}$ et il n'y a pas de plateau Miller actif. En effet, la faible valeur de $\frac{dV_{DS}}{dt}$ ne permet pas une chute de tension aux bornes de R_G suffisamment grande pour maintenir V_{GS} au-dessus de V_{TH} .

Le passage en mode canal « passif » dépend de la valeur de I_L . Un courant de charge critique est ainsi défini, permettant l'annulation de 2.5f et assurant la continuité des expressions du $\frac{dV_{DS}}{dt}$ lors de

la mise en conduction (mode canal « actif », $I_{CANAL} > 0$) et lors du blocage (mode canal « passif », $I_{CANAL} = 0$).

$$I_{L(critique)} = -\frac{C_{OSS} \cdot (V_{DRIVER-} - V_{TH})}{R_G \cdot C_{GD}} \quad (2.7)$$

2.2.3 Bilan

En guise de synthèse, un récapitulatif des séquences des $\frac{dI_D}{dt}$ et $\frac{dV_{DS}}{dt}$ pendant les transitoires est présenté dans le tableau 2.1 dans le cas d'une cellule hacheur (transistor + diode de roue libre).

Dans la suite de ce chapitre, nous envisageons d'évaluer notamment les $\frac{dI}{dt}$ et $\frac{dV}{dt}$ des transistors SiC. Dans ce cadre, les formulations données dans le tableau 2.1 serviront de référence pour étudier l'évolution de ces taux de variation en fonction du courant de charge et de la résistance de grille (tableau 2.10).

	Mise en conduction	Blocage
$\frac{dI_D}{dt}$	$g_m \cdot \frac{V_{DRIVER+} - V_{TH}}{R_G \cdot C_{ISS(MIN)}}$	$g_m \cdot \frac{V_{DRIVER-} - V_{TH}}{R_G \cdot C_{ISS(MAX)}}$
$\frac{dV_{DS}}{dt}$	$-\frac{g_m \cdot (V_{DRIVER+} - V_{TH}) - I_L}{C_{OSS} + C_J + R_G \cdot g_m \cdot C_{GD}}$	Canal « actif », $I_{CANAL} > 0$ $-\frac{g_m \cdot (V_{DRIVER-} - V_{TH}) - I_L}{C_{OSS} + C_J + R_G \cdot g_m \cdot C_{GD}}$ Canal « passif », $I_{CANAL} = 0$ $\frac{I_L}{C_{OSS} + C_T}$

TABLE 2.1 – Expressions des $\frac{dI_D}{dt}$ et $\frac{dV_{DS}}{dt}$ pendant une phase de commutation [Rossignol, 2015]

	$I_L \nearrow$	$R_G \nearrow$
Mise en conduction		
$\left \frac{dI_D}{dt} \right _{(ON)}$	inchangé	\searrow
$\left \frac{dV_{DS}}{dt} \right _{(ON)}$	\searrow	\searrow
Blocage		
$\left \frac{dI_D}{dt} \right _{(OFF)}$	inchangé	\searrow
$\left \frac{dV_{DS}}{dt} \right _{(OFF)}$	Canal « actif » \nearrow Canal « passif » \nearrow	Canal « actif » \searrow Canal « passif » inchangé

TABLE 2.2 – Évolution des $\frac{dI_D}{dt}$ et $\frac{dV_{DS}}{dt}$ en fonction du courant de charge et de la résistance de grille

2.3 Description de la méthodologie de caractérisation

2.3.1 Bancs de test

Les caractérisations dynamiques ont été effectuées en régime de commutation en configuration hacheur. Durant ces travaux, nous avons utilisé trois bancs de test différents que nous allons présenter dans ce paragraphe.

a. Banc de test #1

La première structure de puissance utilisée est un hacheur série composé d'une cellule de commutation sur une charge inductive. Une présentation simplifiée de cette structure est présentée sur la figure 2.9a et une photo du banc est donnée par la figure 2.10.

Le circuit de puissance est composé d'une source d'alimentation V_{DC} (600V- 1A), d'une charge inductive de 10mH associée à une inductance de faible valeur, d'une diode Schottky SiC C2D20120D (1200V-29A) comme diode de roue libre, d'un transistor auxiliaire MOSFET SiC CMF20120D (1200V-42A), d'un interrupteur de puissance SiC à tester (DUT) et d'un shunt coaxial de 0,01Ω pour mesurer le courant du DUT. Ce dernier est commandé en tension à travers deux résistances de grille externes, $R_{G(ON)}$ à la mise en conduction et $R_{G(OFF)}$ au blocage.

Le circuit de commande associé comprend deux opto-coupleurs grande vitesse FOD3182S (un pour chaque transistor) intégrant deux drivers rapides. Les tensions d'alimentation de ces drivers sont réglables ce qui permet d'ajuster la tension de commande entre grille et source (V_{DRIVER} allant de -15V à 20V) selon la technologie du composant.

L'objectif était de réaliser un circuit générique permettant d'étudier à la fois les régimes de commutation et les régimes d'avalanche tout en contrôlant la température du cristal lors de ces caractérisations. Ainsi, nous avons choisi d'associer au composant sous test (DUT) un composant en parallèle ayant pour rôle de faire croître le courant dans la charge avant les commutations du DUT.

La figure 2.9b illustre la chronologie schématique des états des deux transistors pendant le test. Le transistor auxiliaire (de durée de conduction variable) assure dans un premier temps la magnétisation de l'inductance. Le blocage de ce transistor est suivi d'une phase de roue libre de 5μs. Ensuite, le composant sous test est rendu passant pendant une durée de 10μs ce qui permet de maintenir la température de jonction proche de la température ambiante, et d'enregistrer les formes d'ondes courant-tension pendant la mise en conduction et au blocage du DUT.

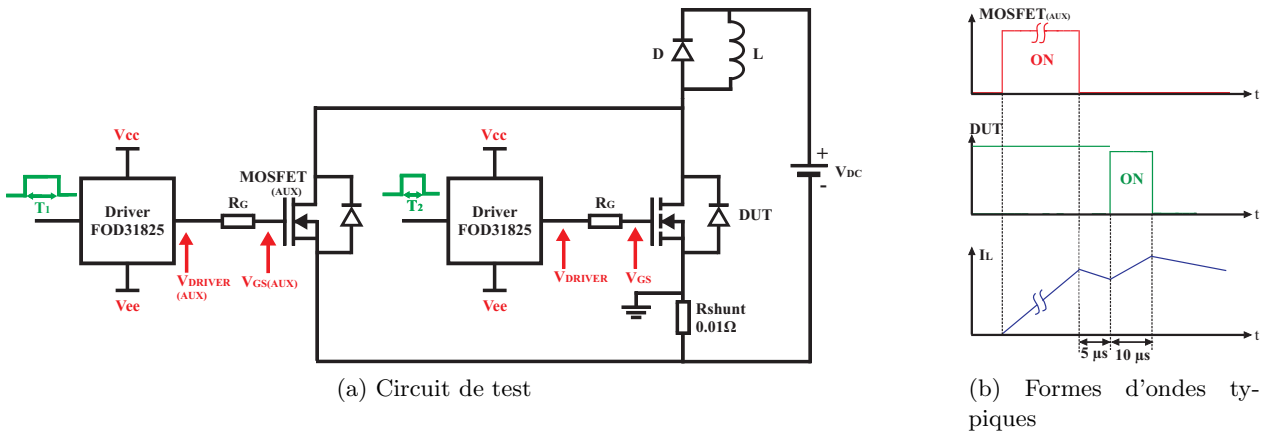


FIGURE 2.9 – Schéma de principe du banc de test #1

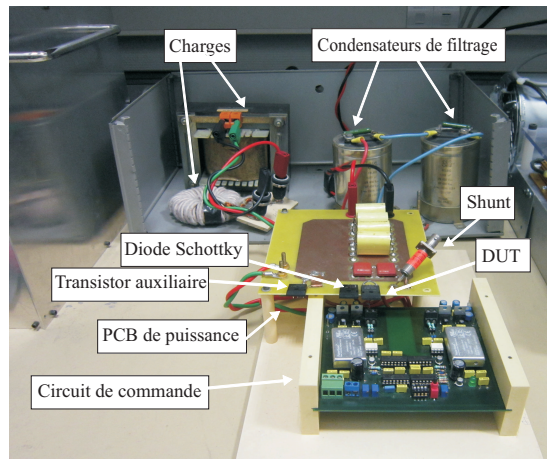


FIGURE 2.10 – Photo du banc d'essais #1

En revanche, si cette topologie peut être avantageuse pour les essais en avalanche, elle offre l'inconvénient de placer en parallèle du composant sous test la capacité de sortie du transistor auxiliaire qui agit comme un circuit d'aide à la commutation. Cela va par conséquent ralentir les commutations du DUT et croître les pertes dissipées notamment à la mise en conduction (décharge de la capacité de sortie du transistor auxiliaire dans le DUT). Il fallait donc impérativement développer une structure plus réaliste, comme le banc de test #2 (banc à double impulsion) que nous allons présenter dans le paragraphe suivant.

Circuit de puissance

Cette structure est conçue de telle sorte à réduire les inductances parasites qui peuvent entraver les performances des interrupteurs de puissance pendant la commutation, notamment augmenter la chute de tension lors de la mise en conduction ainsi que la surtension au blocage.

Deux mailles importantes sont à prendre en considération, la maille de commutation (constituée des capacités de découplage, du transistor SiC, de la diode de roue libre et du shunt) et la maille de commande (constituée de la capacité grille-source, des résistances de grille externes et de l'alimentation du driver) qui sera présentée dans le paragraphe suivant.

Pour réduire l'inductance de la maille de commutation et limiter l'effet de l'inductance parasite des condensateurs polypropylènes, deux condensateurs céramiques de découplage TCV56 sont placés au plus près de la cellule de commutation (diode de roue libre + DUT). Ces condensateurs sont disposés en série avec une capacité totale de $5\mu F$.

La longueur ainsi que la surface de la boucle de commutation ont été minimisées au niveau du layout avec une implantation judicieuse des composants. Enfin, un PCB double couche a été utilisé afin de maximiser les surfaces de connexion placées en regard (le V_{DC+} et le V_{DC-} de l'alimentation) et de réduire d'avantage la surface de la boucle de commutation.

Circuit de commande de grille

La carte « driver » permet de commander séparément le composant sous test et le transistor auxiliaire, tout en réglant les temps morts entre les deux signaux de commande.

Le schéma de principe du circuit « driver » d'un transistor est proposé à la figure 2.12 et sa photographie est présentée sur la figure 2.11.

Il comprend principalement trois étages :

- Un étage driver permettant de fournir la tension de commande de grille et d'assurer une isolation entre le circuit de commande et le circuit de puissance. En effet, cet étage est basé sur une isolation par l'optocoupleur FOD3182S qui, intégrant un driver rapide, assure une attaque en tension de la grille.
- Un étage générateur d'impulsions (non présenté ici, voir annexe A) à base de monostables et de durée réglables pouvant varier de $5\mu s$ à $3ms$. Cet étage assure une attaque en signal bipolaire de la diode émettrice de l'optocoupleur.
- Un étage d'alimentation permettant de générer des tensions de driver réglables, variant de $-15V$ à $20V$.

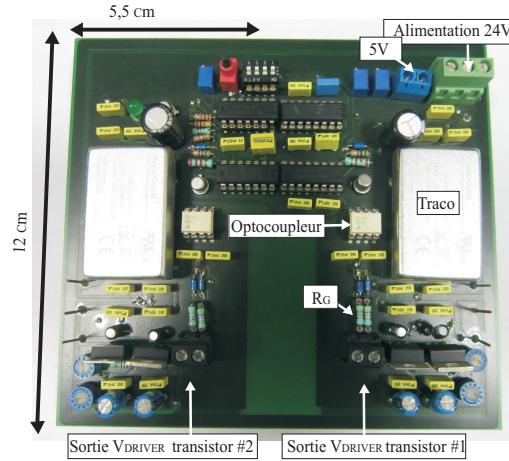


FIGURE 2.11 – Photo de la carte « driver »

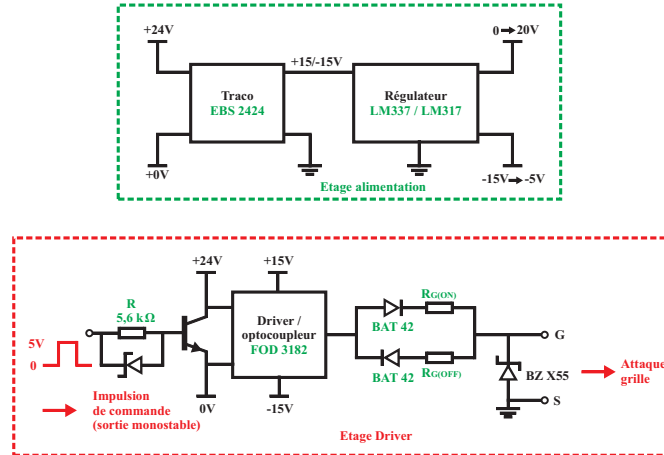


FIGURE 2.12 – Schématisation de la carte driver

Cette carte est placée au plus près du transistor à commander (connexion torsadée). Notons aussi que les composants de la maille de commande (constituée des électrodes grille et source, des résistances de grille externes ($R_{G(ON)}$ et $R_{G(OFF)}$) et de l'alimentation du driver) sont placés de telle sorte à réduire cette boucle.

Dans les sections qui suivent, nous verrons que cette carte est performante quand il s'agit de commander les transistors MOSFET SiC, par contre, il s'avérera qu'elle n'est pas totalement adaptée à la commande des JFET SiC. Par conséquent, elle pourrait être améliorée en utilisant un dri-

ver plus performant, tel que le driver IXDD614 [IXDD614, 2015] qui assure une commande plus rapide pour les JFET SiC [Burgos et al., 2009] et légèrement plus rapide pour les MOSFET SiC [DiMarino et al., 2013].

b. Banc de test #2

La deuxième structure utilisée est aussi un hacheur série, nous avons gardé le même layout que celui du banc #1 mais cette fois nous avons supprimé le transistor auxiliaire afin d'avoir une structure plus réaliste. Le schéma du banc d'essai #2 est présenté à la figure 2.13 (banc à double impulsion). Le transistor sous test est mis en conduction pendant une durée variable afin d'assurer dans un premier temps la magnétisation de l'inductance. La phase de blocage du composant sous test (DUT) est suivie d'une phase de roue libre, $5\mu s$ plus tard, le DUT est rendu passant pendant une durée de $10\mu s$.

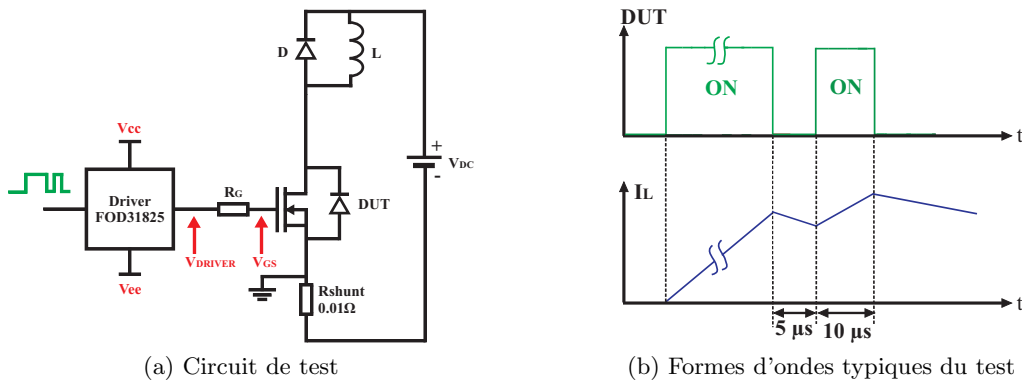


FIGURE 2.13 – Schéma de principe du banc de test à double impulsion #2

c. Banc de test #3

Le troisième convertisseur conçu est en configuration Buck et/ou Buck-synchrone destiné principalement aux essais de mesure des pertes des transistors SiC. Nous l'avons utilisé dans un premier temps en mode Buck (hacheur série) pour réaliser des caractérisations hautes températures. Ensuite en mode Buck et Buck-synchrone pour réaliser des mesures de pertes des MOSFET SiC.

Une photographie du banc est présentée sur la figure 2.14. Il est composé d'un convertisseur de puissance, de sa carte driver, d'une charge inductive constituée d'une inductance de $10mH$ associée à des inductances de plus faibles valeurs ($160\mu H$ et $200\mu H$) et de faibles capacités parasites et d'une charge résistive composée de plusieurs résistances montées sur un radiateur ventilé.

La carte de puissance a été réalisée sur un PCB de quatre couches. Les couches C_1 et C_3 correspondent respectivement aux potentiels positif (V_{DC+}) et négatif (V_{DC-}), la couche C_2 correspond à la sortie de la charge et la couche C_4 est celle de la commande des transistors et des différents plans de masse.

La surface de la couche C_2 a été minimisée afin de réduire les capacités parasites entre un potentiel flottant situé sur la couche C_4 et les potentiels fixes (V_{DC+} , masse et terre).

La couche C_4 assure la liaison entre les transistors (au niveau de la grille) et la carte « driver » via les résistances de grille. En outre, nous trouvons sur cette couche deux plans de masse, le premier est connecté à la terre reliant la source du transistor buck et la carcasse du shunt.

La carte « driver » a été réalisée au Laboratoire SATIE dans le cadre d'un stage d'ingénieur [Lopez-Bancalari, 2014]. La commande du bras est constituée d'un module MLI provenant d'un DSP

qui permet, à partir d'une consigne de tension, d'obtenir une tension de sortie découpée. La génération des ordres de commande des deux transistors se fait par la suite via une fibre optique. Cette carte est fixée sur le PCB de puissance au plus près des transistors.

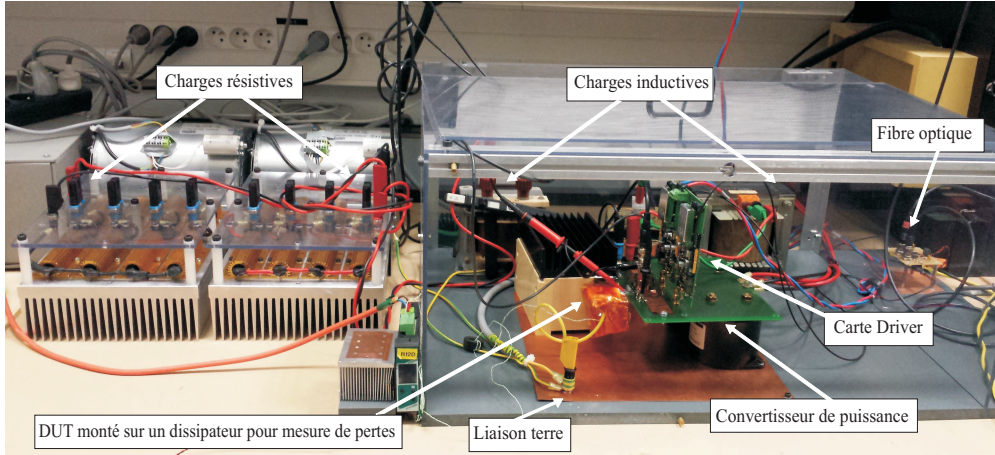


FIGURE 2.14 – Photographie du banc #3

Mesures haute température

Les caractérisations haute température ont été réalisées à l'aide de ce banc. Pour cela, le DUT est placé entre deux plaques chauffantes (figure 2.15) composées de six résistances (150Ω , $25W$) mises en parallèle et alimentées à partir du réseau à l'aide d'un gradateur. La mesure de la température est effectuée à l'aide d'un thermocouple placé sur la semelle du composant sous test.

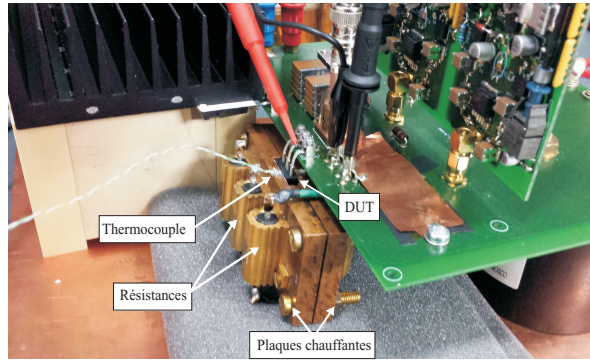


FIGURE 2.15 – Dispositif de chauffage des transistors sous test

2.3.2 Protocole de mesure

a. Instrumentation

Six grandeurs électriques sont mesurées pendant l'essai en commutation : la tension aux bornes du transistor, V_{DS} , la tension de grille, V_{GS} , la tension de commande issue du driver, V_{DRIVER} , le courant de drain, I_D et le courant dans la charge I_L .

La tension V_{DS} est mesurée à l'aide d'une sonde TEKTRONIX PMK869 ($100\times$, $400MHz$), les tensions V_{GS} et V_{DRIVER} sont mesurées avec deux sondes TEKTRONIX TPP0200 ($10\times$, $200MHz$), le courant I_D est mesuré par un shunt coaxial de $0,01\Omega$ ($400MHz$) et enfin le courant dans la charge est mesuré par une sonde TEKTRONIX TCP202 ($50MHz$).

Les sondes de mesure, notamment la sonde TEKTRONIX PMK869 (mesure de V_{DS}) et le shunt coaxial (mesure de I_D), n'ont pas les mêmes temps de propagation. Cela entraîne un décalage temporel entre les grandeurs commutées et fausse donc la mesure de puissance instantanée. Pour compenser ce décalage, un ajustement manuel de l'alignement est effectué sur des points caractéristiques de la commutation comme le montre, à titre d'exemple, la figure 2.16a pendant la phase de mise en conduction. L'influence de cet écart temporel sur les énergies dissipées est donnée par la figure 2.16b (pendant la phase de mise en conduction).

Nous obtenons ainsi une compensation de $3,2ns$ entre la mesure du shunt $0,01\Omega$ et celle de la sonde TEKTRONIX PMK869 ($100\times, 400MHz$).

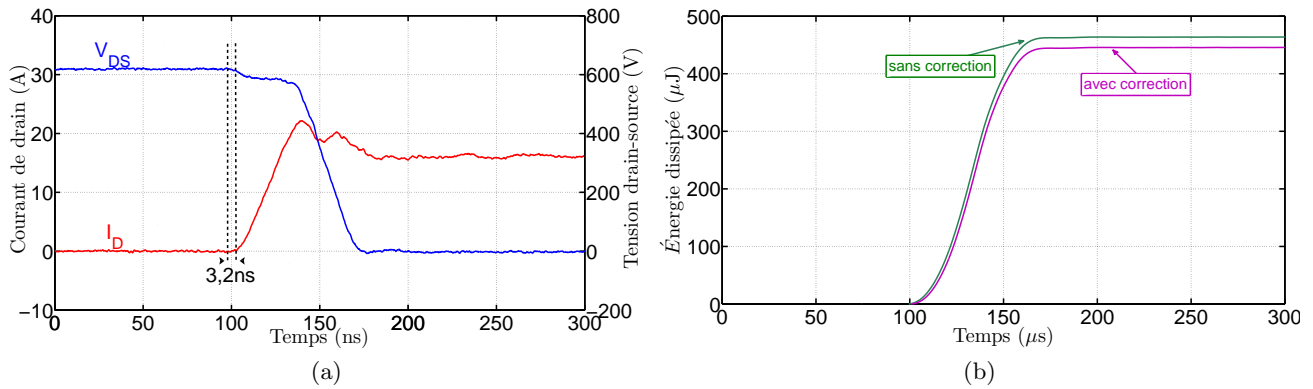


FIGURE 2.16 – Compensation des écarts temporels entre les sondes de tension V_{DS} et de courant I_D sur une commutation (transistor MOSFET associé à une diode Schottky SiC), et effet sur les énergies dissipées

b. Mesure de $\frac{dv}{dt}$, $\frac{di}{dt}$ et de l'énergie dissipée par commutation

Considérons la figure 2.17 pour déterminer la stratégie de mesure des différentes grandeurs dynamiques.

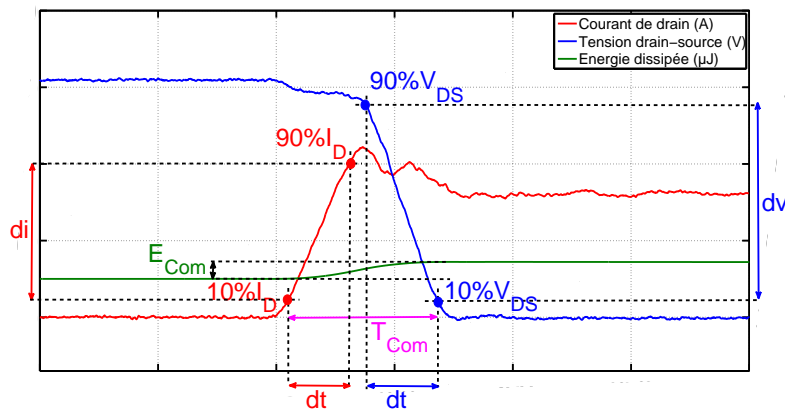


FIGURE 2.17 – Protocole de mesure

Le $\frac{dv}{dt}$ et le $\frac{di}{dt}$ sont mesurés entre 10% et 90% des grandeurs commutées respectives de la tension V_{DS} et du courant I_D .

T_{ON} et T_{OFF} présentent respectivement la durée de mise en conduction et celle du blocage. Elles sont estimées entre les instants où les grandeurs commutées sont à 10% de leurs valeurs maximales.

L'énergie dissipée à chaque commutation peut être fragmentée en énergie dissipée pendant la phase d'amorçage ($E_{Diss(ON)}$) et celle dissipée pendant la phase de blocage ($E_{Diss(OFF)}$). Chacune de ces énergies est calculée en intégrant la puissance instantanée dissipée (équation 2.8). Notons que ces énergies ne sont pas représentatives de l'énergie dissipée à chaque commutation et que seule l'énergie totale (E_{Diss}) a un sens physique.

$$E_{DISS(ON/OFF)} = \int_{T_{ON}/T_{OFF}} V_{DS}(t) \cdot I_D(t) \cdot dt \quad (2.8)$$

2.4 Effet de la résistance de grille

A l'instar des capacités de jonctions, la résistance de grille interne a un impact important sur les performances dynamiques des transistors. En effet, cette résistance affecte la constante de temps de charge de grille ($R_G \times C_{ISS}$) et par conséquent détermine la limite de la vitesse de commutation.

Fabricant	Référence	$R_{G(INT)}$ interne
Cree	CMF20120D	5Ω
	CMF10120D	13, 6Ω
Rohm	SCH2090KE	6, 3Ω
	SCH2080KE	6, 3Ω
Semisouth	SJEP120R063	4Ω

TABLE 2.3 – Valeurs des résistances de grille internes des transistors SiC testés [CMF20120D, 2012], [CMF10120D, 2012], [SCH2080KE, 2014], [SJEP120R063, 2011]

Afin d'étudier l'effet de la résistance de grille sur les commutations, nous avons ajouté une résistance externe, à l'entrée de la grille, dont nous avons changé la valeur au cours des tests. Notons que les transistors caractérisés n'ont pas la même valeur de résistance de grille interne (tableau 2.3) et que pour pouvoir effectuer une comparaison de performances entre ces composants, il faudra tenir compte à chaque fois de la valeur totale de R_G ($R_{G(INT)} + R_{G(EXT)}$).

2.4.1 MOSFET CMF20120D et JFET SJEP120R063 (banc de test #1)

Cette première phase de caractérisation a été effectuée en tout début des travaux de thèse. Bien que le premier banc utilisé n'était pas idéal, nous avons toutefois choisi de montrer les résultats obtenus car se sont les seuls effectués comparant les performances dynamiques des MOSFET SiC avec celles des JFET SiC.

Les transistors MOSFET CMF20120D et JFET SJEP120R063 sont caractérisés à l'aide du banc de test #1. Pour ces mesures, les composants sous test sont commandés en tension à travers deux résistances de grille, $R_{G(ON)}$ et $R_{G(OFF)}$ pilotant respectivement les phases de mise en conduction et de blocage.

A la mise en conduction, trois valeurs de résistance de grille externe ont été évaluées : $R_{G(ON)} = 12, 15$ et 22Ω , avec $R_{G(OFF)} = 12\Omega$, sous une tension $V_{DS} = 600V$ et avec un courant de charge $I_L = 10A$. Les figures 2.18a et 2.19a présentent respectivement les formes d'ondes du courant de drain, I_D , et de la tension drain-source, V_{DS} , à la mise en conduction du MOSFET CMF20120D et du JFET SJEP120R063, pour deux valeurs de $R_{G(ON)}$.

Nous pouvons voir qu'à faible résistance de grille, la mise en conduction de chacun de ces composants est plus rapide car dans ce cas la constante de temps de charge de grille ($\tau_1 = R_G \cdot C_{ISS(MIN)}$)

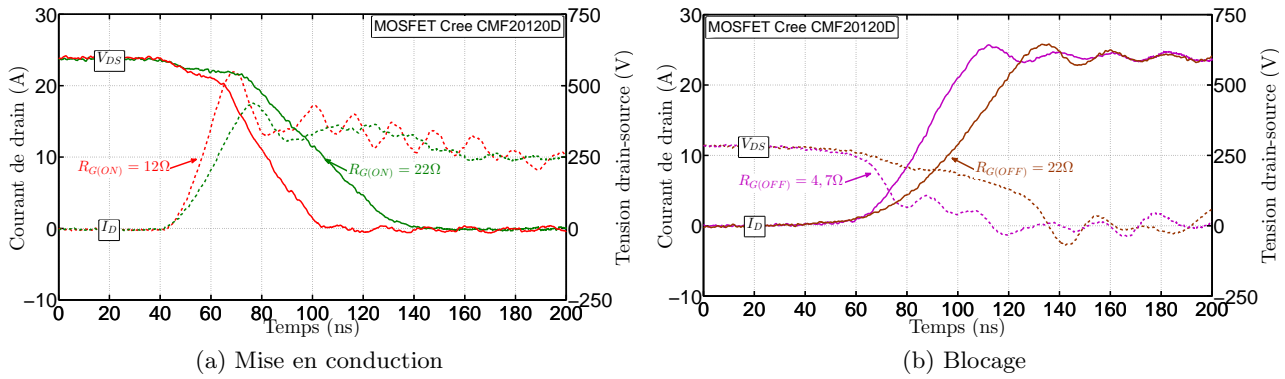


FIGURE 2.18 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET CMF20120D (a) à l’amorçage et (b) au blocage, pour deux valeurs de R_G , avec $V_{DS} = 600V$ et $I_L = 10A$

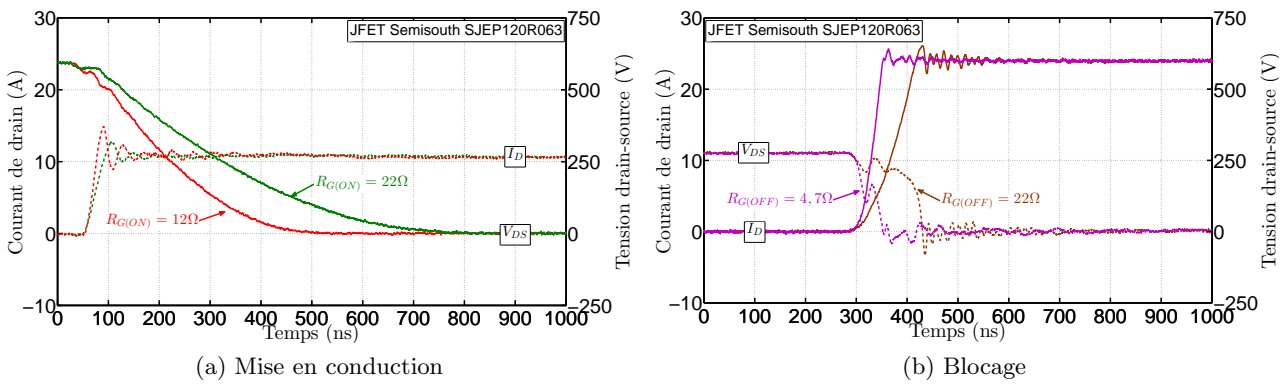


FIGURE 2.19 – Formes d’ondes du courant I_D et de la tension V_{DS} du JFET SJEP120R063 (a) à l’amorçage et (b) au blocage, pour deux valeurs de R_G , avec $V_{DS} = 600V$ et $I_L = 10A$

est plus faible, ce qui implique un $\frac{di}{dt}$ plus fort. Concernant le $\frac{dv}{dt}$, il augmente quand la valeur de la résistance de grille diminue. Ces résultats, notamment ceux du MOSFET, sont en accord avec les formulations des $\frac{di}{dt}$ et $\frac{dv}{dt}$ récapitulées sur le tableau 2.1 (paragraphe 2.2.3). Nous remarquons, en outre, que le courant est plus perturbé à faible résistance de grille et les surintensités (pic de courant) au blocage de la diode de roue libre sont plus importantes.

Au blocage aussi trois valeurs de résistance de grille ont été évaluées : $R_{G(OFF)} = 4, 7, 12$ et 22Ω , avec $R_{G(ON)} = 12\Omega$, sous une tension $V_{DS} = 600V$ et avec un courant de charge $I_L = 10A$. Les formes d’ondes du courant I_D et de la tension V_{DS} au blocage du MOSFET CMF20120D et du JFET SJEP120R063 sont respectivement présentées sur les figures 2.18b et 2.19b.

De la même façon qu’à la mise en conduction, la résistance de grille agit sur les vitesses de commutation qui sont plus rapides à faible $R_{G(OFF)}$ et sur les formes d’ondes du courant qui sont plus perturbées quand cette résistance diminue. Dans le cas du MOSFET, nous pouvons conclure qu’il s’agit du cas de figure d’un canal « actif », où le $\frac{dv}{dt}$ dépend, entre autre, de la résistance de grille et diminue avec l’augmentation de celle-ci.

D’autre part, les fortes vitesses de commutation ($\frac{di}{dt}$ et $\frac{dv}{dt}$) à faible résistance de grille engendrent des pertes par commutation plus faibles. Effectivement, à titre d’exemple, sur la figure 2.20a illustrant les énergies dissipées par commutation des deux types de transistors en fonction de $R_{G(ON)}$, nous pouvons observer que les énergies dissipées à l’amorçage augmentent avec $R_{G(ON)}$ et avec elles les

pertes totales ($E_{ON} + E_{OFF}$).

Le même résultat est retrouvé sur la figure 2.20b montrant les énergies dissipées par commutation en fonction de $R_{G(OFF)}$. Néanmoins, l'effet de la $R_{G(ON)}$ reste plus important que celui de la $R_{G(OFF)}$. Cela montre, sur cette plage de variation de la résistance de grille et pour ce courant de charge, un effet plus significatif de R_G à l'amorçage qu'au blocage sur les pertes totales.

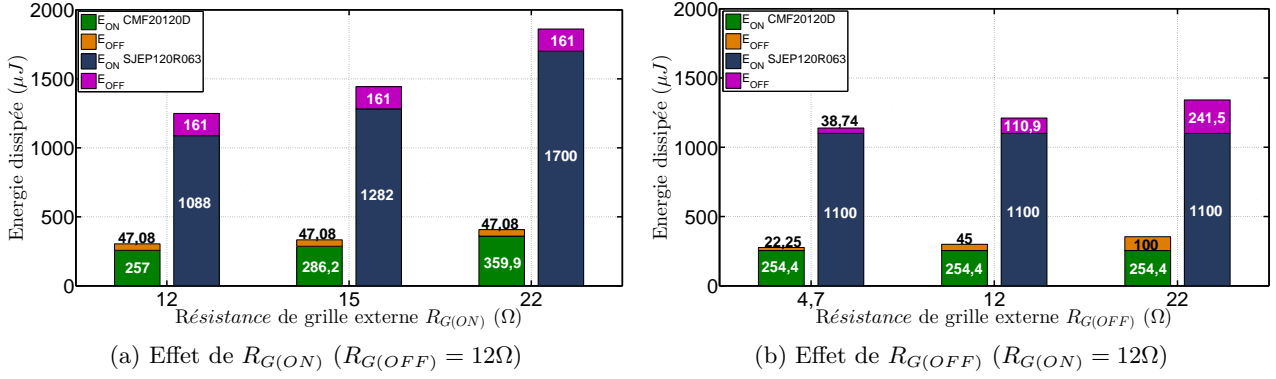


FIGURE 2.20 – Distribution de l'énergie dissipée pendant une commutation pour différentes valeurs de R_G , $V_{DS} = 600V$ et $I_L = 10A$

Les deux transistors possèdent environ les mêmes résistances de grille internes et peuvent donc être comparés sous les mêmes conditions de test comme indiqué sur le tableau 2.4. La comparaison des formes d'ondes est présentée dans la figure 2.21.

Fabricant	Référence	$R_{G(INT)}$ interne	$R_{G(EXT)}$ externe	R_G totale
Cree	CMF20120D	5Ω	12Ω	17Ω
Semisouth	SJEP120R063	4Ω	12Ω	16Ω

TABLE 2.4 – Conditions de test

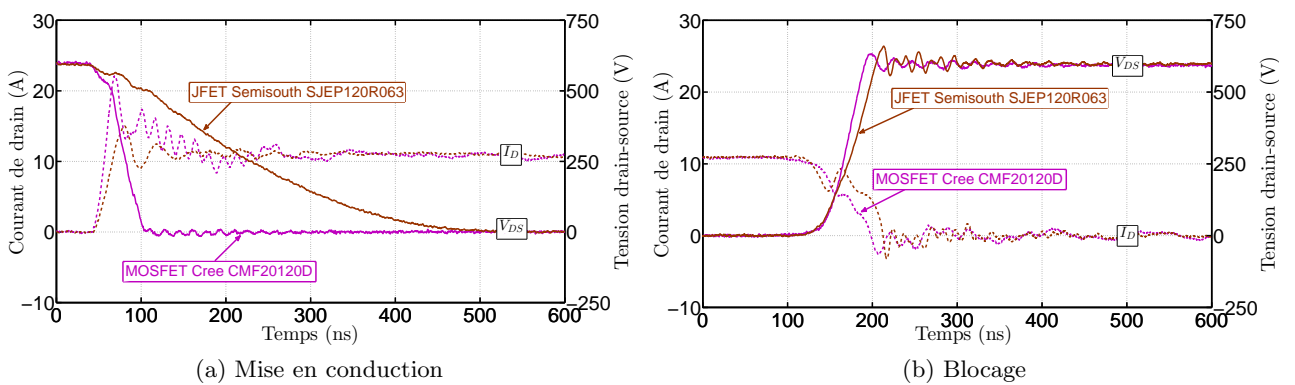


FIGURE 2.21 – Comparaison des formes d'ondes (I_D - V_{DS}) du JFET SJEP120R063 et du MOSFET CMF20120D (a) à l'amorçage et (b) au blocage, pour $R_G = 12\Omega$, $V_{DS} = 600V$ et $I_L = 10A$

Pour une résistance de grille totale donnée, les commutations du JFET sont considérablement plus lentes que celles du MOSFET, notamment à la mise en conduction. Par conséquent les pertes par commutation des MOSFET sont significativement plus faibles que celles des JFET (figure 2.20).

Le JFET possède une faible capacité d'entrée par rapport au MOSFET CMF20120D, par conséquent

nous nous attendions à un $\frac{di}{dt}$ plus rapide pour les JFET, or ce n'est pas le cas ici : à la mise en conduction, le $\frac{di}{dt}$ du MOSFET est égale à $1A/ns$ alors que celui du JFET est de $0,47A/ns$.

Concernant les $\frac{dv}{dt}$ de ces composants, ils sont proches au blocage avec notamment un $\frac{dv}{dt}$ pour le MOSFET légèrement plus fort que celui du JFET. En revanche, à la mise en conduction ce dernier présente un $\frac{dv}{dt}$ très faible.

Ces observations nous amènent à supposer que des améliorations auraient dû être apportées au driver pour l'adapter à la commande de ce transistor. En effet, étant faible et égale à $3V$, la tension V_{DRIVER} aurait dû être plus élevée afin d'augmenter le courant de grille pour augmenter le $\frac{dv}{dt}$ du JFET ($\frac{dv}{dt} \approx \frac{I_G}{C_{GD}}$). Le courant de grille aurait pu être également augmenté par le choix d'une résistance de grille encore plus faible ($I_G = \frac{V_{DRIVER}-V_{GS}}{R_G}$).

2.4.2 MOSFET CMF10120D et MOSFET SCH2090KE (banc de test #2)

Les transistors MOSFET CMF10120D de chez Cree et MOSFET SCH2090KE de chez Rohm sont caractérisés à l'aide du banc de test #2. Ces tests sont réalisés pour une tension de bus continu de $600V$, pour un courant de charge de $15A$ et pour trois valeurs de résistance de grille externe, $R_{G(ON)}/R_{G(OFF)} = 5\Omega, 10\Omega$ et 15Ω .

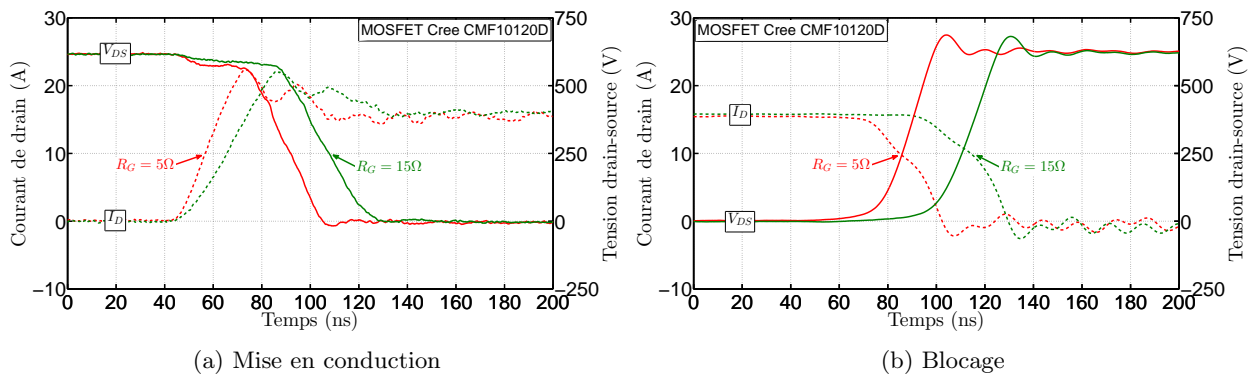


FIGURE 2.22 – Formes d'ondes du courant I_D et de la tension V_{DS} du MOSFET CMF10120D (a) à l'amorçage et (b) au blocage, pour deux valeurs de R_G , avec $V_{DS} = 600V$ et $I_L = 15A$

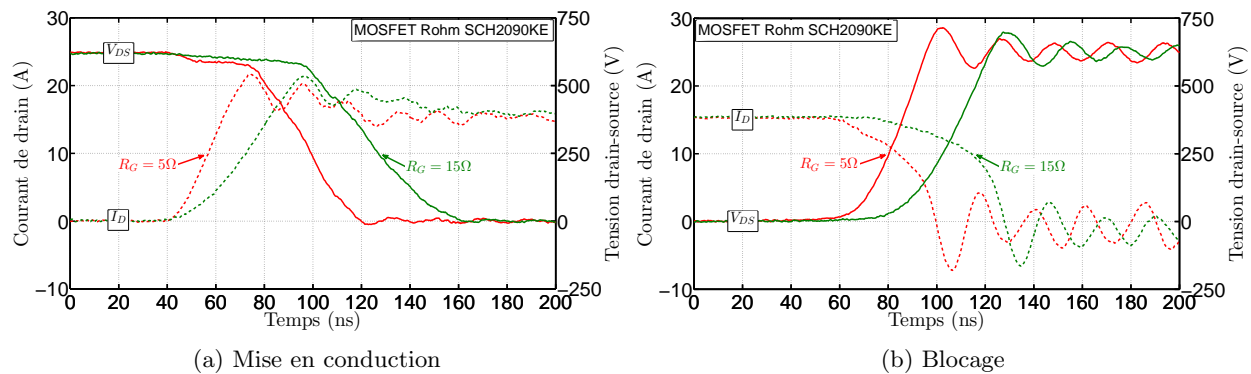


FIGURE 2.23 – Formes d'ondes du courant I_D et de la tension V_{DS} du MOSFET SCH2090KE (a) à l'amorçage et (b) au blocage, pour deux valeurs de R_G avec $V_{DS} = 600V$ et $I_L = 15A$

Les figures 2.22 et 2.23 présentent respectivement les formes d'ondes ($I_D - V_{DS}$) de deux types de MOSFETs à la mise en conduction et au blocage. Là aussi, nous constatons que la résistance de grille agit sur les vitesses des commutations et qu'à faible valeur de R_G les phases de mise en conduction et de blocage sont plus rapides.

Les deux types de transistors n'ont pas les mêmes valeurs de résistances de grille interne, donc pour pouvoir les comparer il fallait les tester avec différentes résistances de grille externes tel qu'il est mentionné sur le tableau 2.5.

Fabricant	Référence	$R_{G(INT)}$ interne	$R_{G(EXT)}$ externe	R_G totale
Cree	CMF10120D	13,6 Ω	5 Ω	18,6 Ω
Rohm	SCH2090KE	6,3 Ω	10 Ω	16,3 Ω

TABLE 2.5 – Conditions de test

Comme le montre la figure 2.24, le MOSFET CMF10120D présente un $\frac{di}{dt}$ plus élevé (0,78A/ns à la mise en conduction) que celui du MOSFET SCH2090KE (0,46A/ns à la mise en conduction). Cela peut être justifié par le fait que le CMF10120D possède une capacité d'entrée deux fois plus faible [CMF10120D, 2012] que celle du MOSFET SCH2090KE (déjà caractérisée dans le chapitre II.1, section 1.5) à $V_{DS} = 600V$.

En outre, grâce à sa faible capacité Miller, le MOSFET de chez Cree présente un $\frac{dv}{dt}$ plus élevé (19,12V/ns à la mise en conduction) que celui du MOSFET de chez Rohm (12V/ns à la mise en conduction). Ce dernier présente, en plus, une forte capacité de sortie responsable des perturbations observées sur le courant lors de la phase de blocage (figure 2.24b).

Un comparatif des énergies dissipées par les deux types de MOSFET lors des commutations, est donné par la figure 2.25, pour trois valeurs de résistance de grille externe, 5, 10 et 15 Ω .

Pour une résistance de grille totale donnée (tableau 2.5), de l'ordre de 16 à 18 Ω , les pertes des MOSFET CMF10120D ($E_{Diss} \approx 441\mu J$ pour $R_{G(EXT)} = 5\Omega$) sont plus faibles que celles du MOSFET SCH2090KE ($E_{Diss} \approx 647,6\mu J$ pour $R_{G(EXT)} = 10\Omega$).

Notons aussi que ces pertes augmentent avec la résistance de grille comme le montre la figure 2.25.

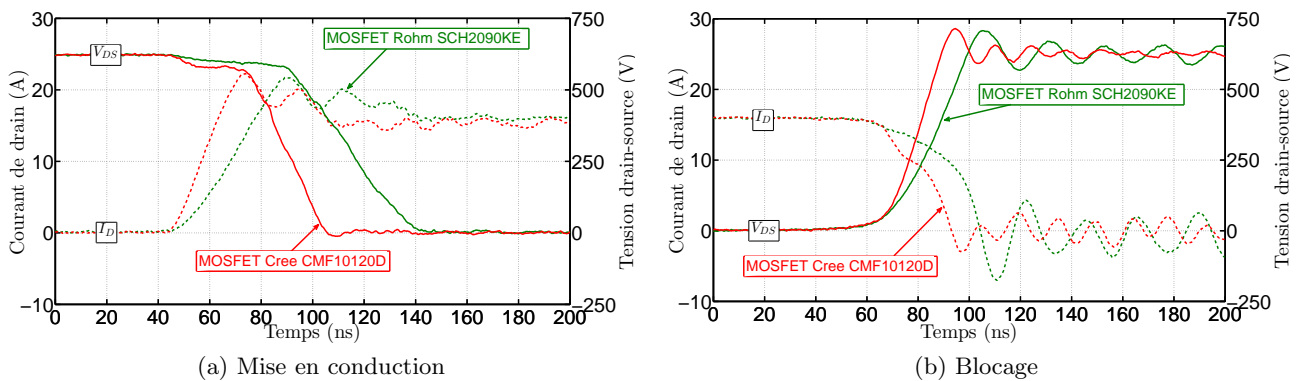


FIGURE 2.24 – Comparaison des formes d'ondes ($I_D - V_{DS}$) du MOSFET CMF10120D ($R_{G(totale)} = 18,6\Omega$) et du MOSFET SCH2090KE ($R_{G(totale)} = 16,3\Omega$) (a) à l'amorçage et (b) au blocage, avec $V_{DS} = 600V$, $I_L = 15A$

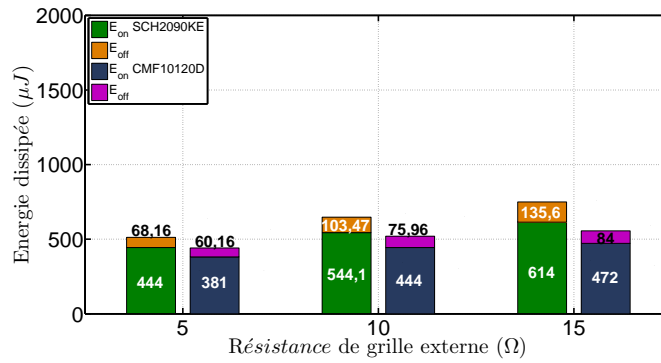


FIGURE 2.25 – Distribution de l'énergie dissipée pendant une commutation pour différentes valeurs de R_G et pour $I_D = 15A$

2.5 Effet du courant de charge

L'effet du niveau de courant de charge commuté est évalué sur les caractéristiques dynamiques des transistors MOSFET de chez Cree et de chez Rohm et des transistors JFET « normally-off » de chez Semisouth. Nous rappelons que ces tests sont réalisés à l'aide de deux bancs différents : le banc #1 a été utilisé pour le MOSFET CMF20120D et le JFET SJEP120R063, et le banc #2 pour les MOSFET CMF10120D et SCH2090KE.

2.5.1 MOSFET CMF20120D et JFET SJEP120R063 (banc de test #1)

Les tests de commutation des transistors MOSFET CMF20120D et JFET SJEP120R063 sont effectués sous une tension $V_{DS} = 600V$, et pour trois niveaux de courant commuté $I_L = 5A$, $10A$ et $15A$.

Pendant la phase de mise en conduction du MOSFET, figure 2.26a, les résultats montrent que son $\frac{di}{dt}$ est indépendant du courant de charge alors que son $\frac{dv}{dt}$ diminue quand I_L augmente. Ces constatations se confirment avec les formulations du tableau 2.1 présenté dans le paragraphe 2.2.3. Il en résulte une mise en conduction plus rapide à faible courant de charge ($T_{ON} = 92\mu s$ pour $I_L = 15A$ et $T_{ON} = 50\mu s$ pour $I_L = 5A$).

Pendant la mise en conduction du transistor JFET, figure 2.27a, nous constatons que les $\frac{dv}{dt}$ et $\frac{di}{dt}$ sont tout les deux relativement indépendants du courant de charge.

Concernant la phase de blocage, le $\frac{dv}{dt}$ du MOSFET (figure 2.26b) diminue à faible courant de charge contrairement à ce qui se passe à la mise en conduction. Cela est dû au fait qu'un courant de drain élevé donne lieu à un fort courant de charge à travers la capacité de sortie, C_{OSS} , ce qui accélère le blocage du composant. Les formes d'ondes observées sur le MOSFET sur la gamme de courant de charge et sur la gamme de résistance de grille (paragraphe 2.4.1) montrent un comportement d'un canal « actif », autrement dit, une dépendance du $\frac{dv}{dt}$ à R_G et à I_L .

En revanche, l'augmentation du courant de charge ne semble pas avoir un effet important sur les commutations du JFET SiC lors de son blocage, mis à part l'accentuation de la surtension et des oscillations du courant I_D comme indiqué sur la figure 2.27b. Le $\frac{dv}{dt}$ du JFET est indépendant du courant I_L et ne dépend que du courant de grille. Ainsi, la commutation est majoritairement contrôlée par le canal.

Enfin, nous présentons l'évolution des pertes par commutation des deux types de transistors, donnée par la figure 2.28, où nous constatons l'augmentation de ces pertes avec le courant de charge.

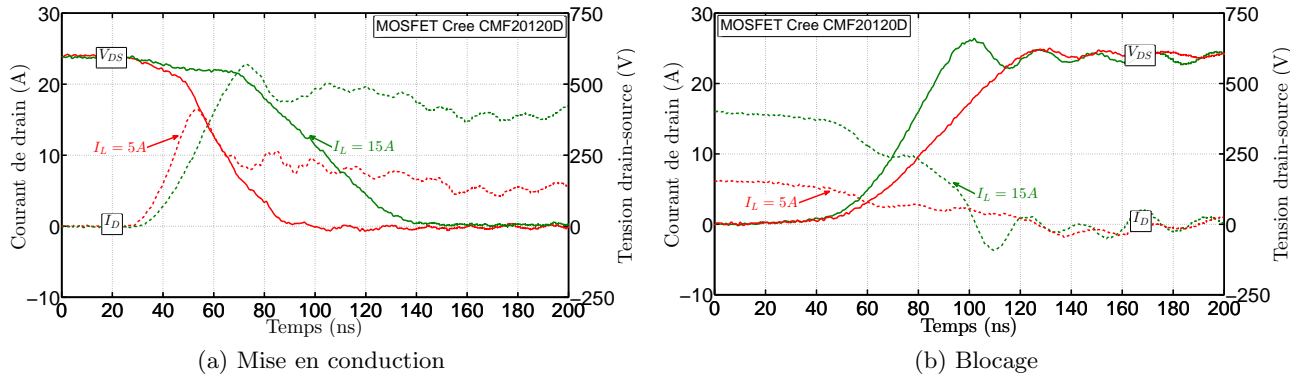


FIGURE 2.26 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET CMF20120D (a) à l’amorçage et (b) au blocage, pour deux valeurs de I_L , avec $V_{DS} = 600V$, $R_{G(ON)} = 12\Omega$ et $R_{G(OFF)} = 12\Omega$

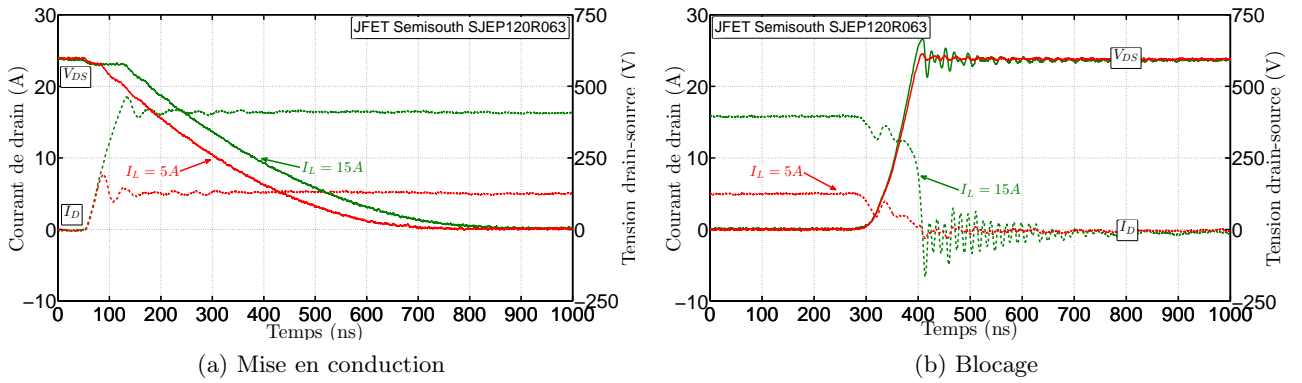


FIGURE 2.27 – Formes d’ondes du courant I_D et de la tension V_{DS} du JFET SJEP120R063 (a) à l’amorçage et (b) au blocage, pour deux valeurs de I_L , avec $V_{DS} = 600V$, $R_{G(ON)} = 12\Omega$ et $R_{G(OFF)} = 22\Omega$

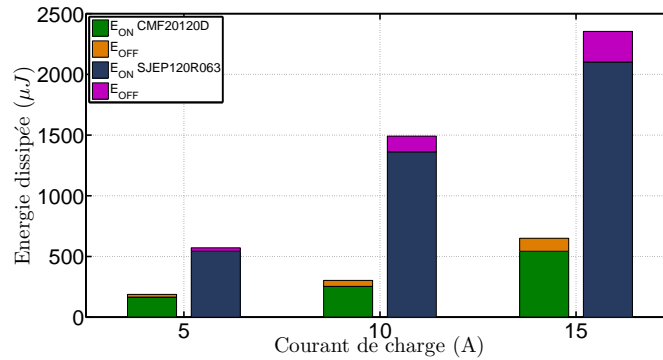


FIGURE 2.28 – Distribution de l’énergie dissipée pendant une commutation pour différentes valeurs du courant de charge I_L

2.5.2 MOSFET CMF10120D et MOSFET SCH2090KE (banc de test #2)

Les essais de commutation des transistors MOSFET CMF10120D et SCH2090KE sont effectués sous une tension $V_{DS} = 600V$, pour deux valeurs de courant de charge $I_L = 10A$ et $15A$ et avec une résistance de grille $R_G = 5\Omega$. Les formes d’ondes ($I_D - V_{DS}$) du MOSFET de chez Cree et de chez

Rohm, à la mise en conduction et au blocage, sont respectivement présentées sur les figures 2.29 et 2.30.

Lors de la mise en conduction, le courant de charge ne semble pas agir sur le $\frac{dv}{dt}$, alors que d'après les formulations du tableau 2.1, ce dernier devrait diminuer quand I_L augmente.

Pendant la phase de blocage, le $\frac{dv}{dt}$ augmente avec le courant de charge comme expliqué dans le paragraphe 2.5.1.

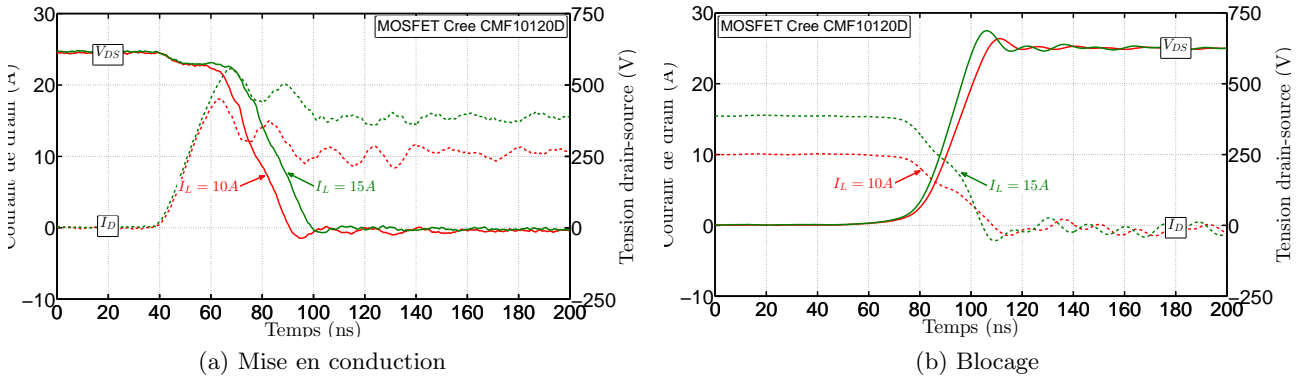


FIGURE 2.29 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET CMF10120D (a) à l’amorçage et (b) au blocage, pour deux valeurs de I_L , avec $V_{DS} = 600V$, $R_G = 5\Omega$

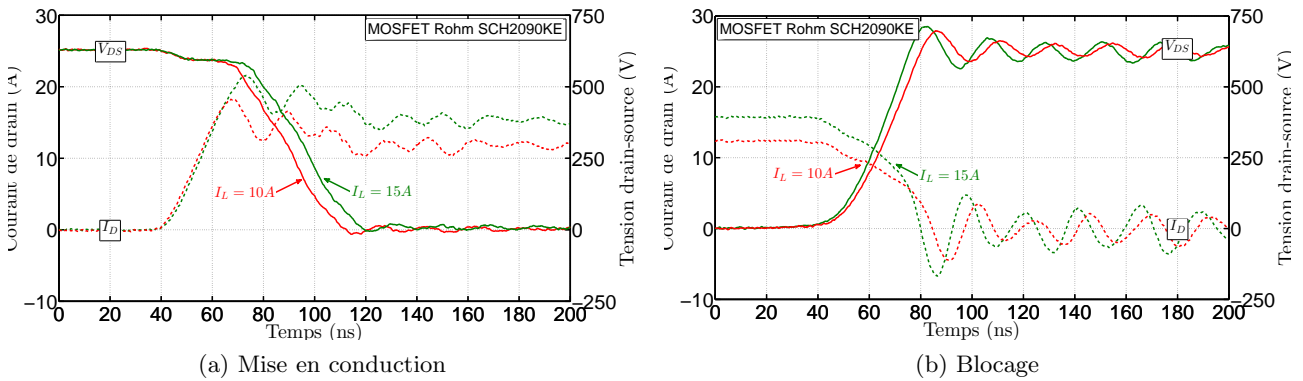


FIGURE 2.30 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET SCH2090KE (a) à l’amorçage et (b) au blocage, pour deux valeurs de I_L , avec $V_{DS} = 600V$, $R_G = 5\Omega$

2.6 Effet de la température

L’effet de la température ambiante est évalué uniquement sur les caractéristiques dynamiques des transistors MOSFET CMF20120D de chez Cree et SCH2080KE de chez Rohm. Ces mesures sont réalisées à l’aide du banc de test #3, sous une tension de bus continu de 600V, à un courant commuté $I_L = 15A$, avec une résistance de grille $R_G = 10\Omega$ et à différentes températures ambiantes variant de $25^\circ C$ à $175^\circ C$.

Les formes d’ondes ($I_D - V_{DS}$) respectives du MOSFET CMF20120D et du MOSFET SCH2080KE, pendant les phases de commutation, sont présentées sur les figures 2.31 et 2.32. Les deux composants présentent des formes d’ondes relativement similaires. Nous pouvons voir que le $\frac{di}{dt}$ et le $\frac{dv}{dt}$ de ces transistors augmentent avec la température pendant la phase de mise en conduction, alors qu’ils décroissent

lors de la phase de blocage. Cet effet pourrait être relié à la diminution de la tension de seuil, V_{TH} , avec la température.

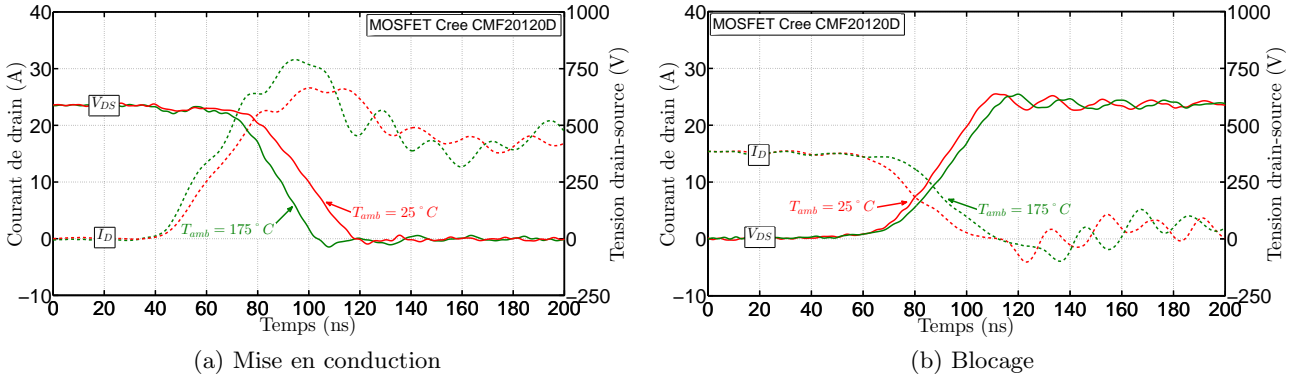


FIGURE 2.31 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET CMF20120D (a) à l’amorçage et (b) au blocage, pour deux températures, avec $V_{DS} = 600V$, $I_L = 15A$ et $R_G = 10\Omega$

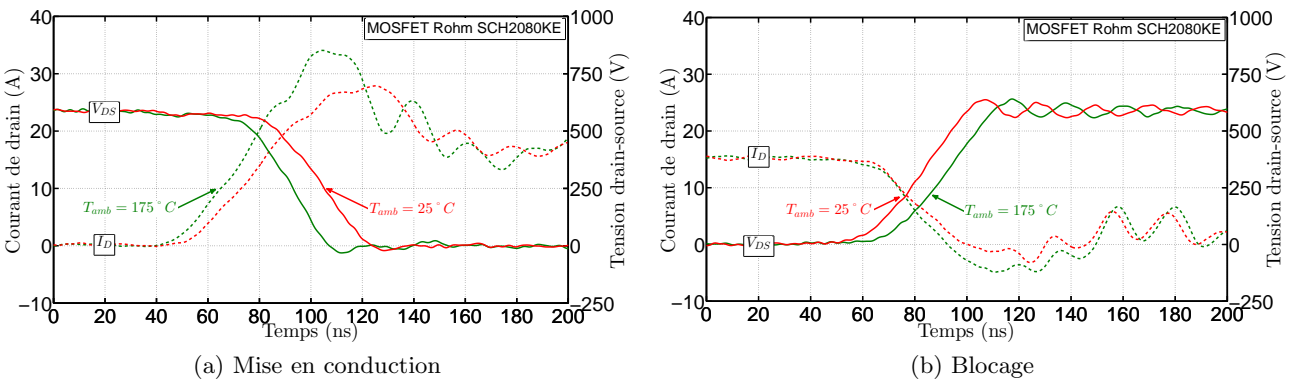


FIGURE 2.32 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET SCH2080KE (a) à l’amorçage et (b) au blocage, pour deux températures, avec $V_{DS} = 600V$, $I_L = 15A$ et $R_G = 10\Omega$

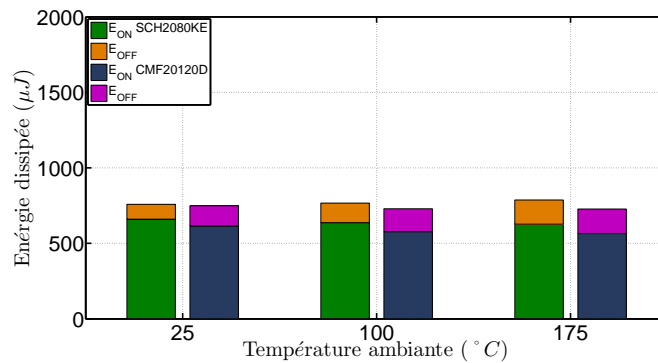


FIGURE 2.33 – Distribution de l’énergie dissipée pendant une commutation pour différentes températures ambiantes

Enfin, la figure 2.33 présente l’évolution des pertes par commutation des deux MOSFET SiC et montre des pertes totales relativement peu dépendantes de la température.

Ces résultats montrent un excellent comportement du MOSFET SiC à haute température. D'après [Funaki et al., 2007], ce comportement ressemble à celui des JFET SiC dont les caractéristiques dynamiques varient également très peu avec la température.

2.7 Conclusion

Ce chapitre a été consacré à l'étude des performances dynamiques des transistors MOSFET SiC et JFET SiC « normally-off ». Pour cela, une campagne de caractérisations dynamiques a été réalisée en prenant en compte l'influence de la résistance de grille, du courant de charge et de la température ambiante sur les transitoires de commutation ainsi que sur les pertes par commutations. Les essais en commutation ont été effectués en configuration hacheur avec la méthode de « double impulsion » et en utilisant trois bancs de tests qui ont été développés durant ces travaux de thèse.

Nous avons étudié dans un premier temps les mécanismes de commutation dans une cellule hacheur sur charge inductive. Nous avons présenté une analyse des séquences de mise en conduction et de blocage ainsi qu'une mise en équation des $\frac{dv}{dt}$ et $\frac{di}{dt}$. Cette étude a servi comme support pour étudier l'influence de la résistance de grille et du courant de charge sur les formes d'ondes du courant I_D et de la tension V_{DS} pendant les phases de commutation.

Les premiers résultats présentés dans ce chapitre ont concerné l'effet de la résistance de grille sur les transitoires des transistors SiC. Nous avons vu que cette résistance agissait principalement sur les vitesses de commutations. En effet, une augmentation de R_G a fait diminuer le $\frac{dv}{dt}$ et le $\frac{di}{dt}$ à la mise en conduction ainsi qu'au blocage.

Le deuxième paramètre évalué est le courant de charge. Pour le cas du JFET SiC, le courant de charge n'a pas eu un effet important sur les vitesses de commutation du transistor, notamment sur le $\frac{dv}{dt}$. Dans ce cas de figure, la commutation était majoritairement contrôlée par le courant de grille.

En revanche, pour le cas du MOSFET SiC, l'augmentation du courant de charge a fait diminuer son $\frac{dv}{dt}$ lors de la mise en conduction et l'a augmenté au blocage (commutation au blocage contrôlée par la C_{OSS}). Les tests de commutation réalisés sur le MOSFET ont montré la dépendance du $\frac{dv}{dt}$ au courant de charge et à la résistance de grille, ce qui correspond à un comportement à canal « actif ».

Concernant le troisième paramètre évalué, la température ambiante, les résultats obtenus montrent des performances transitoires extrêmement prometteuses pour les MOSFET SiC, avec un comportement en température très stable, aucune évolution notable des pertes par commutation avec la température. En se limitant aux performances électriques, la capacité des MOSFET SiC à fonctionner à haute température prouve qu'ils sont potentiellement des bons candidats pour les applications aéronautiques hautes températures.

A titre de synthèse, un récapitulatif des principales performances dynamiques des transistors étudiés est donné par le tableau 2.6.

Le JFET « normally-off » possède les performances dynamiques les moins bonnes avec de faibles $\frac{dv}{dt}$ et $\frac{di}{dt}$ et des pertes très élevées comparées aux MOSFET SiC. Certes, les vitesses de commutation du JFET sont très ralenties du fait que la carte « driver » utilisée n'était pas adaptée pour la commande des JFET SiC et qu'il fallait utiliser un driver encore plus rapide, néanmoins, les pertes du JFET SiC restent toujours plus élevées comparées avec celles des MOSFET SiC même avec un driver plus performant selon [Haehre et al., 2012], [Siemieniec, 2011] et [Scheridan, 2010].

En ce qui concerne les MOSFET SiC étudiés, ceux de chez Cree, CMF20120D et CMF10120D, présentent les meilleures performances dynamiques en terme de vitesses de commutation et en terme

CHAPITRE 2. ÉVALUATION DES PERFORMANCES DYNAMIQUES DES TRANSISTORS SIC

de pertes, et après eux les MOSFET de chez Rohm SCH2080KE (ou SCH2090KE).

Composant	$T_{ON}(ns)$	$\frac{di}{dt}_{/ON}(A/ns)$	$\frac{dv}{dt}_{/ON}(V/ns)$	T_{OFF}	$\frac{di}{dt}_{/OFF}$	$\frac{dv}{dt}_{/OFF}$	$E_{Diss}(\mu J)$
Conditions de test							
Banc #1, $V_{DS} = 600V$, $I_L = 10A$, $R_{G(totalé-CMF20120D)} = 17\Omega$, $R_{G(totalé-SJEP120R063)} = 16\Omega$							
CMF20120D	51	1	8,6	56,8	0,15	19,08	300
SJEP120R063	360	0,47	1,6	77,8	0,1	9	1211
Conditions de test							
Banc #2, $V_{DS} = 600V$, $I_L = 10A$, $R_{G(totalé-CMF10120D)} = 18,6\Omega$, $R_{G(totalé-SCH2090KE)} = 16,3\Omega$							
CMF10120D	54	0,78	19,12	27,2	0,51	26,79	441,16
SCH2090KE	83	0,46	12	38,6	0,35	18,4	647,57

TABLE 2.6 – Récapitulatif des principales performances dynamiques des transistors MOSFET et JFET en SiC 1,2kV

$I_L \nearrow$		
Mise en conduction		
$\left \frac{dI_D}{dt} \right _{(ON)}$		inchangé
$\left \frac{dV_{DS}}{dt} \right _{(ON)}$		\searrow
Blocage		
$\left \frac{dI_D}{dt} \right _{(OFF)}$		inchangé
$\left \frac{dV_{DS}}{dt} \right _{(OFF)}$		\nearrow

TABLE 2.7 – Évolution des $\frac{dI_D}{dt}$ et $\frac{dV_{DS}}{dt}$ en fonction du courant de charge et de la résistance de grille

$R_G \nearrow$		
Mise en conduction		
$\left \frac{dI_D}{dt} \right _{(ON)}$		\searrow
$\left \frac{dV_{DS}}{dt} \right _{(ON)}$		\searrow
Blocage		
$\left \frac{dI_D}{dt} \right _{(OFF)}$		\searrow
$\left \frac{dV_{DS}}{dt} \right _{(OFF)}$		\searrow

TABLE 2.8 – Évolution des $\frac{dI_D}{dt}$ et $\frac{dV_{DS}}{dt}$ en fonction du courant de charge et de la résistance de grille

$T_{amb} \nearrow$		
Mise en conduction		
$\left \frac{dI_D}{dt} \right _{(ON)}$		\nearrow de 30,4%
$\left \frac{dV_{DS}}{dt} \right _{(ON)}$		\nearrow de 25,7%
Blocage		
$\left \frac{dI_D}{dt} \right _{(OFF)}$		\searrow de 6,4%
$\left \frac{dV_{DS}}{dt} \right _{(OFF)}$		\searrow de 10%

TABLE 2.9 – Évolution des $\frac{dI_D}{dt}$ et $\frac{dV_{DS}}{dt}$ en fonction du courant de charge et de la résistance de grille

	$R_G = 5\Omega$	$R_G \nearrow$
Mise en conduction		
$\left \frac{dI_D}{dt} \right _{(ON)}$	875A/ μs	\searrow de 46%
$\left \frac{dV_{DS}}{dt} \right _{(ON)}$	18,65kV/ μs	\searrow de 16,5%
Blocage		
$\left \frac{dI_D}{dt} \right _{(OFF)}$	489A/ μs	\searrow de 11,2%
$\left \frac{dV_{DS}}{dt} \right _{(OFF)}$	24,6kV/ μs	\searrow de 12,7%

TABLE 2.10 – Évolution des $\frac{dI_D}{dt}$ et $\frac{dV_{DS}}{dt}$ en fonction du courant de charge et de la résistance de grille

Estimation expérimentale des pertes dans les transistors MOSFET SiC

3.1 Introduction

Ce chapitre traite de l'estimation des pertes dans les transistors MOSFET SiC commutant à haute fréquence de découpage. Pour réaliser ces mesures délicates, nous avons opté pour deux méthodes différentes, une méthode directe dite « calorimétrique » et autre indirecte dite « électrique ».

La technique calorimétrique est qualifiée de précise dès lors que peuvent être négligées les échanges thermiques entre le dissipateur et l'environnement. Cependant, cette technique engendre une élévation de température au sein du DUT lors de la mesure ce qui complique l'étude de l'influence de la température du composant sur les pertes.

D'autre part, la technique qualifiée d'électrique utilisant la méthode de « double implusion » permet de calculer les pertes du composant en le faisant commuter une seule fois à un point de fonctionnement donné, ce qui limite son échauffement.

Néanmoins, cette méthode indirecte est a priori moins précise que la méthode directe du fait qu'elle nécessite une instrumentation dédiée (bande passante suffisante de l'oscilloscope et des sondes) et un protocole de mesure bien précis prenant en compte l'écart temporel entre les sondes qui peut entraîner des erreurs lors de la mesure de la puissance instantanée, ce qui fausse la mesure des énergies dissipées et des pertes totales.

Nous allons présenter, dans ce chapitre les résultats des mesures de pertes, réalisées sur les MOSFET SiC CMF20120D de chez Cree et les SCH2080KE de chez Rohm, en configuration buck et buck-synchrone.

Nous présenterons également, pour chaque composant, un comparatif des pertes totales estimées par les deux méthodes et nous montrerons que la méthode électrique offre finalement des résultats satisfaisants et suffisamment précis, même si elle reste plus délicate à mettre en œuvre que la méthode calorimétrique.

Enfin, nous comparerons les pertes totales dissipées des MOSFET SiC avec celles d'un composant en silicium. Pour cela, nous avons choisi de réaliser ces mesures de pertes sur un MOSFET à super jonction Si de chez Infineon, référencé SPW55N80C3.

3.2 Description de la méthodologie de mesure

3.2.1 Bancs de test

Les structures de puissance choisies pour effectuer la mesure des pertes sont celles d'un hacheur série (buck) et d'un buck-synchrone. Le circuit de test utilisé est le banc #3, présenté dans le chapitre II.2, paragraphe 2.3.1.

Le principe de fonctionnement d'une configuration hacheur série a déjà été présenté dans le chapitre précédent. Dans ce paragraphe, nous présentons uniquement le principe des essais en mode

buck-synchrone. Ce dernier est une version modifiée du convertisseur buck classique où nous avons remplacé la diode de roue libre par un transistor MOSFET identique au DUT (figure 3.1).

Les transistors notés Synchro (MOSFET haut) et Buck (MOSFET bas, DUT) fonctionnent de façon complémentaire avec un rapport cyclique de 15% pour le MOSFET bas et de 85% pour le transistor haut afin de limiter la puissance dissipée dans la charge. Un temps mort est introduit au début de chaque période de conduction des transistors, pendant lequel la diode interne des interrupteurs est conductrice assurant ainsi la continuité du courant de charge.

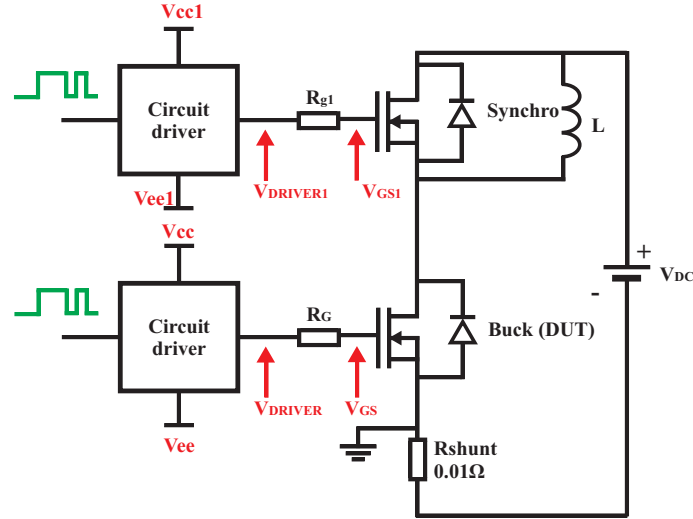


FIGURE 3.1 – Schéma de principe du banc de test #3 en configuration buck-synchrone

3.2.2 Méthode électrique

Les pertes dans le MOSFET est la somme des pertes dissipées par conduction et celle dissipées par commutation (équation 3.1). Connaissant la résistance à l'état passant, les pertes par conduction peuvent être calculées à partir de l'équation 3.2, dès lors que la température de jonction est également connue. Lors d'un fonctionnement à des fréquences de découpages élevées, les pertes par conduction sont négligeables devant celles dissipées par commutation.

Ainsi, les pertes totales sont égales à celles dissipées par commutation données par l'équation 3.3. Nous suivons le même procédé décrit dans le chapitre II.2, paragraphe 2.3.2, pour le calcul de l'énergie dissipée par commutation.

$$P_{totale} = P_{conduction} + P_{commutation} \approx P_{commutation} \quad (3.1)$$

$$P_{conduction} = \alpha R_{DS(ON)} \cdot I_L^2 \quad (3.2)$$

$$P_{commutation} = E_{DISS} \times F \quad (3.3)$$

avec : α le rapport cyclique et F la fréquence de découpage.

3.2.3 Méthode calorimétrique

Les pertes au sein des composants de puissance sont dissipées sous forme de chaleur. Dans l'hypothèse où cette chaleur est complètement absorbée par un dissipateur monté sur ces composants, les pertes peuvent être directement déterminées par la mesure de l'élévation de température au sein de ce dissipateur.

Ainsi, la méthode calorimétrique consiste à monter le DUT sur un dissipateur calibré et isolé de l'extérieur et à déterminer ses pertes totales à partir de la variation de la température au sein du dissipateur.

Calibration

Des tests de calibration ont été effectués afin de déterminer la capacité thermique, C_{th} , du dissipateur. Dans notre cas, le dissipateur choisi est un cube d'aluminium d'un volume de $64cm^3$. Le circuit présenté à la figure 3.2a a été développé pour réaliser ces mesures de calibration, il est composé d'une source de courant, d'une diode Zener de $15V$ qui maintient la tension de drain quasi-constante ($V_{DS} \approx V_Z + V_{GS}$) et donc impose une dissipation de puissance, elle aussi quasiment constante, une résistance de $5,6k\Omega$ pour maintenir la tension de grille à $5V$ et un transistor IGBT SGW15N120 d'Infineon monté sur le cube d'aluminium et ayant le même boîtier que celui des transistors MOSFET SiC étudiés (TO247). L'élévation de la température ($\Delta\theta$) est mesurée à l'aide d'un thermocouple inséré au centre du dissipateur, le plus proche possible du transistor comme le montre la figure 3.2b.

Nous précisons qu'avant sa calibration, le bloc d'aluminium a été isolé avec de la mousse isolante, figure 2.14 (chapitre II.2), afin d'éviter tout transfert thermique entre le cube et le milieu extérieur.

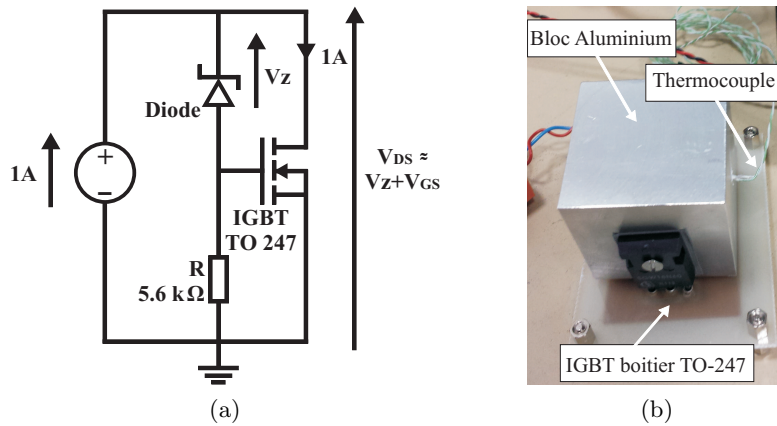


FIGURE 3.2 – Circuit dédié à la calibration et photographie du bloc d'aluminium

Dans l'hypothèse où le comportement du bloc d'aluminium est adiabatique, la variation de la température est proportionnelle aux pertes et varie linéairement avec le temps comme le montre l'équation 3.4. Ainsi, pour une durée de test, Δt , une puissance injectée, P_{IGBT} constante, et une variation de température, $\Delta\theta$ données, nous pourrions estimer la capacité thermique, C_{th} .

$$P_{IGBT} = C_{th} \frac{\Delta\theta}{\Delta t} \quad (3.4)$$

Quatre essais de calibrage ont été réalisés à une puissance injectée égale à $20W$ et à différents instants. La figure 3.3 révèle la variation de la température en fonction de la durée de test (environ trois minutes) pour les quatre essais. La chaleur est transférée du transistor au dissipateur (bloc d'aluminium) et la température croît linéairement environ $20s$ après le début des tests.

Le tableau 3.1 résume les valeurs des différentes grandeurs mesurées durant les quatre tests d'étalonnage. La puissance injectée et la variation de la température ($\frac{\Delta\theta}{\Delta t}$) étant connues, la capacité thermique a été calculée puis moyennée à $180,35 J/K$.

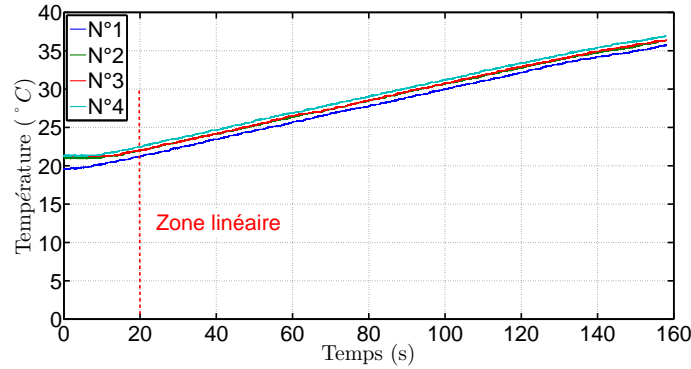


FIGURE 3.3 – Évolution de la température du bloc d'aluminium en fonction de la durée de test

Essai	N ° 1	N ° 2	N ° 3	N ° 4
$P_{IGBT}(W)$	19,404	19,404	19,404	19,404
$\Delta\theta(K)$	5,32	5,42	5,41	5,37
$\Delta t(s)$	50	50	50	50
$C_{th}(J/K)$	182,37	179	179,33	180,67
C_{th} moyennée $C_{th}(J/K)$	180,35			

TABLE 3.1 – Estimation de la valeur de la capacité thermique (C_{th})

La connaissance de la capacité thermique permet d'estimer les pertes des dispositifs de puissance (DUT) en utilisant le bloc d'aluminium calibré. Connaissant la pente, ($\frac{\Delta\theta}{\Delta t}$), de la courbe $\theta = f(t)$, les pertes totales du DUT sont estimées à partir de l'équation 3.4. Pour effectuer le calcul de la pente, nous considérons à chaque fois la zone linéaire représentative d'un échauffement adiabatique (figure 3.2.3).

3.3 Mesure de pertes des MOSFET SiC CMF20120D

3.3.1 Dans une structure buck

Trois mesures ont été effectuées avec une topologie buck, sous une tension $V_{DS} = 600V$ et pour une fréquence de commutation allant de $25kHz$ à $75kHz$.

Un exemple de commutation est présenté sur la figure 3.4 pour une fréquence de commutation égale à $75kHz$. Les énergies dissipées par commutation ainsi que les pertes totales sont présentées sur le tableau 3.2 pour différentes fréquences. Quant aux pertes estimées par la méthode calorimétrique, elles sont données dans le tableau 3.3.

Fréquence (kHz)	25	50	75
Durée de mesure (s)	140	120	80
Température initiale (°C)	21,8	21,8	19
Température finale (°C)	28	31	28
Pertes totales (W)	9,2	19,27	29,62

TABLE 3.2 – Méthode électrique

Fréquence (kHz)	25	50	75
Énergie totale (μJ)	372,6	417	407,5
Pertes totales (W)	9,31	20,85	30,56

TABLE 3.3 – Méthode calorimétrique

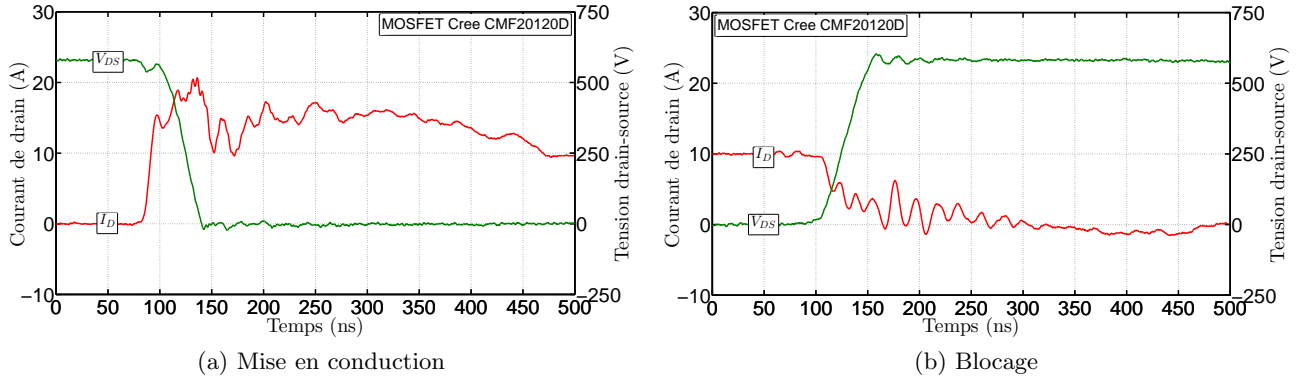


FIGURE 3.4 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET CMF20120D (a) à l’amorçage et (b) au blocage, avec $R_G = 10\Omega$, $V_{DS} = 600V$, $I_L = 10A$, $f = 75kHz$ (structure buck)

La figure 3.5 compare les pertes du MOSFET SiC, calculées à partir des deux méthodes, électrique et calorimétrique, et montre un écart d’environ $1W$ entre les deux courbes. D’autre part, nous constatons que les pertes totales du composant sont bien proportionnelles à la fréquence de découpage et augmentent avec celle-ci.

Les résultats obtenus des deux méthodes (électrique et calorimétrique) sont comparés par l’utilisation de l’écart relatif défini par l’équation 3.5, en prenant comme référence la moyenne des deux courbes.

$$\epsilon_r = \left[\frac{1}{N} \cdot \sum \frac{|x_{elec} - x_{calor}|}{\frac{1}{2} \cdot |x_{elec} + x_{calor}|} \right] \times 100 \text{ (\%)} \quad (3.5)$$

avec : x_{elec} et x_{calor} les valeurs obtenues respectivement par la méthode électrique et la méthode calorimétrique, et N le nombre de points par courbe.

Nous obtenons un écart relatif de $4,7\%$. Ce résultat montre que la méthode électrique est suffisamment précise pour l’estimation des pertes.

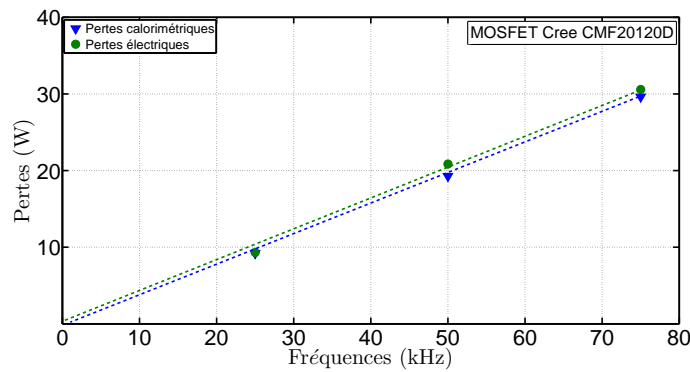


FIGURE 3.5 – Évolution des pertes du MOSFET Cree CMF20120D en fonction de la fréquence de découpage, pour les méthodes électrique et calorimétrique (structure buck)

3.3.2 Dans une structure buck-synchrone

Le même protocole de mesure est dupliqué sur trois autres essais réalisés avec une topologie buck-synchrone, sous une tension $V_{DS} = 600V$ et pour des fréquences plus élevées variant de $50kHz$ à $150kHz$. Un exemple de commutation réalisé à $f = 150kHz$ est présenté sur la figure 3.6.

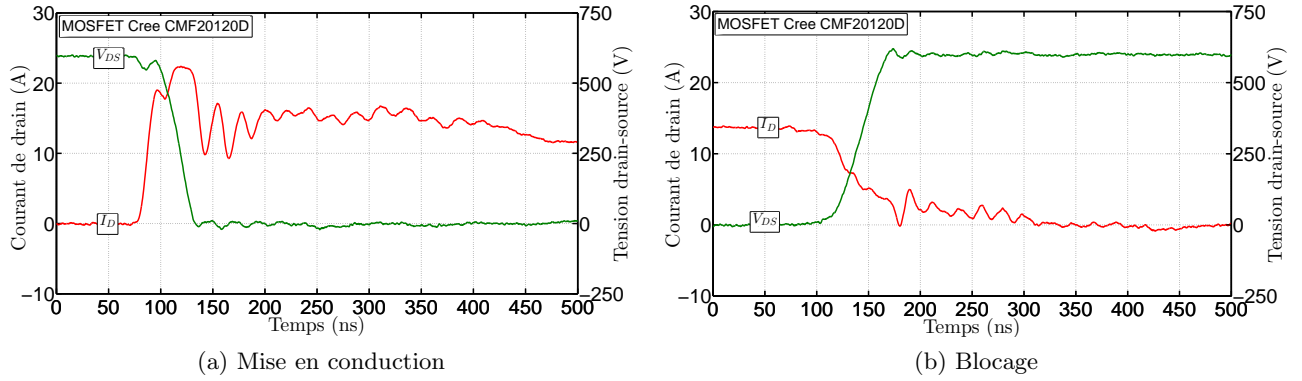


FIGURE 3.6 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET CMF20120D (a) à l’amorçage et (b) au blocage, avec $R_G = 10\Omega$, $V_{DS} = 600V$, $I_L = 10A$, $f = 150kHz$ (structure buck-synchrone)

L’évolution des pertes du MOSFET en fonction de la fréquence de découpage est donnée par la figure 3.7, pour les deux méthodes de mesure de pertes. L’écart entre les deux résultats est estimé à 4%.

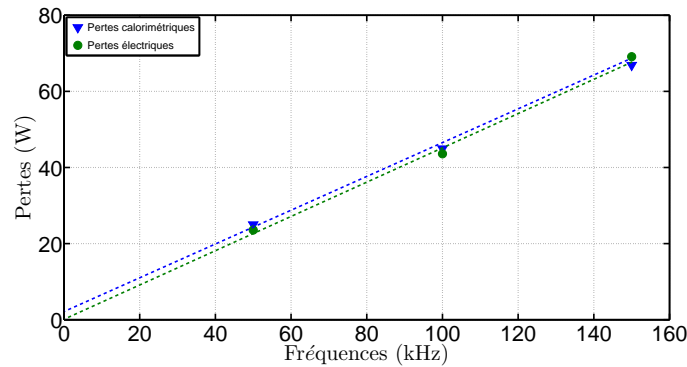


FIGURE 3.7 – Évolution des pertes du MOSFET Cree CMF20120D en fonction de la fréquence de découpage, par les méthodes électrique et calorimétrique (structure buck-synchrone)

3.4 Mesure de pertes des MOSFET SiC SCH2080KE

3.4.1 Dans une structure buck

Le MOSFET SCH2080KE est dans un premier temps caractérisé en configuration hacheur série, pour une tension $V_{DS} = 600V$, et une fréquence de découpage variant de $25kHz$ à $75kHz$.

A titre d’exemple, nous présentons sur la figure 3.8 les formes d’ondes courant-tension pendant les phases de commutation et pour une fréquence égale à $75kHz$. Nous constatons que le courant de drain du MOSFET SCH2080KE est plus perturbé que celui du MOSFET CMF20120D.

Nous présentons aussi dans les tableaux 3.4 et 3.5, un récapitulatif des pertes totales du MOSFET calculées par les deux méthodes et à différentes fréquences de découpage.

Les méthodes électrique et calorimétrique sont ensuite comparées sur la figure 3.9, où nous constatons une bonne concordance entre les deux méthodes avec un écart de 3,5%.

Ces résultats montrent des pertes légèrement plus élevées que celles des MOSFET de chez Cree, notamment à haute fréquence. Nous rappelons que le MOSFET de chez Rohm possède une capacité

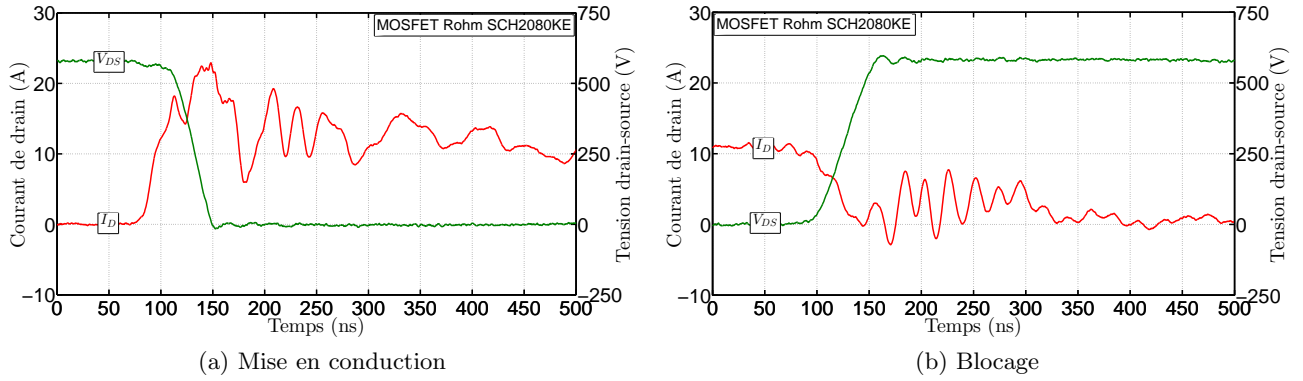


FIGURE 3.8 – Formes d’ondes du courant I_D et de la tension V_{DS} du MOSFET SCH2080KE (a) à l’amorçage et (b) au blocage, avec $R_G = 10\Omega$, $V_{DS} = 600V$, $I_L = 10A$, $f = 75kHz$ (structure buck)

Miller plus élevée que le MOSFET de chez Cree ce qui peut expliquer cet écart entre les pertes des deux composants.

Fréquence (kHz)	25	50	75
Durée de mesure (s)	150	90	70
Température initiale (°C)	20	20	22
Température finale (°C)	27	28	34
Pertes totales (W)	13,03	25,25	37,87

TABLE 3.4 – Méthode électrique

Fréquence (kHz)	25	50	75
Énergie totale (μJ)	490,9	508	513,6
Pertes totales (W)	12,27	25,4	38,52

TABLE 3.5 – Méthode calorimétrique

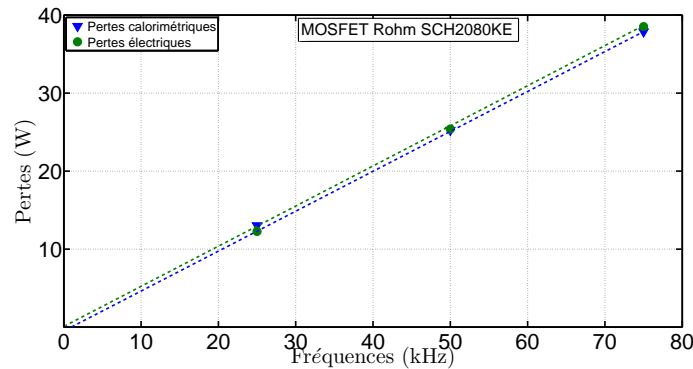


FIGURE 3.9 – Évolution des pertes du MOSFET Rohm SCH2080KE en fonction de la fréquence de découpage, pour les méthodes électrique et calorimétrique (structure buck)

3.4.2 Dans une structure buck-synchrone

D’autres mesures de pertes ont été refaites en configuration buck-synchrone, toujours sous une tension de bus continu égale à $600V$ et pour des fréquences variant entre $50kHz$ et $150kHz$. Nous présentons sur la figure 3.10 les formes d’ondes de la tension V_{DS} et du courant de drain I_D pendant les phases de commutation et pour une fréquence de découpage égale à $150kHz$.

Les résultats des mesures sont ensuite tracés sur la figure 3.11 comparant les deux techniques de mesure de pertes. Nous obtenons un écart relatif de 1,55% entre les deux mesures.

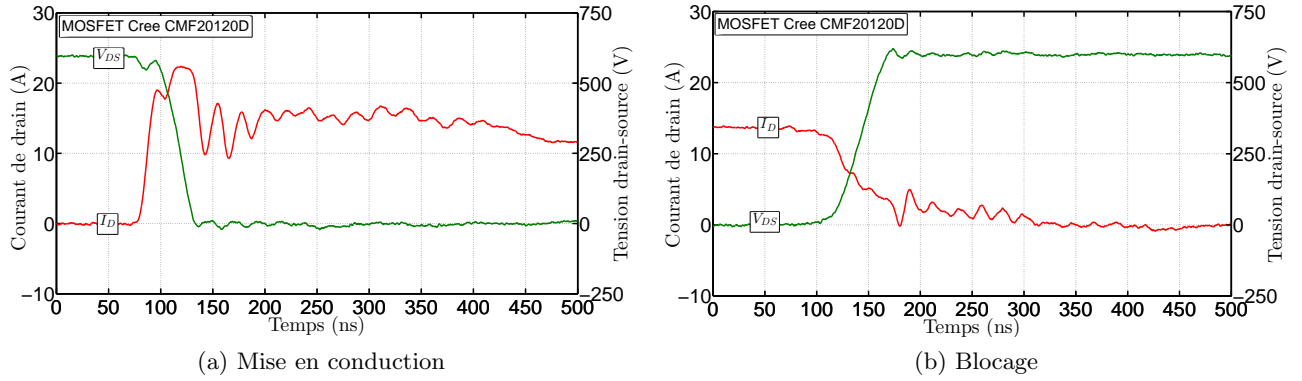


FIGURE 3.10 – Formes d’onde du courant I_D et de la tension V_{DS} du MOSFET SCH2080KE (a) à l’amorçage et (b) au blocage, avec $R_G = 10\Omega$, $V_{DS} = 600V$, $I_L = 10A$, $f = 150kHz$ (structure buck-synchrone)

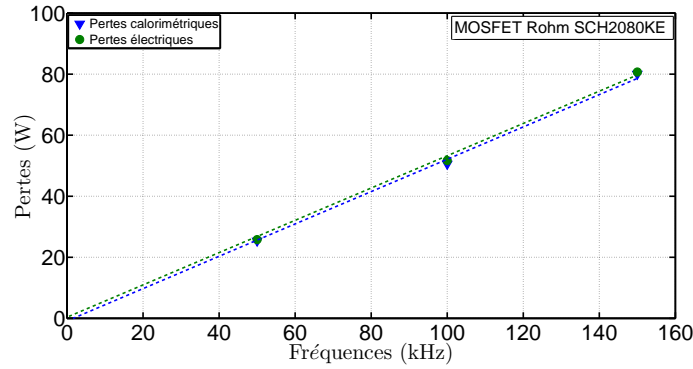


FIGURE 3.11 – Évolution des pertes du MOSFET Rohm SCH2080KE dans une structure buck-synchrone, en fonction de la fréquence de découpage, pour les méthode électrique et calorimétrique (structure buck-synchrone)

3.5 Mesure de pertes des CoolMOS Si SPW55N80C3

Pour pouvoir comparer les performances dynamiques (notamment les pertes totales dissipées) des MOSFET SiC avec celles d’un composant en Si, notre choix s’est porté sur le CoolMOS SPW55N80C3 (800V – 85A) de chez Infineon, de même boîtier que les MOSFET SiC (TO247) [SPW55N80C3, 2012].

Le CoolMOS est caractérisé uniquement en configuration buck, sous une tension $V_{DS} = 600V$ et pour des fréquences de découpage allant de $25kHz$ à $75kHz$. L’évolution des grandeurs commutées ($V_{DS}-I_D$) pendant les phases de commutation sont présentées sur la figure 3.12 pour une fréquence égale à $75kHz$.

La forme d’onde du courant I_D est très perturbée par rapport à celle des MOSFET SiC. En effet, la résistance de grille interne du CoolMOS étant plus faible ($0,8\Omega$) que celle des MOSFET SiC ($\geq 5\Omega$), son $\frac{dv}{dt}$ est plus élevé ce qui se traduit par une surintensité à la mise en conduction plus élevée également.

Les résultats de calcul de pertes par les deux méthodes sont récapitulés dans les tableaux 3.6 et 3.7. Enfin, un comparatif des pertes estimées par la méthode électrique et celles estimées par la méthode calorimétrique, est présenté sur la figure 3.13. Ces résultats montrent, là aussi, une bonne concordance entre les deux méthodes avec un écart de 2%.

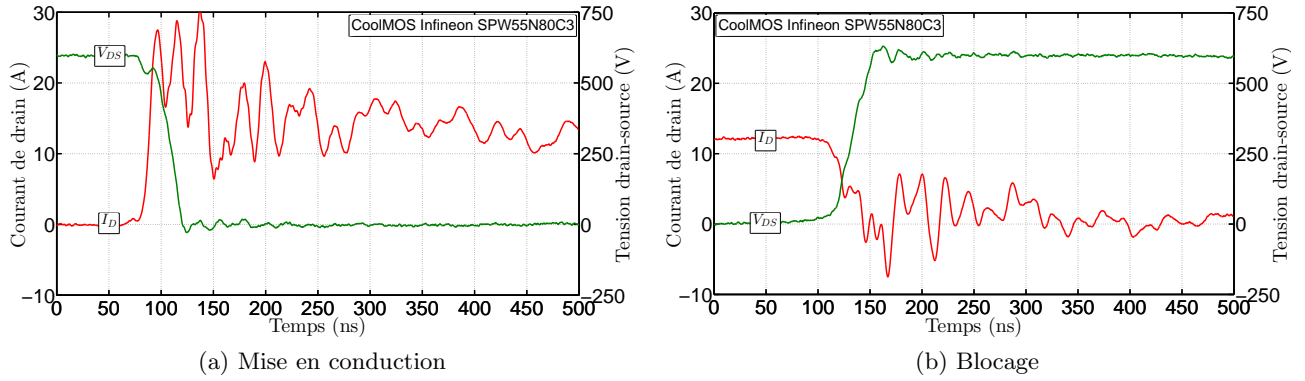


FIGURE 3.12 – Formes d’ondes du courant I_D et de la tension V_{DS} du CoolMOS SPW55N80C3 (a) à l’amorçage et (b) au blocage, avec $R_G = 10\Omega$, $V_{DS} = 600V$, $I_L = 10A$, $f = 75kHz$

Fréquence (kHz)	25	50	75
Durée de mesure (s)	100	80	60
Température initiale ($^{\circ}C$)	20	23,2	20,6
Température finale ($^{\circ}C$)	30	30	30
Pertes totales (W)	10,88	21,97	33,32

TABLE 3.6 – Méthode électrique

Fréquence (kHz)	25	50	75
Énergie totale (μJ)	422,2	477,5	451,7
Pertes totales (W)	10,55	23,87	33,9

TABLE 3.7 – Méthode calorimétrique

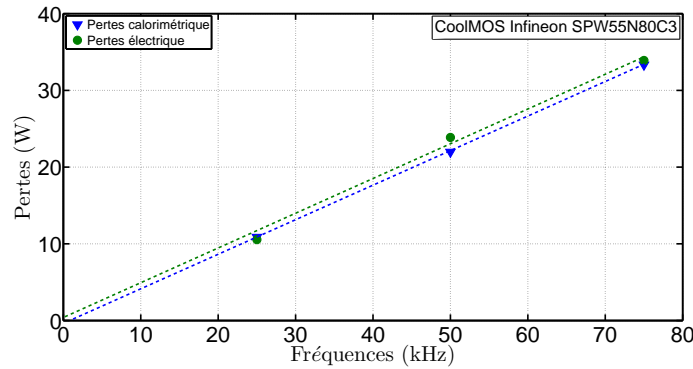


FIGURE 3.13 – Évolution des pertes du CoolMOS SPW55N80C3 en fonction de la fréquence de découpage, par les méthodes électrique et calorimétrique (structure buck)

3.6 Conclusion

Ce chapitre a été consacré aux mesures des pertes dans les transistors MOSFET SiC des fabricants Cree (CMF20120D) et Rohm (SCH2080KE). Pour cela, deux méthodes ont été utilisées pour ces mesures, une méthode directe dite « calorimétrique » et une méthode indirecte dite « électrique ». Ces deux techniques ont été par la suite comparées entre elles, à chaque mesure de pertes et pour tous les composants étudiés.

Les résultats ont montré une bonne concordance entre ces deux méthodes ce qui prouve que la méthode électrique offre finalement des mesures de pertes totales suffisamment précises.

Ainsi, cette technique reste préférable à celle calorimétrique, du fait qu’elle limite l’échauffement du composant lors du test et permet une caractérisation de ces pertes avec la température. Elle reste toutefois extrêmement délicate à mettre en œuvre (calibration et compensation des sondes).

Comme pour les travaux présentés dans le chapitre précédent, ces mesures de pertes ont pour finalité d'établir un comparatif de performances dynamiques des composants SiC étudiés. Nous avons, en plus, effectué ces tests sur un composant en silicium, CoolMOS de chez Infineon, afin de le confronter aux MOSFET SiC pré-sélectionnés.

En guise de synthèse, une figure présentant l'évolution des pertes de ces trois transistors en fonction de la fréquence de découpage, en configuration hacheur série et avec la méthode calorimétrique (figure 3.14). Le MOSFET SCH2080KE de chez Rohm possède des pertes relativement élevées comparé au MOSFET CMF20120D de chez Cree et au CoolMOS SPW55N80C3 de chez Infineon.

D'autre part, les MOSFET SiC présentent des pertes totales dissipées très élevées ($\approx 30W$ pour CMF20120D et $\approx 40W$ pour SCH2080KE à $75kHz$) limitant leur fonctionnement à des hautes fréquences de découpage.

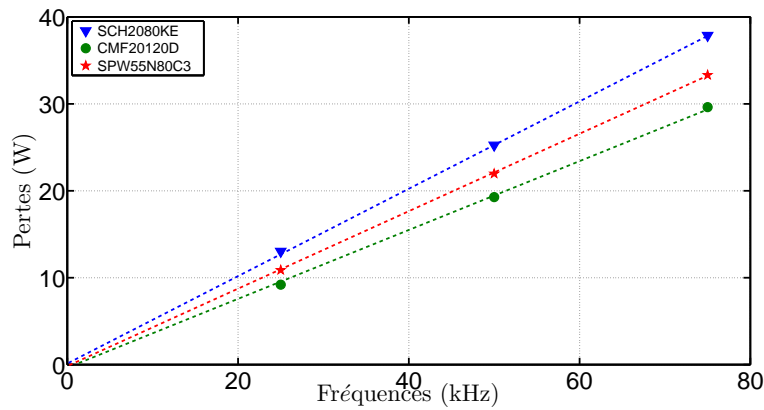


FIGURE 3.14 – Comparaison des pertes totales dissipées des MOSFET SiC et du CoolMOS Si, calculées avec la méthode calorimétrique

Troisième partie

Étude de la robustesse des interrupteurs de puissance en SiC soumis à des régimes extrêmes de fonctionnement

État de l'art sur les régimes de court-circuit

1.1 Introduction

L'intégration des dispositifs électroniques de puissance dans l'industrie aéronautique exige une connaissance approfondie de leur robustesse. Ces dits dispositifs sont soumis à des fortes contraintes de fatigue électrothermique, et un tel fonctionnement accélère la dégradation des dispositifs et réduit par conséquent leur fiabilité.

Toutefois, la fiabilité et la robustesse de certains dispositifs d'électronique de puissance, en particulier les interrupteurs de puissance en technologie carbure de silicium, n'ont pas encore été pleinement vérifiées dans des conditions de fonctionnement sévères telles que le court-circuit, l'avalanche ou le fonctionnement à température élevée.

Dans ce contexte, l'étude que nous allons présenter dans cette partie de mémoire (partie III) vise à analyser le comportement des interrupteurs de puissance en technologie carbure de silicium quand ils sont soumis à des régimes extrêmes de fonctionnement, notamment des régimes d'avalanche et de court-circuit.

Le fonctionnement en régimes extrêmes, tels que le régime d'avalanche et/ou le régime de court-circuit, est un mode accidentel qui peut se présenter lors de la mise en service d'un convertisseur ou lors d'un défaut de commande. En outre, ces conditions sévères sont contraignantes car elles conduisent à une forte et rapide augmentation de la température de la puce engendrant des dérives d'origine électrothermique et par la suite la défaillance du composant.

Le tableau 1.1 recueille les propriétés électriques (à température ambiante $T_{amb} = 25^\circ C$) et géométriques des différents composants qui seront étudiés dans cette partie.

Cette partie du mémoire est découpée en trois chapitres. Le chapitre III.1 aborde les résultats les plus pertinents de certains travaux récents qui ont pour vocation l'étude de la robustesse des interrupteur de puissance sous des conditions extrêmes de fonctionnement, nous nous limiterons à l'étude de la robustesse en régime de court-circuit. Le chapitre III.2 décrit la tenue de ces composants à ces types de contraintes et met en évidence les modes de défaillance observés et leurs éventuels origines. Enfin, le chapitre III.3 caractérise l'évolution des caractéristiques des transistors MOSFET SiC lors des tests de fatigue accélérée afin de déterminer les mécanismes physiques qui conduisent à leur dégradation.

Technologie	Référence	$V_{DS}(V)$	$I_{D(max)}(A)$	$R_{DS(ON)}(m\Omega)$	$S_{Active}(mm^2)$
MOSFET	SCH2090KE	1200	26	90	10, 4
MOSFET	CMF20120D	1200	42	80	11, 97
JFET	SJEP120R063	1200	30	63	9

TABLE 1.1 – Principales caractéristiques électriques et géométriques des transistors à $T_{amb} = 25^\circ C$

Le présent chapitre (III.1) introduit un aperçu sur la robustesse de deux types d'interrupteurs de puissance en SiC (MOSFET et JFET), en régime de court-circuit. Nous étudierons le comportement de ces deux structures de transistor pendant la phase du régime contraignant afin de mettre en évidence leurs performances dans un tel mode de fonctionnement et de quantifier leur robustesse.

1.2 Aperçu sur la robustesse des JFET SiC

Le régime de court-circuit est un mode de fonctionnement accidentel qui se rencontre lorsqu'un interrupteur de puissance se trouve, généralement suite à un défaut de commande, dans un état de conduction avec la pleine tension d'alimentation à ses bornes. Dans ce cas de figure, seules les caractéristiques intrinsèques du composant seront en mesure de limiter le courant drastique du court-circuit qui peut atteindre jusqu'à dix fois le courant nominal du dit composant. Ce mode de fonctionnement est donc extrêmement contraignant compte tenu du niveau d'énergie très élevé que le transistor doit alors dissiper. Par conséquent, la tenue en court-circuit de ce dernier est cruciale pour la protection du convertisseur de puissance. Toutefois, les transistors de puissance sont capables de tolérer un tel régime extrême pourvu qu'il soit fugitif.

Nous commençons par le transistor JFET SiC qui est considéré comme étant un candidat très robuste contre les courts-circuits accidentels. Dans cette section, nous nous sommes reportés sur les travaux de :

- HUANG dans [Huang et al., 2013] et ABBATE dans [Abbate et al., 2011], qui ont étudié la robustesse des transistors JFET SiC « normally-off ».
- LUTZ dans [Josef, 2014], BOUARROUDJ dans [Bouarroudj et al., 2010] et BOUGHRARA dans [Boughrara et al., 2009], qui ont étudié la robustesse des JFET SiC « normally-on ».

La figure 1.1 illustre les formes d'ondes de la densité de courant de saturation d'un transistor JFET SiC 1,2kV, pendant la phase de court-circuit, pour différentes durées de test jusqu'à la défaillance. La densité de courant présente un fort pic au début du test ($1680A/cm^2$) puis décroît rapidement (au bout de $200\mu s$) et d'une manière significative ($158A/cm^2$). En outre, ce courant est d'autant plus faible que la durée du test est longue.

Pour pouvoir expliquer un tel comportement, il faudra s'appuyer sur l'évolution de la caractéristique du composant en fonction de la température que nous avons amplement étudiée dans le chapitre II.1. Nous avons vu que le courant des JFET SiC sature à des courants d'autant plus faibles que la température augmente. Le transistor doit cette caractéristique principalement à sa mobilité des porteurs dans le canal qui est fortement dépendante de la température et décroît significativement avec celle-ci [Mousa et al., 2007], [Roschke, 2001]. Comme la température de la puce JFET augmente avec la durée des tests, cela implique la diminution de la mobilité et avec elle le courant de saturation.

D'autre part, la diminution significative du courant de court-circuit va réduire la puissance instantanée dissipée par le transistor et par conséquent va ralentir la montée de la température durant le test. Effectivement, la figure 1.2 qui présente l'évolution de la température de jonction et de sa distribution durant le test, démontre qu'au-delà de $650K$, la température certes continue à augmenter mais plus lentement, ce qui limite l'auto-échauffement de la puce et évite sa défaillance précoce. D'où, la capacité des JFET SiC à supporter de longues phases de court-circuit, supérieures à $1ms$, sans défaillance. La défaillance apparaît ici après une durée de $1,4ms$ à partir du début de court-circuit dû à l'élévation de la température au sein du cristal.

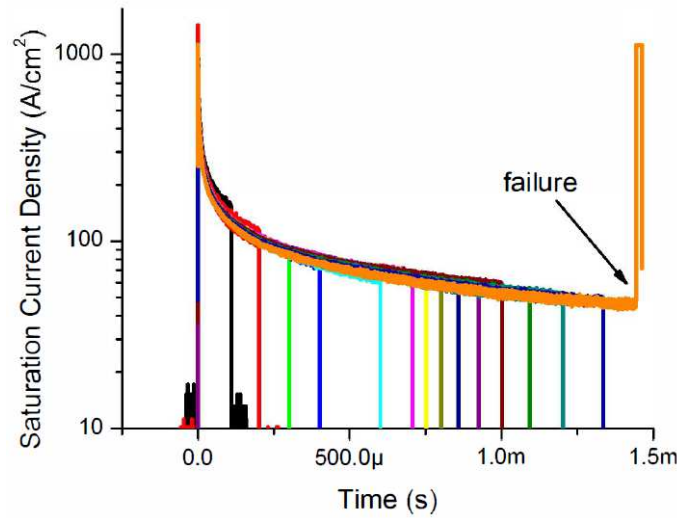


FIGURE 1.1 – Comportement d'un JFET SiC « normally-off » pendant la phase de court-circuit, $V_{GS} = 10V$ et $15V$, $V_{DS} = 400V$, $T_{amb} = 25^\circ C$, [Huang et al., 2013]

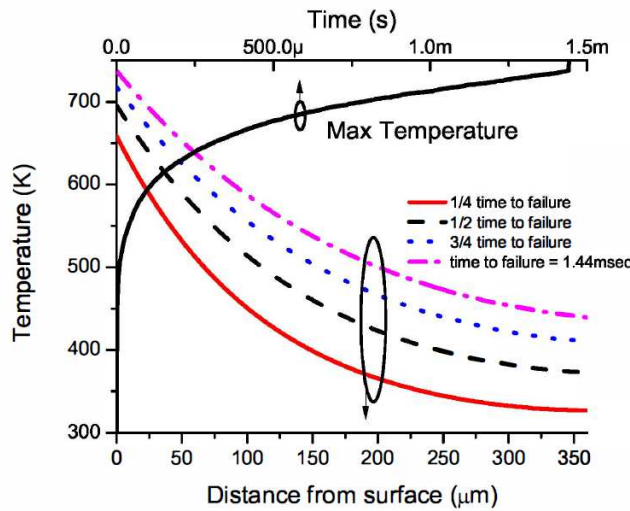


FIGURE 1.2 – Évolution de la température de jonction max du JFET et de sa distribution dans l'épaisseur de la puce pendant la phase de court-circuit [Huang et al., 2013]

Nous retrouvons le même comportement pour les JFET SiC « normally-on » étudiés dans [Josef, 2014], [Bouarroudj et al., 2010] et [Boughrara et al., 2009]. En effet, là aussi, nous pouvons identifier la forte dépendance du courant de saturation à la température, tel que présenté à la figure 1.3a.

De plus, nous pouvons voir à la figure 1.3b montrant l'évolution du courant et de la température pendant un essai destructif de court-circuit que :

- ces JFET arrivent à supporter de longues phases de court-circuit (défaillance après $600\mu s$)
- le défaut apparaît suite à l'élévation de la température au sein de la puce à des niveaux proches de la température de fusion de la métallisation, comme cela a été observé également pour les JFET « normally-off ».

Les JFET « normally-on » sont globalement aussi robustes que leurs homologues « normally-off ».

En revanche, le fait qu'ils soient « normalement passant » les rend plus susceptibles à des modes accidentels de court-circuit, par exemple, suite à un défaut de commande.

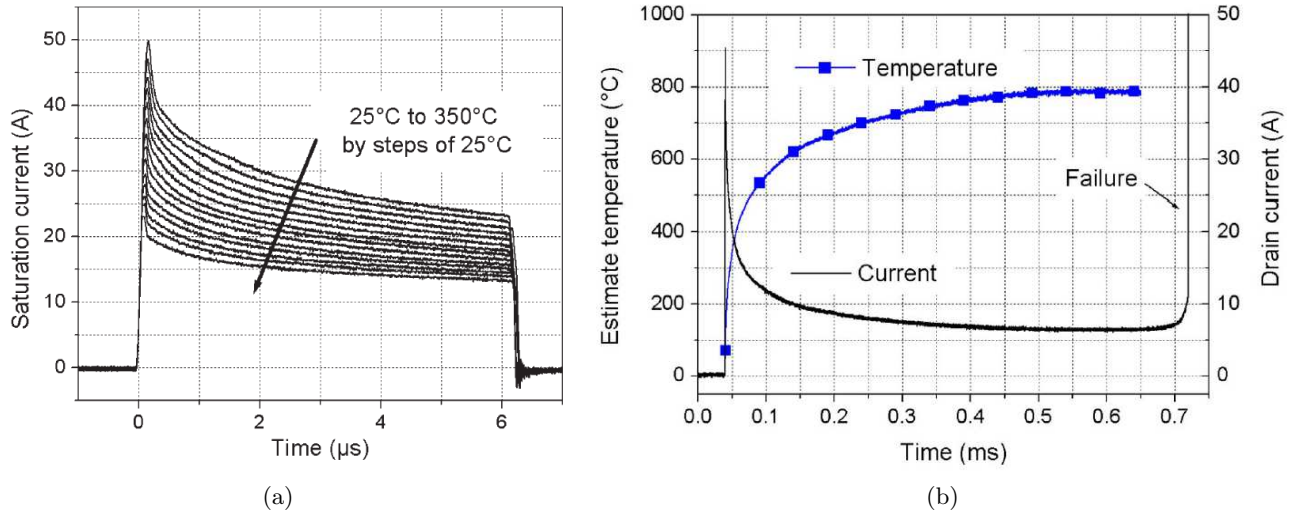


FIGURE 1.3 – (a) Dépendance du courant de saturation à la température, (b) Test destructif du JFET SiC « normally-on » et évolution de la température de jonction estimée pendant le test [Boughrara et al., 2009]

1.3 Aperçu sur la robustesse des MOSFET SiC

Le transistor MOSFET SiC est aussi considéré comme un interrupteur relativement robuste aux régimes de court-circuit. En revanche, nous verrons dans cette section que la fragilité de la structure de sa grille va rendre le transistor inapte à tolérer de longues phases de régimes contraignants comme le régime de court-circuit, ce qui va par conséquence, limiter sa robustesse. Un deuxième point faible sera aussi abordé, il s'agit de l'instabilité thermique des MOSFET SiC de puissance qui peut conduire à une élévation locale de température et à la défaillance du transistor par emballement thermique, suite à un test de stress en court-circuit.

Commençons, tout d'abord, par analyser le comportement du MOSFET SiC quand il est soumis à un régime de court-circuit. La figure 1.4a présente les formes d'ondes du courant de saturation du MOSFET SiC 1,2V pendant la phase de court-circuit et pour différentes durées de test jusqu'à l'apparition du défaut. Au début du court-circuit, le courant de drain augmente rapidement et présente un pic de $530A/cm^2$, puis diminue progressivement jusqu'à la fin de la phase de court-circuit.

Dans ses travaux, HUANG [Huang et al., 2013] interprète la variation importante du courant de saturation en la reliant principalement à l'évolution de la mobilité des porteurs libres dans le canal, avec la température. L'auteur explique l'évolution de la mobilité du canal en fonction de la température par sa dépendance vis-à-vis de deux mécanismes de diffusion des porteurs libres dans le semi-conducteur : la diffusion par les vibrations thermiques du réseau (la diffusion par les phonons acoustiques) et la diffusion par les impuretés ionisées (la diffusion de Coulomb). L'effet de la diffusion de Coulomb diminue avec la température ce qui implique la croissance de la mobilité des électrons dans le canal et avec elle l'augmentation du courant de saturation au début de la phase de court-circuit. La mobilité des porteurs libres dans le canal peut augmenter jusqu'à une température dépassant 600K selon [Pérez-Tomás et al., 2006] et [Huang et al., 2013]. Au-delà de cette température, la diffusion des

phonons acoustiques devient prépondérante engendrant ainsi une diminution de la mobilité, ce qui explique la décroissance du courant de saturation.

Ce changement de comportement est aussi visible sur la figure 1.4b qui présente l'évolution de la température de jonction et de la puissance dissipée au cours du test. L'interférence entre les deux mécanismes de diffusion des porteurs dans le semi-conducteur limite la décroissance du courant ce qui implique des forts niveaux d'énergies dissipées pendant la phase de court-circuit. Ces pertes sont responsables de l'élévation de la température au sein de la puce et qui amène à la défaillance du composant.

D'autre part, la robustesse du transistor dépend aussi des conditions de test [Castellazzi et al., 2013]. En effet, l'augmentation par exemple de la tension d'alimentation et/ou de la tension de commande va engendrer une puissance dissipée plus importante, donc une élévation de température plus significative ce qui limitera la tenue du transistor en court-circuit tel qu'illustré à la figure 1.4b pour le cas du deuxième test ($V_{GS} = 15V$).

Nous verrons dans le chapitre III.2 que, sous des conditions de tests plus sévères ($V_{DS} = 600V$, $V_{GS} = 20V$), la tenue en court-circuit des MOSFETs va être encore plus affaiblie.

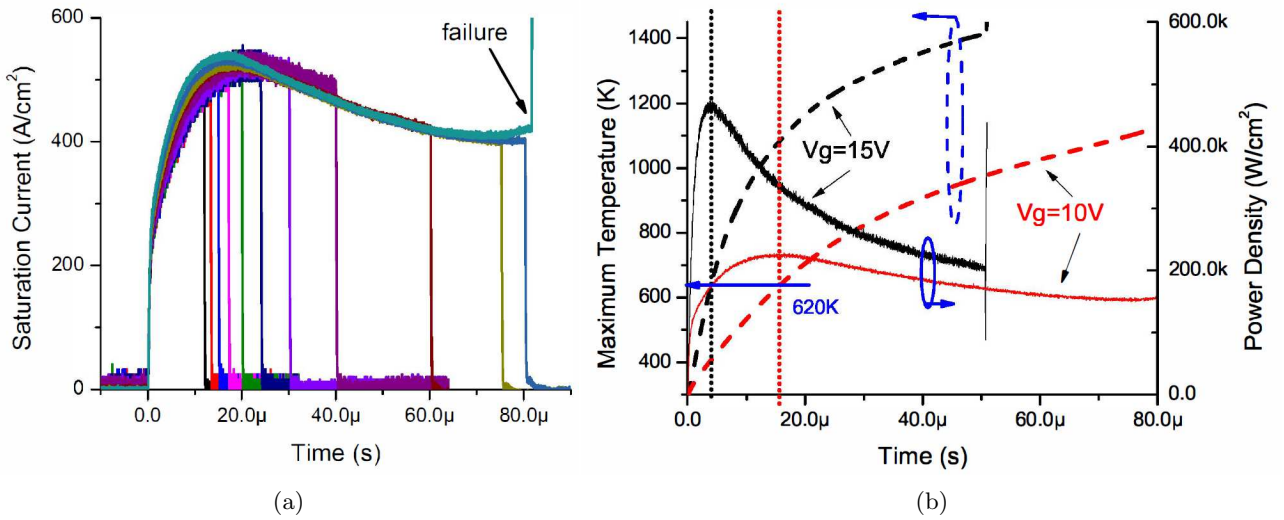


FIGURE 1.4 – (a) Comportement du MOSFET SiC lorsque la durée de court-circuit augmente et (b) évolution de la température de jonction et de la puissance dissipée, pendant la phase de court-circuit, $V_{GS} = 10V$, $V_{DS} = 400V$ [Huang et al., 2013]

(a) Effet de la structure de grille

De nombreuses recherches se sont orientées vers l'étude de la fiabilité de la grille afin d'expliquer certaines dégradations des MOSFET SiC comme par exemple dans [Ouaida et al., 2014], [Santini et al., 2013], [Yu et al., 2010] et [Krishnaswami et al., 2005]. Il s'est avéré que le principale handicap de la structure MOSFET SiC est la faible épaisseur de son oxyde de grille.

La défaillance des MOSFET SiC suite à un fonctionnement en court-circuit, a souvent été précédée par une dégradation significative de la grille. Cette dégradation était due à l'apparition d'un courant de fuite significatif qui se manifestait soit au niveau de la grille (par une décroissance de la tension grille-source) comme étudié dans [Nguyen et al., 2014], soit entre drain et source par des changements au niveau de la forme d'onde du courant de saturation pendant le court-circuit comme détaillé dans [Castellazzi et al., 2014] et [Fayyaz et al., 2013].

La figure 1.5 compare les formes d'onde de V_{GS} pendant la phase de court-circuit pour le cas des MOSFET en SiC et en Si et met en évidence l'apparition d'un courant de fuite entre grille et source responsable de la chute de la tension V_{GS} à travers la résistance de grille du driver. Pendant la phase de court-circuit, une deuxième contrainte se rajoute à la faible épaisseur de l'oxyde de grille, à savoir le fort champ électrique suite à l'application de la tension entre grille et source. Il en résulte l'apparition d'un courant tunnel circulant à travers l'oxyde [Rana et al., 2011], [Roy et al., 2003]. Ce courant affecte l'isolation de l'oxyde et peut être responsable d'un courant de fuite permanent qui à travers la résistance de grille explique la diminution de la tension grille-source.

De plus, ce courant n'apparaît que pour des épaisseurs d'oxyde très faibles ce qui n'est pas le cas des MOSFET Si, d'où la différence de comportement entre la tension V_{GS} des MOSFET SiC et celle de leurs homologues en Si.

D'autres travaux, tels que [Castellazzi et al., 2014] et [Fayyaz et al., 2013], ont étudié le changement de comportement du courant de court-circuit et l'ont corrélé, ici aussi, avec la dégradation de la grille. La figure 1.6 présente l'évolution du courant de saturation pendant la phase de court-circuit, pour différentes durées de test et à deux températures ambiantes ($T_{CASE} = 27^\circ C$ et $T_{CASE} = 90^\circ C$). Les résultats ont mis en évidence deux constats : d'une part un courant de fuite qui subsiste et augmente avec la durée de test (observé pour $T_{CASE} = 27^\circ C$ et $T_{CASE} = 90^\circ C$) et d'autre part un changement dans le signe de la pente du courant (observé uniquement pendant les tests à haute température $T_{CASE} = 90^\circ C$). Selon les auteurs, cette observation résulte d'un changement dans la caractéristique de la grille et d'une variation de la tension de seuil qui n'est plus négligeable à haute température.

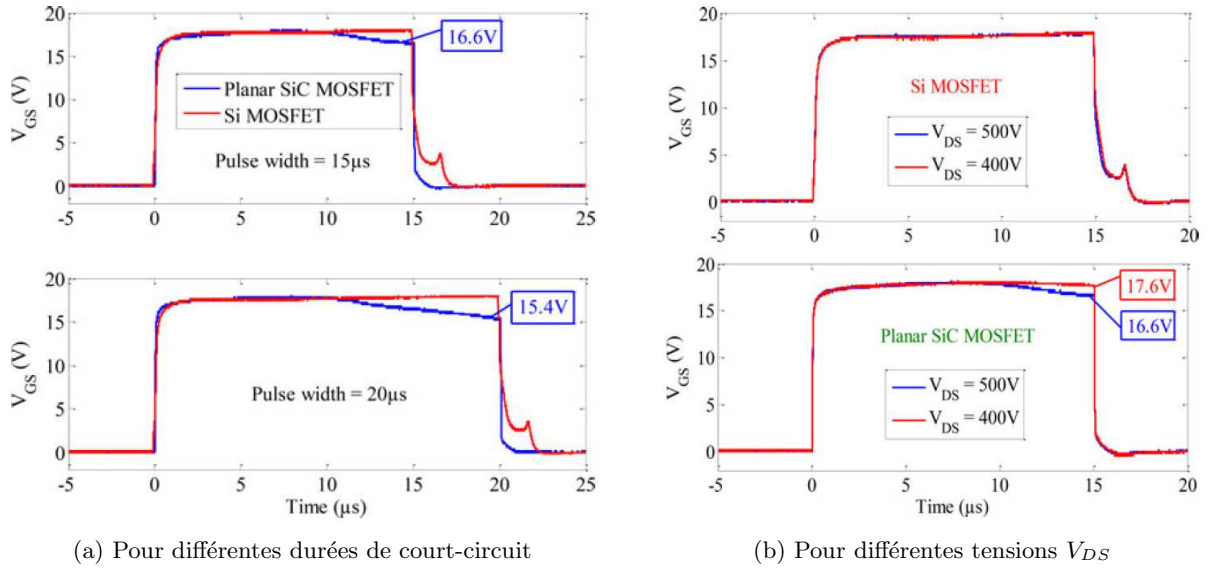


FIGURE 1.5 – (a) Effet de la durée de court-circuit et (b) de la tension V_{DS} sur la forme d'onde de la tension V_{GS} d'un MOSFET planar SiC et d'un MOSFET Si, pendant la phase de court-circuit, [Nguyen et al., 2014]

D'autre part, des cartographies thermiques ont été relevées, parallèlement aux tests effectués à température ambiante, $T_{CASE} = 27^\circ C$ (figure 1.7). Ces cartographies montrent que la forte dissipation de puissance qui s'est produite à la surface de la puce a engendré des augmentations localisées de température uniquement au niveau des pads de source ce qui prouve la dégradation significative de la structure de grille suite à l'élévation excessive de la température après le test.

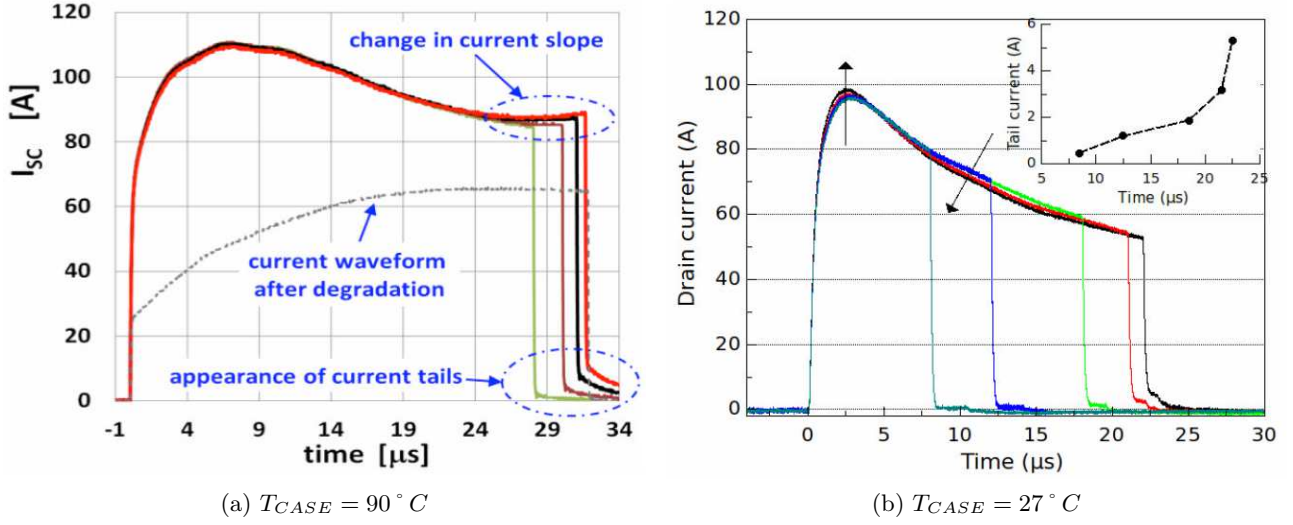


FIGURE 1.6 – Formes d’ondes du courant de saturation et mise en évidence d’un courant de fuite pendant la phase de court-circuit, $V_{DS} = 400V$, $V_{GS} = 18V$, [Castellazzi et al., 2014]

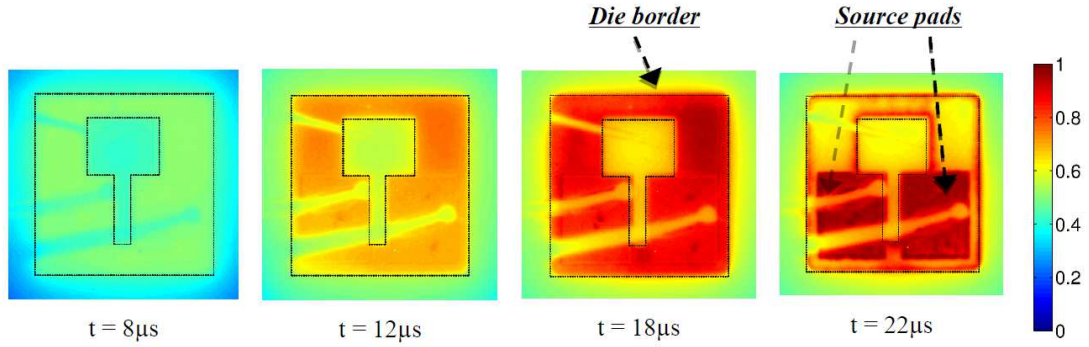


FIGURE 1.7 – Cartographie thermique correspondant aux formes d’ondes du courant de court-circuit, $V_{DS} = 400V$, $V_{GS} = 18V$, $T_{CASE} = 27^{\circ}C$, [Castellazzi et al., 2014]

(b) Effet de l’instabilité électro-thermique

Une autre problématique a été largement abordée dans la littérature, et concerne les MOSFET de puissance soumis à des régimes de court-circuit, qu’ils soient en silicium ou en carbure de silicium. Nous parlons de l’instabilité électro-thermique des MOSFET de puissance qui fait partie des phénomènes pouvant survenir pendant une phase de court-circuit et pouvant conduire à un effet d’emballement thermique donc à la défaillance du composant.

Pour expliquer le phénomène de l’instabilité électro-thermique et son effet sur les MOSFET soumis à des régimes de court-circuit, nous nous sommes reportés sur les travaux de CASTELLAZZI dans [Castellazzi et al., 2013] et [Castellazzi et al., 2012], de RICCIO dans [Riccio et al., 2013], et de SPIRITO dans [Spirito et al., 2002].

La figure 1.8 résume le domaine de stabilité et d’instabilité thermique du MOSFET de puissance en fonction des conditions de fonctionnement (température, tension V_{DS} et courant I_D), et où :

- I_D est le courant de drain exprimé avec une relation linéaire en fonction de la température comme suit :

$$I_D(T_j) = I_D(T_0) + \alpha_T(T_j - T_0) \quad (1.1)$$

T_j et T_0 étant respectivement la température de jonction et la température ambiante.

- α_T est le coefficient de température du courant I_D défini comme :

$$\alpha_T = \left(\frac{\partial I_D}{\partial T} \right)_{V_G, V_D} \quad (1.2)$$

- $Z_{th}(t)$ est l'impédance thermique du composant exprimée par l'équation 1.3 quand la puissance dissipée est indépendante du temps, tel est le cas pendant un court-circuit :

$$Z_{th}(t) = \frac{T_j(t) - T_0}{V_{DS} \cdot I_D} \quad (1.3)$$

- En substituant 1.1 dans 1.3, nous obtenons la loi de l'évolution de la température de jonction comme suit :

$$T_j(t) = T_0 + \frac{Z_{th} \cdot V_{DS} \cdot I_D(T_0)}{1 - Z_{th} \cdot V_{DS} \cdot \alpha_T} \quad (1.4)$$

L'expression $Z_{th} \cdot V_{DS} \cdot \alpha_T$ désigne le terme de stabilité, noté S , qui renseigne l'apparition d'un éventuel emballement thermique. En effet, si ce terme est inférieur à 1, l'élévation de la température reste modérée, sinon la température de jonction diverge à l'infini d'où l'emballement thermique. De ce fait, et en se basant sur la figure 1.8, nous pouvons distinguer deux domaines de fonctionnement selon la valeur de V_{DS} :

- Si $\alpha_T \geq \frac{1}{Z_{th} \cdot V_{DS}}$, la condition de stabilité est vérifiée.
- Si V_{DS} continue à augmenter, à un certain moment, cette relation n'est plus valable, ce qui donne une plage de valeur de courant (un intervalle $[I_1 \ I_2]$) pour laquelle le composant sera thermiquement instable.
- Au-delà de cette gamme de courant, et en faisant encore croître V_{DS} , la stabilité thermique est de nouveau établie.

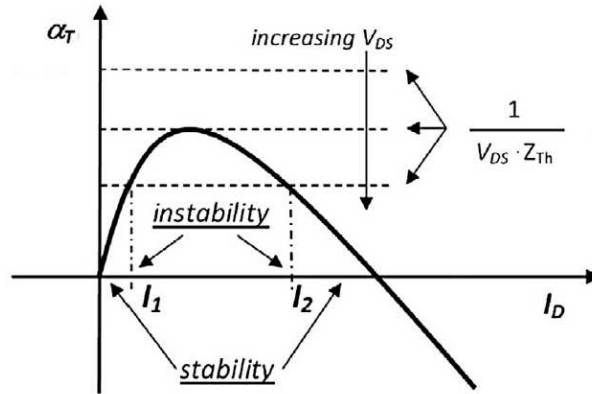


FIGURE 1.8 – Illustration du domaine de stabilité et d'instabilité thermique du MOSFET de puissance [Riccio et al., 2013]

En revanche, la définition de la limite entre la stabilité et l'instabilité thermique s'avère plus complexe que ce qui est présenté à la figure 1.8. En effet, pour une tension V_{DS} donnée, le courant I_D dépend aussi de la tension V_{GS} , ce qui nous amène finalement à considérer que la stabilité thermique du composant dépend de la température (donc de la durée du test), de la tension V_{DS} , et de V_{GS} .

Cette hypothèse se confirme par les résultats observés dans la littérature, comme par exemple dans [Riccio et al., 2013] et [Castellazzi et al., 2012], lors d'un fonctionnement en régime de court-circuit.

Nous présentons à titre d'exemple, la figure 1.9a qui présente l'évolution de la température pendant des tests de court-circuit réalisés sous une tension V_{DS} constante, pendant une durée fixée à $50\mu s$ et avec différentes tensions V_{GS} supérieures à $12V$. Ces constats énoncent un état électro-thermique stable du transistor, avec une évolution normale de la température pendant la phase de court-circuit (figure 1.9a) et où aucun échauffement localisé de température n'a été détecté (figure 1.9b).

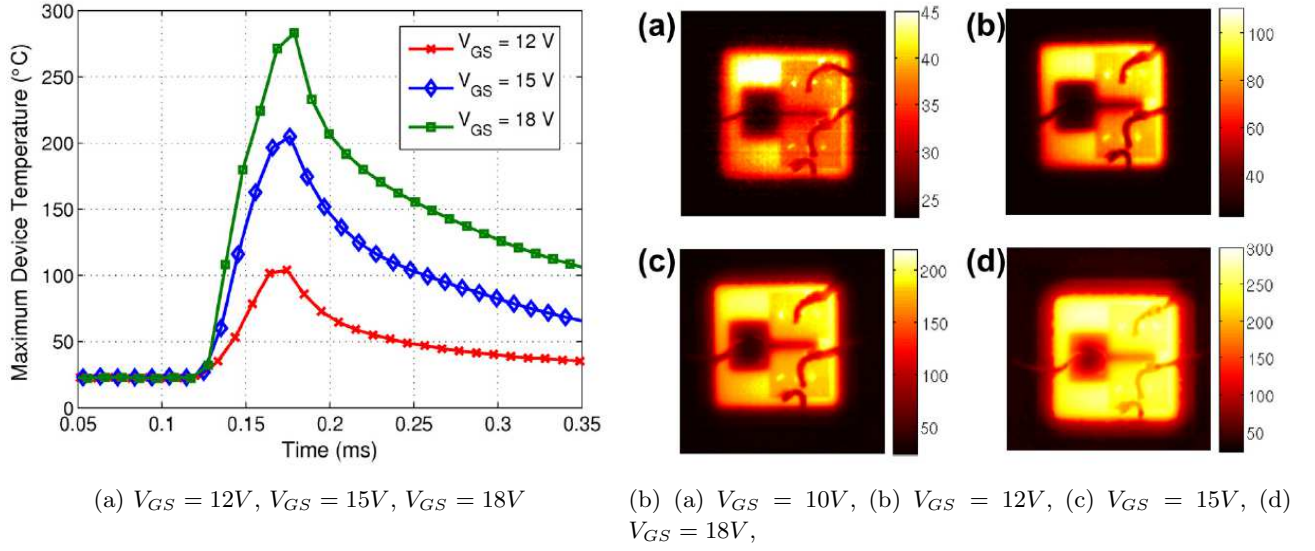


FIGURE 1.9 – Fonctionnement du MOSFET SiC $1,2kV$ avec un état électro-thermique stable, (a) Évolution de la température de jonction, (b) Cartographie thermique, $V_{DS} = 100V$, $T_{case} = 25^\circ C$, [Riccio et al., 2013]

Quant à la figure 1.10, elle illustre d'autres résultats avec $V_{DS} = 150V$ et à faible V_{GS} ($V_{GS} = 7,5V$), correspondant à un fonctionnement en régime instable.

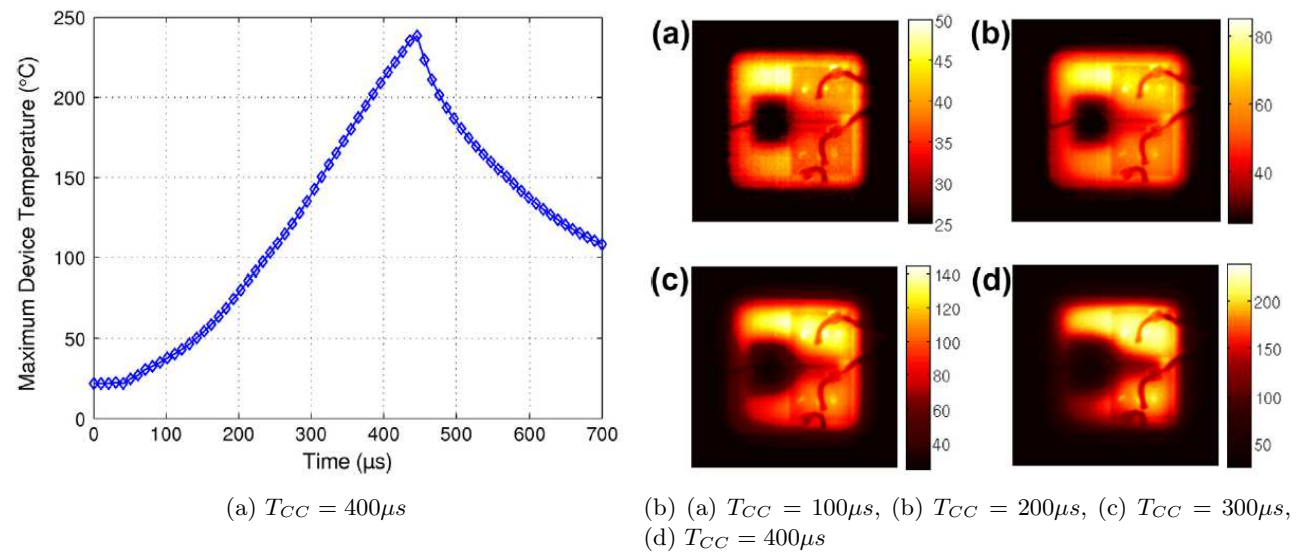


FIGURE 1.10 – Fonctionnement du MOSFET SiC $1,2kV$ avec un état électro-thermique instable, (a) Évolution de la température de jonction, (b) Cartographie thermique, $V_{DS} = 150V$, $V_{GS} = 7,5V$, $T_{case} = 25^\circ C$, [Riccio et al., 2013]

Le défaut apparaît pour une durée de test égale à $400\mu s$ ce qui est claire à la figure 1.10a, où nous observons l'élévation excessive de la température durant le test, comparé au régime stable présenté à la figure 1.9a. et qui montre un état électro-thermique instable, suite à l'apparition d'un point chaud, au niveau des pads de source, responsable de la défaillance du MOSFET.

Des résultats similaires ont été présentés dans [Castellazzi et al., 2012], où l'auteur expose l'effet de la tension V_{DS} et de la température sur la stabilité thermique du composant.

1.4 Conclusion

Dans ce chapitre, nous avons présenté un état de l'art sur la robustesse des transistors de puissance en technologie carbure de silicium soumis à des régimes de court-circuit. Nous avons, dans un premier temps, étudié la tenue des JFET SiC à ce mode contraignant. Les travaux réalisés sur ces composants ont prouvés qu'ils sont des candidats très robustes face aux courts-circuits grâce à leur caractéristique avec saturation de courant qui les rend adaptés à ce mode de fonctionnement extrême.

Dans un second temps, nous avons présenté un état de l'art sur la robustesse des transistors MOSFET en SiC. Ces derniers possèdent eux aussi un excellent comportement en mode de limitation de courant. Néanmoins, la fragilité de la structure de la grille de ces composants affecte significativement leur robustesse, les rendant inaptes à tolérer de longues phases de court-circuit contrairement aux JFET SiC.

Robustesse en régimes extrêmes de fonctionnement : Avalanche et Court-circuit

2.1 Introduction

Nous détaillerons dans ce chapitre les résultats des différents essais réalisés sur trois technologies de transistor, en régime d'avalanche et en régime de court-circuit. Cette étude est réalisée dans l'optique de vérifier la robustesse des composants étudiés, d'évaluer leurs énergies critiques, autrement dit les énergies maximales qu'ils peuvent dissiper en un seul cycle sans défaillance, et enfin d'analyser leurs modes de défaillances.

Nous commencerons par présenter les bancs de test utilisés pour les essais en régime d'avalanche et en régime de court-circuit ainsi que leur principe de fonctionnement. Puis nous expliquerons la façon dont l'énergie dissipée pendant un cycle contraignant, notamment l'énergie critique, est calculée pour les différents modes de fonctionnement.

Ensuite, pour chaque mode de fonctionnement (avalanche et court-circuit), nous décrirons en détail les résultats expérimentaux obtenus pour chaque structure de transistor (MOSFET et JFET). Nous chercherons à observer l'influence des conditions expérimentales, dont principalement la durée des cycles contraignants (image de l'énergie dissipée et de la température), sur la robustesse de ces composants. Nous déterminerons également les énergies maximales supportées par les composants testés et nous mettrons en évidence les différents modes de défaillance rencontrés.

Nous précisons que ces tests sont réalisés à chaque fois sur un ensemble de transistors de même structure (trois à cinq composants) afin de vérifier la reproductibilité des résultats.

Enfin, nous clôturerons ce chapitre avec une synthèse comparative qui évalue la robustesse des interrupteurs de puissance en SiC soumis à des régimes extrêmes de fonctionnement, tels que le régime d'avalanche et le régime de court-circuit.

2.2 Protocoles expérimentaux

2.2.1 Régime d'avalanche

Le principe du banc expérimental proposé pour l'étude de la robustesse en régime d'avalanche est présenté dans la figure 2.1a. Ce banc est composé des éléments suivants :

- Une source de tension continue, V_{DC} , basse tension pour pré-charger le condensateur, C ($740\mu F$). Pour les essais réalisés, la tension a été fixée à $50V$.
- Une résistance, R_1 (390Ω), pour protéger la source d'alimentation contre les courts-circuits lors de la défaillance du composant sous test.

- Une inductance, L , réglable pour contrôler le niveau d'énergie d'avalanche.
- Une diode, D , de protection contre une conduction d'un courant inverse lors de la destruction du composant sous test qui se retrouve en court-circuit après sa défaillance.
- Un circuit écrêteur, R_2C ($1k\Omega$, $10nF$), pour protéger la diode contre les surtensions inverses excessives à son blocage.
- Un transistor, IGBT, de haute tension ($3,3kV$) qui assure la magnétisation de l'inductance sans avoir à faire conduire le composant sous test, évitant ainsi l'échauffement de ce dernier avant la phase d'avalanche. De cette manière, la robustesse du composant testé sera évaluée à température de boîtier contrôlée.
- Le composant sous test (noté DUT pour Device Under Test) qui est déclenché juste avant la phase d'avalanche ($V_{GS} = 20V$ pour les MOSFETs et $V_{GS} = 3V$ pour les JFETs normally-off) et se bloque avec une tension négative sur sa grille ($V_{GS} = -5V$ pour les MOSFETs et $V_{GS} = -15V$ pour les JFETs normally-off).

La chronologie schématique des états de conduction des deux transistors est décrite à la figure 2.1b. Dans un premier temps, le transistor auxiliaire assure la magnétisation de l'inductance L . Il est rendu passant pendant une durée $T1$ réglable ce qui permet d'imposer l'intensité maximale souhaitée dans l'inductance et par conséquent de contrôler le niveau d'énergie que devra dissiper le composant sous test. Le DUT est ensuite rendu passant pendant un court temps $T2 = 20\mu s$ alors que l'IGBT est bloqué après une phase d'empiètement de $10\mu s$ pendant laquelle les deux transistors sont simultanément passants.

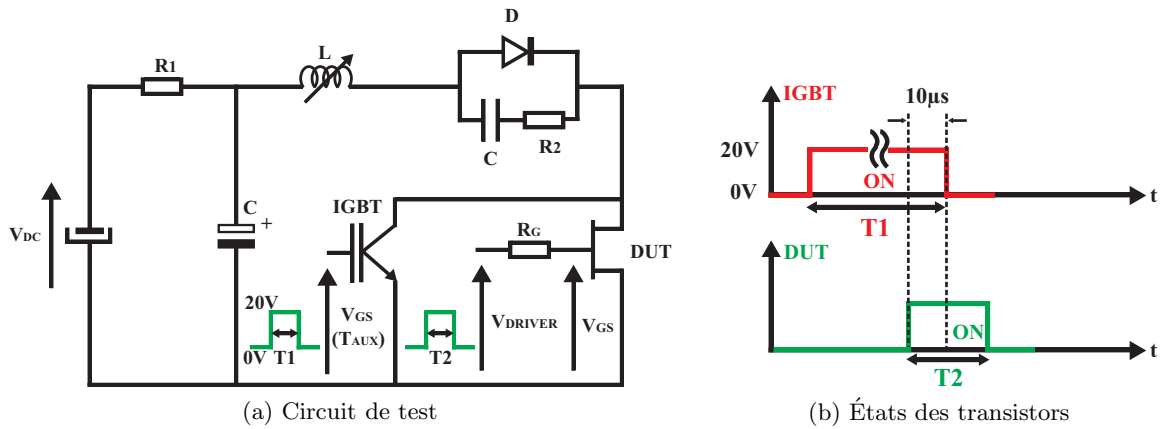


FIGURE 2.1 – Schéma de principe du banc de test expérimental pour l'étude de la robustesse en régime d'avalanche

2.2.2 Régime de court-circuit

Le schéma de principe du banc de test dédié à l'étude de la robustesse en régime de court-circuit est présenté sur la figure 2.2, il est constitué de :

- Une source de tension continue ($0 - 600V$). Pour notre cas d'étude, la tension est fixée à $600V$.
- Un transistor IGBT ($1,2kV - 400A$) mis en série avec le composant sous test et qui assure sa protection, lorsque le courant du court-circuit dépasse un certain seuil (fixé ici à $I_{ref} = 500A$) l'IGBT se bloque afin d'éviter l'explosion du transistor sous test.
- Un circuit de commande ajustable qui permet de régler la tension de commande entre grille et source (V_{DRIVER} allant de $-20V$ à $+20V$) selon la technologie du composant. Cette tension

- doit être ajustée en fonction de la tension de seuil et de la tension nominale d'utilisation.
- Une résistance de grille externe, $R_G = 47\Omega$, qui permet de contrôler les vitesses de variation du courant lors des phases de commutation du composant sous test et de limiter, lors de la phase de blocage, la surtension apparaissant aux bornes du transistor sous test à travers l'inductance parasite de la maille de commutation.
 - Le composant sous test (noté DUT pour Device Under Test) qui est maintenu passant pendant la phase de court-circuit ($V_{GS} = 20V$ pour les MOSFETs et $V_{GS} = 3V$ pour les JFETs normally-off) et se bloque avec une tension négative sur sa grille ($V_{GS} = -5V$ pour les MOSFETs SiC et $V_{GS} = -15V$ pour les JFETs SiC normally-off).
 - Un shunt coaxial de $10m\Omega$ pour mesurer le courant du composant sous test.

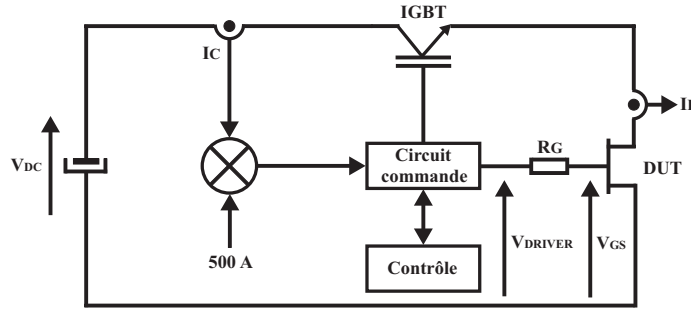


FIGURE 2.2 – Schéma de principe du banc de test expérimental pour l'étude de la robustesse en régime de court-circuit

2.2.3 Calcul de l'énergie critique

L'énergie critique, E_C , est définie comme étant l'énergie minimale qui conduit à la défaillance du composant lors du premier essai en régime extrême de fonctionnement.

Pour une énergie dissipée supérieure à l'énergie critique, le composant est détruit immédiatement (test destructif), alors qu'en dessous de cette énergie il pourra supporter la répétition de nombreux essais contraignants, ce qui nous permettra par la suite de réaliser des essais de vieillissement accéléré et d'évaluer la durée de vie des composants.

Pour cette raison, nous détaillerons dans ce paragraphe la méthode suivie pour calculer l'énergie dissipée pendant un test d'avalanche et/ou de court-circuit.

La durée du test fixe le niveau d'énergie dissipée pendant cette phase. Ainsi, pour pouvoir estimer l'énergie critique, nous appliquons des cycles contraignants successifs en augmentant progressivement la durée du test (à chaque fois d'une microseconde) jusqu'à la défaillance du composant. Dans ce cas, l'énergie critique, E_C , est celle dissipée lors du dernier test qui précède la défaillance.

L'énergie dissipée est déterminée à partir des formes d'ondes ($I_D - V_{DS}$) enregistrées durant le test de robustesse. Mais pour pouvoir par la suite comparer les différentes technologies de transistors en terme de robustesse, nous serons amenés à comparer les densités surfaciques d'énergie exprimées comme suit :

$$E_{Diss} = \frac{1}{S_{active}} \int_0^{\Delta t} V_{DS} \cdot I_D \cdot dt \quad (2.1)$$

où : V_{DS} et I_D sont respectivement la tension drain-source et le courant de drain instantanés, Δt est

la durée de la phase de court-circuit et/ou d'avalanche et S_{active} est la surface active du composant.

Trois cas de figure sont distingués pour le calcul de l'énergie dissipée :

- Si le composant est détruit pendant le test de robustesse, l'énergie dissipée, E_{Diss} , est calculée à partir de l'instant de la mise en conduction du composant jusqu'à l'instant de la défaillance. Pour le cas de court-circuit, la figure 2.3a montre la défaillance d'un transistor sous forme d'une croissance rapide du courant de court-circuit et avant l'ordre du blocage de la commande. Pour le cas d'avalanche, l'énergie est déterminée entre l'instant du début de blocage du courant d'avalanche, I_D , jusqu'au moment où ce dernier est minimal, comme illustré à la figure 2.3b.

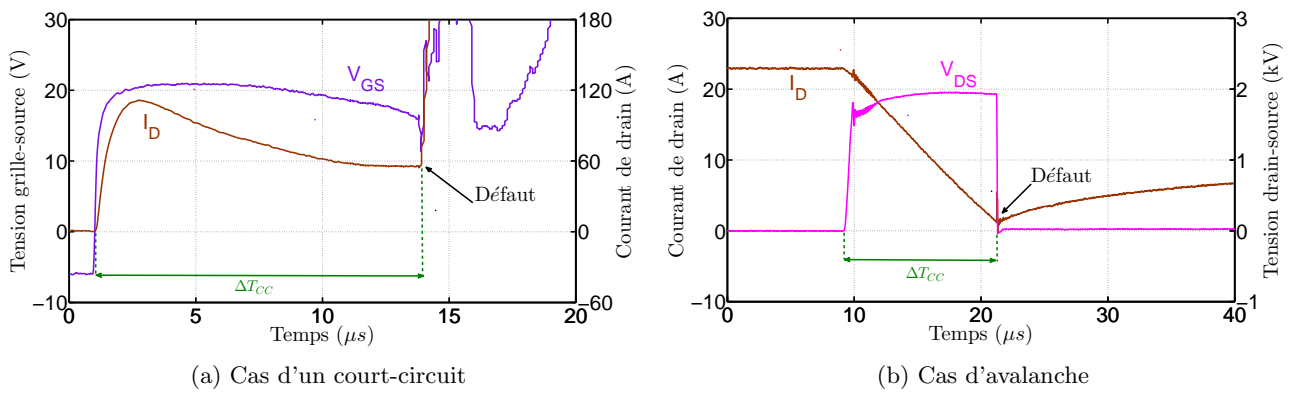


FIGURE 2.3 – Méthode de calcul de l'énergie dissipée dans le cas d'un test destructif

- Si le composant est détruit après la fin du test, le calcul de l'énergie s'effectue de l'instant de la mise en conduction du composant jusqu'à l'apparition du défaut physique. Ce cas de figure est illustré par la figure 2.4 présentant une défaillance retardée du composant pendant un essai de court-circuit.

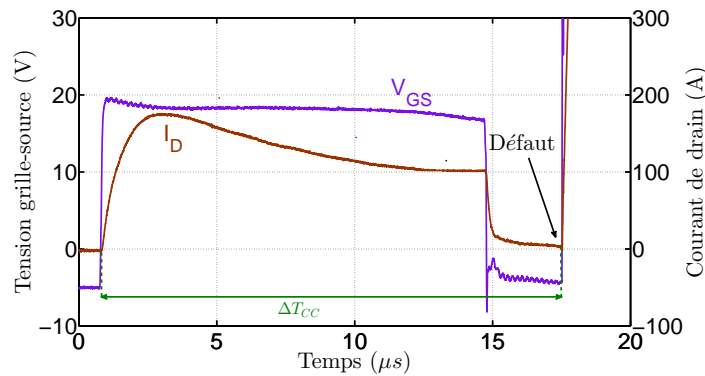


FIGURE 2.4 – Méthode de calcul de l'énergie dissipée dans le cas d'une défaillance retardée

- Si le composant est soumis à des cycles contraignants répétitifs, l'énergie dissipée pendant un cycle de court-circuit est estimée à partir de l'instant d'amorçage jusqu'au blocage total du composant (figure 2.5a), et celle dissipée lors d'un test d'avalanche est calculée dès l'instant du blocage du transistor jusqu'au moment de l'annulation du courant (figure 2.5b).

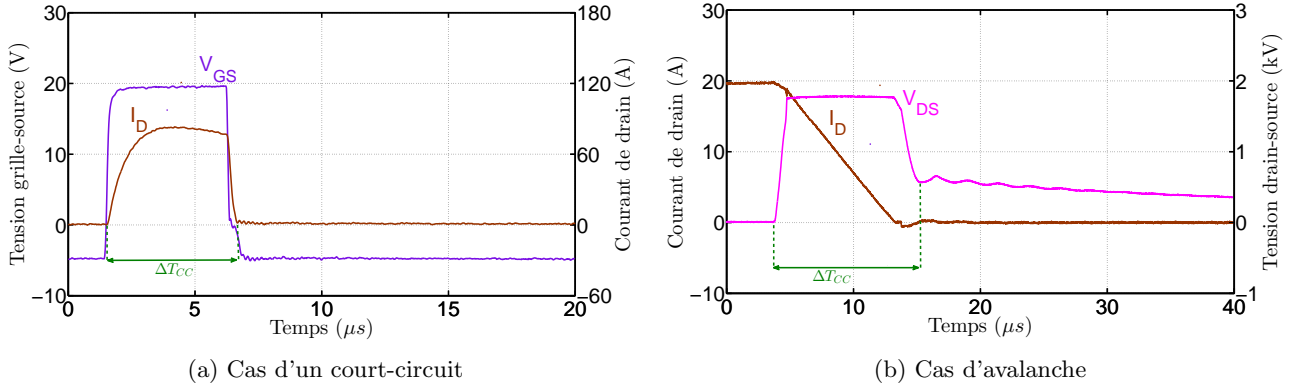


FIGURE 2.5 – Méthode de calcul de l'énergie dissipée dans le cas d'un test répétitif

2.3 Robustesse des transistors MOSFET SiC de Rohm

Ce paragraphe est consacré à l'étude de la robustesse des transistors MOSFET Rohm SCH2090KE lorsqu'ils sont soumis à des régimes contraignants de type avalanche et court-circuit.

2.3.1 Régime d'avalanche

Ils sont effectués à température ambiante, $T = 25^\circ C$, avec une résistance de grille externe, $R_G = 22\Omega$. Le composant sous test est rendu passant pendant une durée fixe, $T_2 = 20\mu s$, seule la durée de conduction de l'IGBT auxiliaire (T_1) est réglable ce qui nous permettra de fixer le niveau de courant ($I_{L(MAX)}$) désiré dans l'inductance.

La figure 2.6 expose les formes d'ondes du courant de drain, I_D , et de la tension, V_{DS} , pendant la phase d'avalanche du MOSFET SCH2090KE lors d'un essai non destructif. A la fin de la phase de conduction du MOSFET, le courant qui s'établit dans le circuit est de l'ordre de $9,5A$. Au début de la phase de blocage du MOSFET, la tension V_{DS} croît brusquement pour atteindre la tension d'avalanche qui est de l'ordre de $1,7kV$. La phase d'avalanche persiste environ $7\mu s$. Pendant cette durée, la tension V_{DS} demeure à $1,7kV$ alors que le courant de drain qui a atteint sa valeur maximale au début de cette phase, décroît linéairement vers zéro avec une vitesse contrôlée par la tension d'avalanche comme illustré par l'équation 2.2.

$$\frac{dI_D}{dt} = \frac{V_{DS(avalanche)} - V_{DC}}{L} \quad (2.2)$$

L'énergie dissipée pour la durée d'avalanche $T_{AV} = 7\mu s$ est estimée à $36,14mJ$, soit une densité surfacique d'énergie de $0,35J/cm^2$. Cette dernière est considérée comme étant l'énergie critique supportée par le composant jusqu'à la défaillance puisque les formes d'ondes représentées à la figure 2.6 ont été enregistrées juste avant la défaillance.

Le défaut apparaît pour un courant de drain maximal de $10A$ pour la même charge inductive comme illustré sur la figure 2.7. La défaillance apparaît au tout début de la phase d'avalanche quand la tension V_{DS} atteint la tension d'avalanche ($1,7kV$) pour chuter brusquement à zéro. Ainsi, le MOSFET se comporte en un court-circuit et l'évolution du courant devient incontrôlable.

L'énergie dissipée par le transistor ne semble pas être la cause de la destruction du transistor vu que la densité d'énergie dissipée à la défaillance est d'environ $E_{Diss} = 0,10J/cm^2$, et bien plus faible

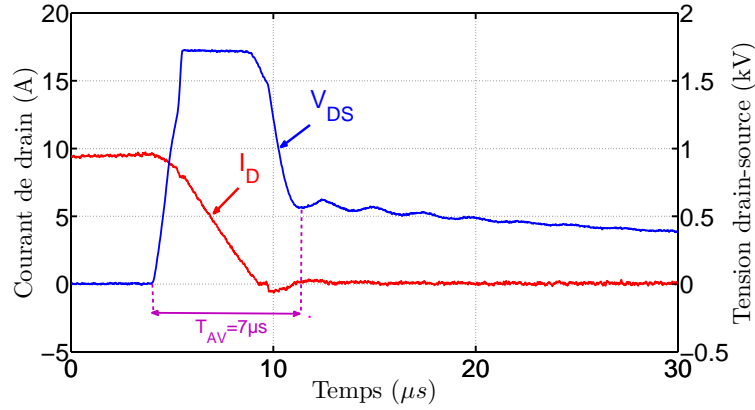


FIGURE 2.6 – Formes d’ondes du courant I_D et de la tension V_{DS} du transistor MOSFET SCH2090KE pendant un essai d’avalanche, $T_{AV} = 7\mu s$, $V_{DS} = 1,7kV$, $T_{amb} = 25^\circ C$

que l’énergie critique estimée à $E_C = 0,35J/cm^2$. La défaillance semble être due au niveau du courant élevé.

Ces résultats montrent que le défaut n’est pas d’origine thermique, mais plus certainement lié à un phénomène de second claquage (mise en conduction du transistor bipolaire parasite).

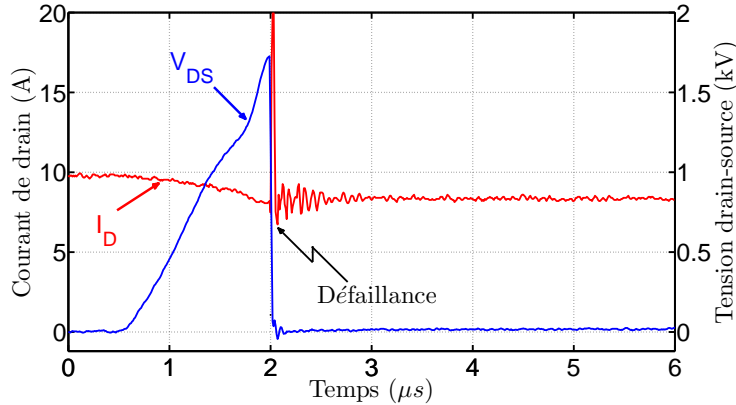


FIGURE 2.7 – Défaillance du MOSFET SCH2090KE, $T_{AV} = 1,5\mu s$, $V_{DS} = 1,7kV$, $T_{amb} = 25^\circ C$

2.3.2 Régime de court-circuit

La figure 2.8 présente les formes d’ondes du courant de drain, I_D , et de la tension de grille, V_{GS} , pendant la phase de court-circuit du transistor MOSFET Rohm SCH2090KE avant la défaillance.

Pendant la phase de court-circuit, le MOSFET est rendu passant avec une tension $V_{GS} = 20V$. Au début de cette phase, le courant de saturation, I_D , augmente pendant les premières $4\mu s$ du court-circuit et présente un pic d’une valeur de $104A$, soit $1000A/cm^2$, puis diminue progressivement jusqu’à la fin de la phase de court-circuit. Le comportement du courant de saturation est lié à l’auto-échauffement de la puce qui ne peut plus être négligé en régime de limitation de courant sous une forte tension d’alimentation.

Jusqu’à une durée de court-circuit, $T_{CC} = 13\mu s$, le MOSFET Rohm assure bien l’ouverture du courant de court-circuit sans défaillance comme indiqué à la figure 2.8, le transistor se bloque avec une tension $V_{GS} = -5V$ et le courant s’annule. L’énergie dissipée pour la durée de court-circuit,

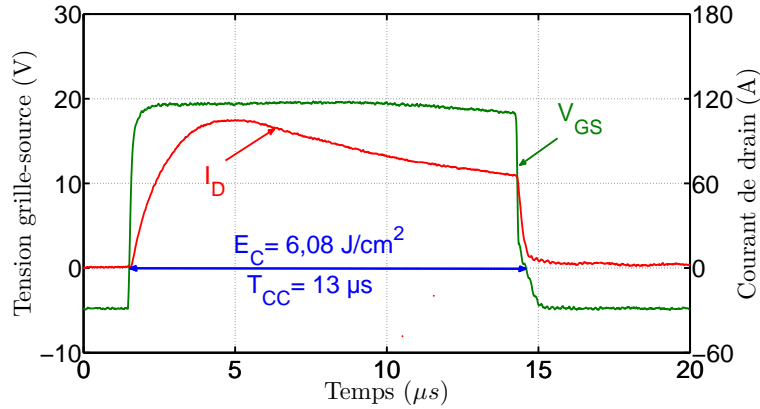


FIGURE 2.8 – Essai de court-circuit avant la défaillance, $T_{CC} = 13\mu s$, $V_{DS} = 600V$, $T_{amb} = 25^\circ C$

$T_{CC} = 13\mu s$, est définie comme étant l'énergie critique au-delà de laquelle le composant sera détruit. Elle est estimée à $E_C = 6,08 J/cm^2$.

La défaillance apparaît pour une durée de court-circuit, $T_{CC} = 14\mu s$. La figure 2.9 présente les formes d'ondes du courant (I_D) et des tensions (V_{GS} et V_{DS}) à la défaillance. Dans un premier temps, le transistor assure l'ouverture du courant de court-circuit qui s'annule comme il est indiqué à la figure 2.9a. Toutefois, quelques microsecondes après la fin du test, un court-circuit inattendu apparaît entre la grille et la source ($V_{GS} = 0V$), alors qu'aucune défaillance n'est observée entre le drain et la source ($V_{DS} = 600V$) selon la figure 2.9b. D'autre part, le délai entre la fin du court-circuit et l'apparition du défaut peut être dû à la diffusion de la température à l'intérieur du composant ce qui retarde l'échauffement de l'oxyde de grille et sa défaillance [Pietranico et al., 2010].

Au regard de ces résultats, deux conclusions peuvent être formulées :

- La chute de la tension V_{GS} est due à l'apparition d'un courant de fuite entre grille et source. En effet, la fragilité de l'oxyde, déjà abordée dans le chapitre III.1, laisse penser qu'une éventuelle apparition d'un courant tunnel pourrait être responsable d'un courant de fuite permanent qui, à travers la résistance de grille, pourrait expliquer la diminution de V_{GS} .
- La défaillance se produit au niveau de la grille, à l'état ouvert du transistor et sous forme d'un court-circuit physique entre grille et source. Ce mode de défaillance, une fois analysé et clairement identifié, pourrait ouvrir des pistes intéressantes sur l'auto-protection des transistors.

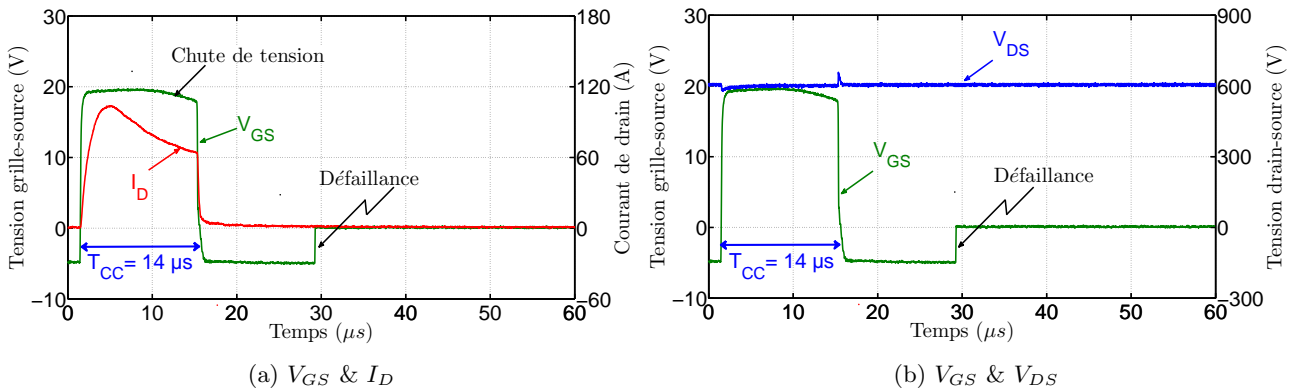


FIGURE 2.9 – Essai de court-circuit lors de la défaillance, $T_{CC} = 14\mu s$, $V_{DS} = 600V$, $T_{amb} = 25^\circ C$

Pour mieux comprendre ce qui se passe au niveau de la grille, nous avons suivi l'évolution de la tension de grille, V_{GS} , durant ces essais et à chaque augmentation de la durée de court-circuit. Les résultats montrent qu'à partir d'une durée de court-circuit égale à $T_{CC} = 10\mu s$, et pendant que le transistor est maintenu à l'état passant, la tension grille-source commence à diminuer comme il est indiqué à la figure 2.10. Cette chute de tension est probablement due à l'apparition d'un courant de fuite dans l'oxyde de grille comme cela a été détaillé dans le chapitre III.1.

Dans le cas des MOSFET SiC, la faible épaisseur de l'oxyde constitue le handicap majeur pour la fiabilité de la grille, car étant fin, l'oxyde est plus fragile et peut donc facilement atteindre ses limites de fiabilité. En outre, pendant la phase de court-circuit, nous venons rajouter une deuxième contrainte, à savoir, le champ électrique dû à l'application de la tension V_{GS} . D'où l'apparition d'un courant tunnel qui affecte l'isolation de l'oxyde et affaiblit la grille [Nguyen et al., 2014].

D'autre part, plus la durée du court-circuit est longue, plus la température de la puce est élevée (dissipation de puissance plus élevée) et ainsi plus important sera le courant de fuite, ce qui explique la chute de V_{GS} qui devient plus significative avec la durée du test.

Pour mieux comprendre l'origine du défaut, nous suivrons lors des essais de vieillissement accéléré, l'évolution du courant de fuite de grille dans le but de trouver une corrélation entre la dégradation de la grille et le dit courant.

Pour conclure sur cette partie, nous précisons qu'un tel mode de défaillance n'a jamais été observé sur les composants de puissance en silicium, dont la défaillance se produit généralement suite à un emballement thermique dû à une croissance brusque du courant de court-circuit [Zhuxian, 2012], [Pietranico et al., 2011]. Cependant, même si ce mode de défaillance montre une éventuelle fragilité des oxydes de grille, l'apparition du défaut à l'état ouvert du transistor (courant du défaut nul) présente un avantage de point de vue de la protection du composant testé et du convertisseur.

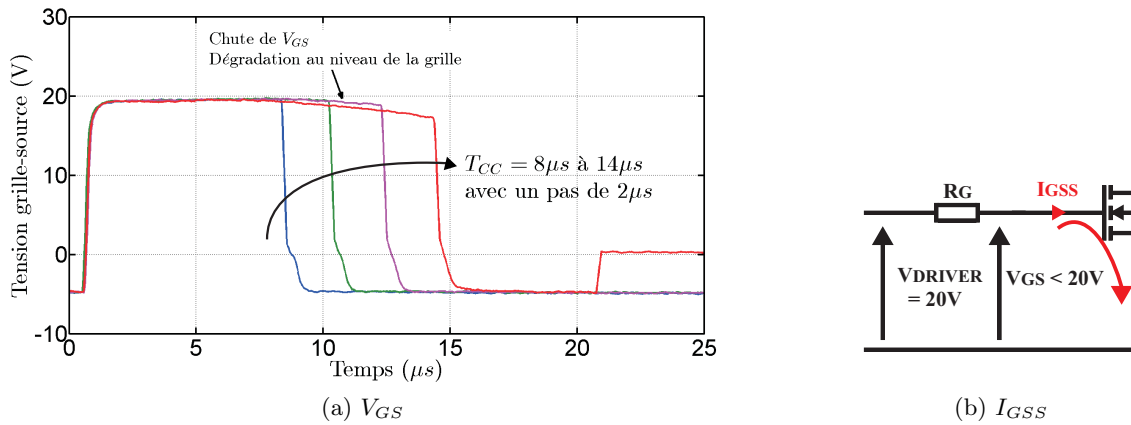


FIGURE 2.10 – Évolution de la tension V_{GS} durant les essais de courts-circuits successifs et mise en évidence d'un courant de fuite de grille pour les essais de court-circuit de longue durée

2.4 Robustesse des transistors MOSFET SiC de Cree

Intéressons nous maintenant aux transistors MOSFET de Cree référencés CMF20120D. La démarche reste la même que celle suivie dans la section 2.3, avec pour objectif l'étude de la robustesse de ces composants en régime d'avalanche puis en régime de court-circuit.

2.4.1 Régime d'avalanche

Le premier test d'avalanche est réalisé à faible niveau de courant ($I_{L-max} = 8A$) correspondant à la mise en évidence du régime d'avalanche et les essais sont répétés en faisant évoluer progressivement le courant de drain maximal de $8A$ à $24A$ sans défaillance comme cela est détaillé sur la figure 2.11.

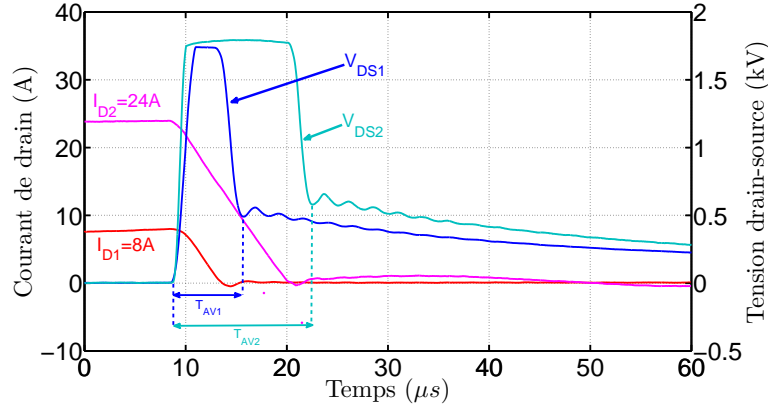


FIGURE 2.11 – Phases d'avalanche pour deux valeurs de courant maximal ($8A$ et $24A$)

L'augmentation progressive du courant entraîne une augmentation de la durée de la phase d'avalanche, T_{AV} , (figure 2.11) et avec elle l'énergie dissipée par le transistor. Le MOSFET CMF20120D arrive à supporter une phase d'avalanche d'une durée $T_{AV} = 13,87\mu s$ sans défaillance (figure 2.12), une durée nettement supérieure à celle supportée par les MOSFET Rohm ($T_{AV} = 6\mu s$). La densité d'énergie dissipée pendant ce test est égale à $E_{Diss} = 2,01J/cm^2$, pour un courant inductif maximal de $24A$ et une tension d'avalanche d'environ $1,8kV$.

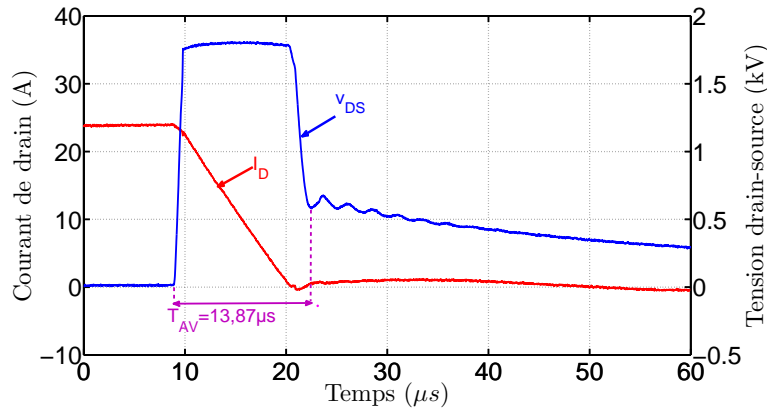


FIGURE 2.12 – Formes d'ondes du courant I_D et de la tension V_{DS} du transistor MOSFET CMF20120D pendant un essai d'avalanche, $T_{AV} = 13,87\mu s$, $V_{DS} = 1,8kV$, $T_{amb} = 25^\circ C$

L'allure de la tension drain-source est assez similaire à celle observée pour les transistors MOSFET Rohm. Néanmoins, pour un courant d'avalanche maximal supérieur à $22A$, la figure 2.13 fait apparaître un courant de fuite qui subsiste dans le transistor après la phase d'avalanche.

Pour des raisons de limitations au niveau du banc, ces essais ont été arrêtés après une durée d'avalanche égale à $13,87\mu s$. Par conséquent, nous n'avons pas pu estimer l'énergie critique des MOSFET Cree ni observer leur mode de défaillance sous des régimes d'avalanche. Néanmoins, vu l'importance du

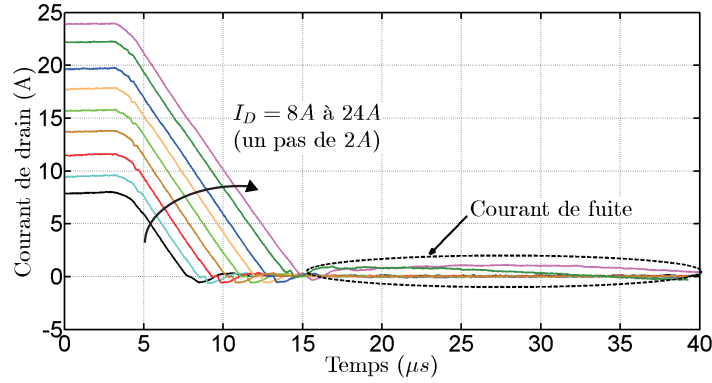


FIGURE 2.13 – Évolution du courant de drain, I_D , durant les essais d’avalanche et mise en évidence d’un courant de fuite de drain pour des courants d’avalanche supérieurs à 22A

courant de fuite entre drain et source, nous supposons que l’énergie critique sera un peu supérieure à celle estimée pour la durée $T_{AV} = 13,87\mu s$ ($E_C \geq 2,01J/cm^2$). Ainsi, l’énergie critique des MOSFET Cree sera au minimum cinq fois supérieure à celle des MOSFET Rohm ($E_C = 0,35J/cm^2$).

2.4.2 Régime de court-circuit

Les transistors MOSFET Cree CMF20120D sont caractérisés sous les mêmes conditions que les MOSFET Rohm. La figure 2.14 présente les formes d’ondes du courant de drain, I_D , et de la tension de grille, V_{GS} , pendant la phase de court-circuit du composant avant la défaillance. Les MOSFET Cree arrivent à supporter une phase de court-circuit égale à $13\mu s$, correspondant à une énergie critique de $1J$, soit $8,35J/cm^2$. Ces résultats sont similaires à ceux des MOSFET Rohm SCH2090KE détaillés dans le paragraphe 2.3.2.

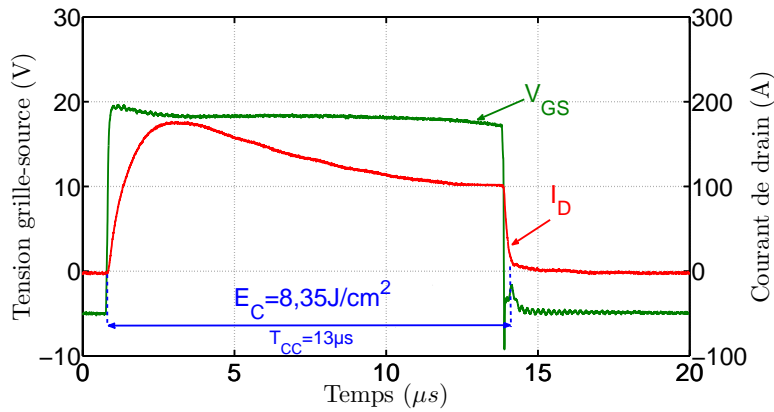


FIGURE 2.14 – Formes d’onde du MOSFET Cree CMF20120 avant la défaillance, $T_{CC} = 13\mu s$, $V_{DS} = 600V$, $T_{amb} = 25^\circ C$

D’autre part, la tension grille-source, suivie durant ces essais, évolue elle aussi d’une manière similaire à celle des MOSFET Rohm présentée dans le paragraphe 2.3.2. Les résultats de la figure 2.15a montrent que la tension V_{GS} commence à diminuer à partir d’une durée de court-circuit $T_{CC} = 10\mu s$, suite à l’apparition d’un courant de fuite au niveau de la grille. Ce courant devient de plus en plus prépondérant avec la durée de la phase de court-circuit, et donc avec la valeur de l’énergie dissipée pendant ces tests.

Le changement de comportement de la tension de grille coïncide avec celui du courant de court-circuit. En effet, nous voyons sur la figure 2.15b l'apparition d'un courant de fuite au niveau de la jonction drain-source qui subsiste après la fin de la phase de court-circuit et s'accroît avec l'augmentation de la durée de test. L'évolution de ce courant semble entraîner la défaillance du composant sous test [Castellazzi et al., 2014].

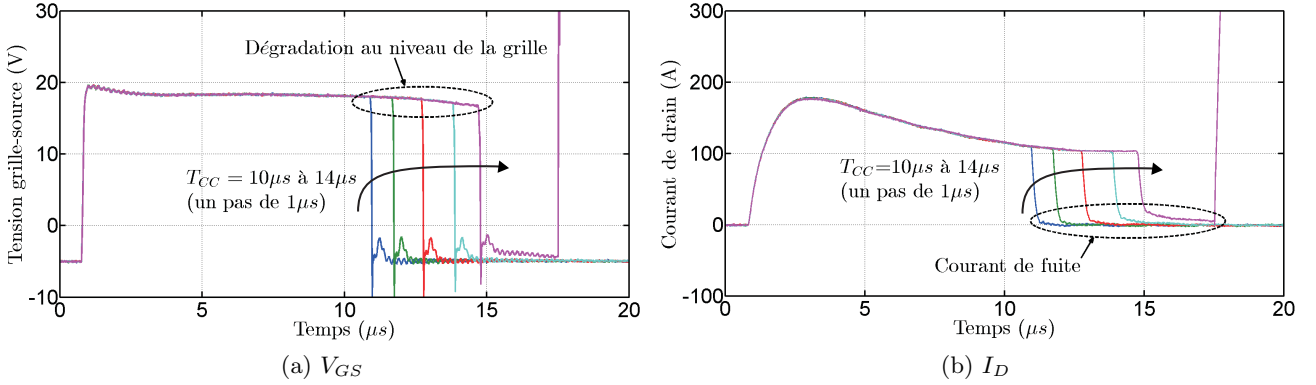


FIGURE 2.15 – Évolution de (a) la tension V_{GS} et (b) du courant de drain durant les essais de courts-circuits successifs et mise en évidence des courants de fuite pour les essais de court-circuit de longue durée

Tel que l'illustre la figure 2.16, la défaillance apparaît pour une durée de test $T_{CC} = 14\mu s$, ce qui correspond à une densité d'énergie dissipée, $E_{Diss} = 8,88 J/cm^2$, légèrement supérieure à l'énergie critique. Dans un premier temps, le transistor assure bien la limitation du courant et réussit l'ouverture du courant de court-circuit $14\mu s$ après le début du test.

Le défaut final surgit après environ $16,5\mu s$ du début de la phase de court-circuit suite à une élévation excessive de la température. Des défaillances similaires ont été rapportées sur des JFET SiC « normally-off » dans [Abbate et al., 2011], où l'auteur justifie l'apparition du défaut par l'augmentation de la température au-delà de la limite de fusion de la métallisation.

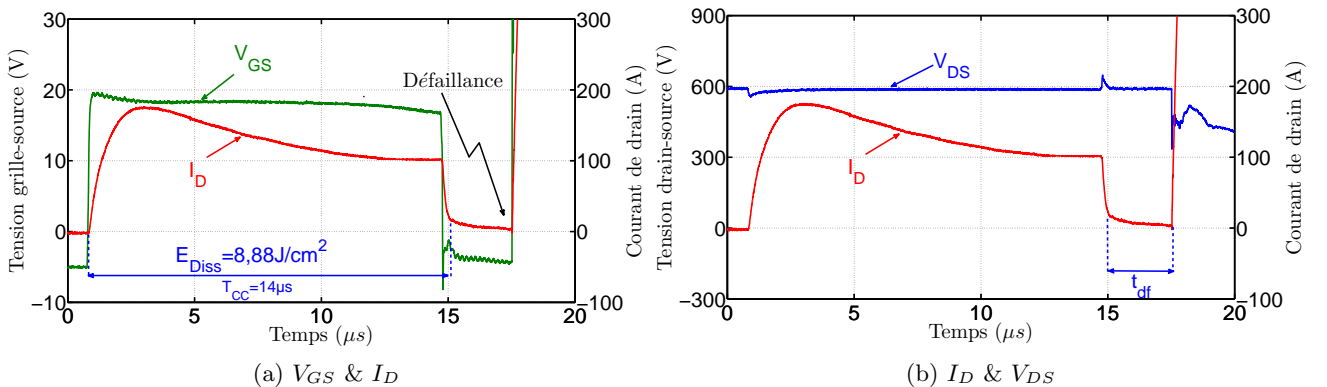


FIGURE 2.16 – Défaillance du MOSFET Cree CMF20120D, $T_{CC} = 14\mu s$, $V_{DS} = 600V$, $T_{amb} = 25^\circ C$

A l'instant du défaut, la commande devient inopérante (figure 2.16a), le courant augmente très rapidement et la tension V_{DS} s'écroule (figure 2.16b) jusqu'à s'annuler. Cette défaillance résulte de la forte élévation de température au sein du cristal et peu traduire une fusion locale au niveau de la puce.

Ce mode de défaillance « retardée » est un cas de figure classique, il a déjà été observé sur des composants en silicium tels que les transistors IGBT [Otsuki et al., 2003], [Laska et al., 2003], [Lefebvre et al., 2005]. Ce phénomène de destruction se produit lorsque la durée de court-circuit est légèrement inférieure à celle qui provoquerait sa destruction directe, mais suffisante tout de même pour engendrer sa destruction. Quant au délais entre la fin de court-circuit et l'apparition du défaut, il peut être corrélé au niveau de l'énergie dissipée pendant une phase de court-circuit et au niveau du courant de fuite [Lefebvre et al., 2005]. En effet, plus la valeur de l'énergie dissipée est élevée, plus le courant de fuite est significatif et ainsi plus court sera le délais t_{df} .

2.5 Robustesse des transistors JFET SiC de Semisouth

La dernière partie de ce chapitre concerne l'évaluation de la robustesse des transistors JFET SJEP120R063 « normally-off » de Semisouth. Ici aussi, nous étudierons le comportement des JFET SiC soumis à des régimes contraignants comme l'avalanche et le court-circuit. Nous essayerons aussi d'estimer l'énergie que ces composants peuvent dissiper sans défaillance et enfin nous analyserons leur mode de défaillance.

2.5.1 Régime d'avalanche

Le protocole décrit antérieurement dans le paragraphe 2.2 est repris pour les transistors JFET SJEP120R063 « normally-off » à qui nous faisons croître progressivement le courant inductif jusqu'à la défaillance. Les JFET SiC testés arrivent à supporter des phases d'avalanche avec un courant maximal compris entre 18A et 22A sans défaillance comme le montre la figure 2.17. Sur la même figure, nous observons un comportement relativement similaire à celui des MOSFET SiC Cree. En effet, pour un courant inductif supérieur à 21A, un courant de fuite apparaît et subsiste après la phase d'avalanche. Ce courant semble être à l'origine de la défaillance tel que présenté à la figure 2.17.

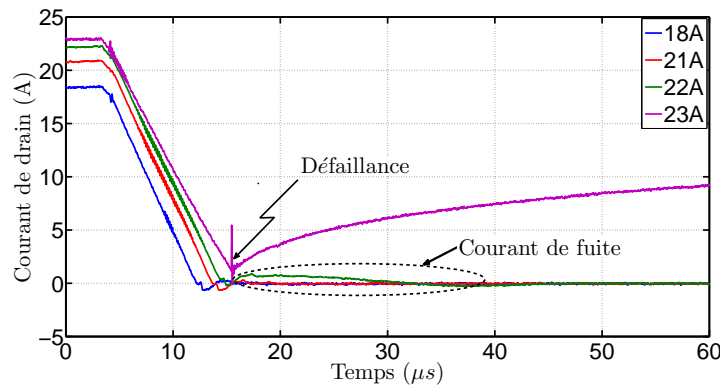


FIGURE 2.17 – Evolution du courant de drain, I_D , durant les essais d'avalanche jusqu'à la défaillance et mise en évidence d'un courant de fuite pour des courants d'avalanche supérieurs à 21A

La figure 2.18 présente les formes d'ondes du courant I_D et de la tension V_{DS} lors de la défaillance. Le défaut a lieu pour une durée de $T_{AV} = 12,2\mu s$, ce qui correspond à une densité d'énergie dissipée égale à $E_{Diss} = 2,66J/cm^2$. Au début de la phase d'avalanche, le courant de drain décroît linéairement vers zéro pendant que la tension d'avalanche est maintenue à 1,9kV. Après 12,2μs de tenue en tension, le courant de drain ré-augmente significativement et la tension d'avalanche s'écroule brusquement. Le transistor se trouve ainsi en court-circuit avec un courant important et incontrôlable.

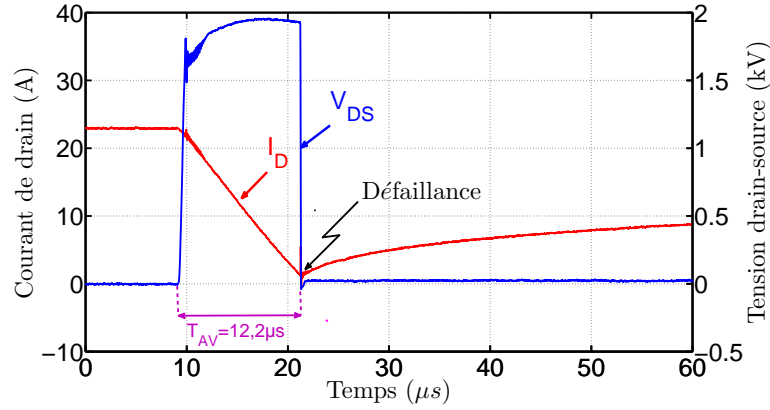


FIGURE 2.18 – Défaillance du JFET SJE120R063, $T_{AV} = 12,2\mu s$, $V_{DS} = 1,9kV$, $T_{amb} = 25^\circ C$

2.5.2 Régime de court-circuit

La figure 2.19 présente les formes d'ondes du courant, I_D , et des tensions, V_{DS} et V_{GS} , pendant la phase de court-circuit et met en évidence la forte robustesse des transistors JFET SiC pouvant supporter des phases de court-circuit égales à $800\mu s$ sans défaillance. Pour ces essais, le JFET est rendu passant avec une tension $V_{GS} = 3V$ et se bloque sous une tension de grille égale à $-15V$.

Au début de la phase de court-circuit, le courant de drain, I_D , présente un pic d'environ $23A$, soit $255,5A/cm^2$, puis décroît rapidement jusqu'à atteindre une valeur très faible ($\approx 2A$), $200\mu s$ après le début du court-circuit. Cette évolution, amplement détaillée dans le chapitre III.1 (paragraphe 1.2), s'explique par le fait que les JFET SiC possèdent une caractéristique avec saturation de courant qui les rend adaptés à ce mode de fonctionnement extrême. A la fin de la phase de court-circuit, le transistor assure bien l'ouverture du courant et se bloque pour une tension de grille égale à $-15V$. La densité d'énergie dissipée au cours de ce test est estimée à $8,9J/cm^2$.

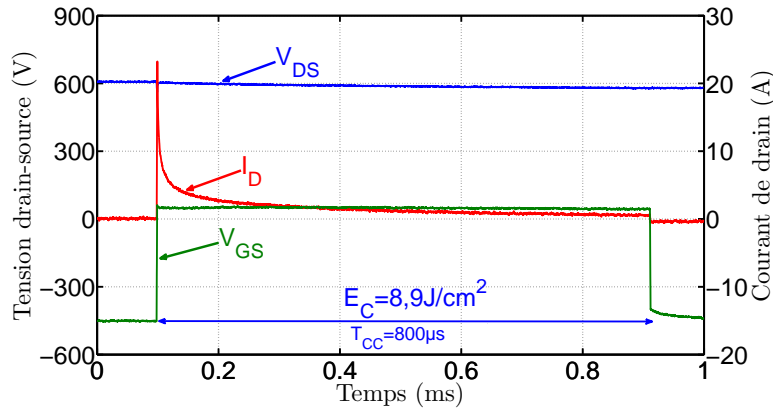


FIGURE 2.19 – Essai de court-circuit des transistors JFET avant la défaillance, $T_{CC} = 800\mu s$, $V_{DS} = 600V$, $T_{amb} = 25^\circ C$

La défaillance apparaît pour une durée de court-circuit égale à $1,4ms$, comme le montre la figure 2.20. Le défaut apparaît au niveau de la tension de grille, V_{GS} , qui s'annule au moment du blocage du transistor au lieu de décroître à $-15V$ (court-circuit entre grille et source). D'autre part, et à l'instant de l'apparition du défaut, le courant I_D s'annule et le composant continu à supporter la tension (circuit ouvert entre drain et source).

Même si la commande devient inopérante, ce mode de défaillance n'a rien de contraignant car, au moment de l'apparition de la défaillance le transistor s'auto-protège en se bloquant. Ainsi, ce mode de défaillance traduit une excellente robustesse des transistors JFET de point de vue limitation de courant.

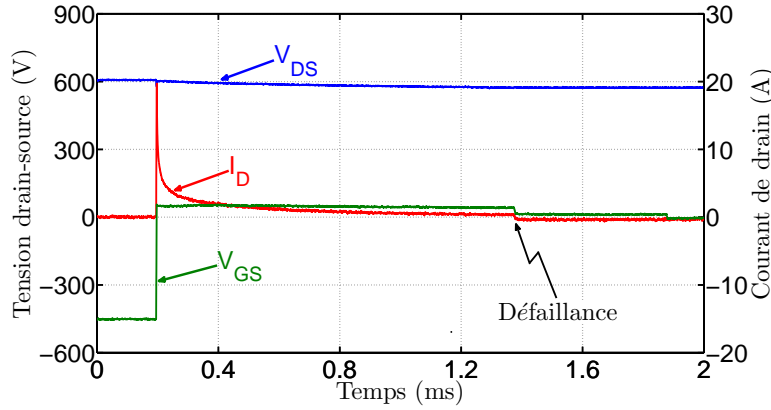


FIGURE 2.20 – Défaillance des transistors JFET de SemiSouth, $T_{CC} = 1,4ms$, $V_{DS} = 600V$, $T_{amb} = 25^\circ C$

2.6 Conclusion

Ce chapitre a traité l'étude de la robustesse des transistors MOSFET (Rohm et Cree) et JFET (Semisouth) en technologie carbure de silicium. Ces composants ont été testés sous des conditions extrêmes de fonctionnement, en particulier sous des régimes d'avalanche et de court-circuit. Les résultats expérimentaux obtenus nous ont permis d'avoir un aperçu sur la robustesse des transistors étudiés et sur leurs modes de défaillance.

A titre de synthèse, un récapitulatif des principaux résultats est présenté au tableau 2.1. Concernant le fonctionnement en régime d'avalanche, les MOSFET Cree et les JFET Semisouth « normally-off » ont présenté une robustesse satisfaisante durant les tests. Ils sont arrivés à supporter un tel régime contraignant durant environ $12\mu s$ sans défaillance, ce qui correspond à des niveaux élevés d'énergie dissipée dépassant les $2J/cm^2$, soit une densité d'énergie au moins cinq fois plus élevée que celle des MOSFET Rohm. En effet, ces derniers n'arrivaient pas à tenir la phase d'avalanche au-delà d'environ $6\mu s$, et par conséquent ils ont été classés comme étant les moins robustes des trois structures étudiées pour ce type de fonctionnement.

En ce qui concerne le fonctionnement en régime de court-circuit, les trois types d'interrupteurs de puissance (MOSFET et JFET) ont montré une bonne robustesse durant ce régime sévère, même si les JFET « normally-off » de Semisouth ont devancé les MOSFET SiC en terme de tenue en court-circuit. En effet, les JFET étaient en mesure de supporter des phases de court-circuit pendant plus que $1ms$ (et sous une tension $V_{DS} = 600V$), soit pour une durée cent fois plus longue que celle supportée par les MOSFET SiC.

En plus des limitations de ces composants, les essais spécifiques en mode de court-circuit nous ont aussi permis d'étudier leur modes de défaillance représentatifs d'une part de la forte robustesse des JFET SiC et d'autre part de la relative fragilité des MOSFET SiC. Pour le JFET SiC, les résultats ont

illustré un excellent comportement en mode de limitation de courant, notamment lors de la défaillance, quand le transistor se bloque évitant ainsi sa destruction totale.

Cependant, cela n'était pas le cas des deux types de MOSFET qui ont révélé une faiblesse au niveau de leur grille. Effectivement, une réduction de la tension V_{GS} a été observée pendant les tests de robustesse traduisant l'apparition d'un courant de fuite (courant tunnel) qui pourrait être responsable de la dégradation de la grille et de la défaillance du composant.

Nous distinguons deux modes de défaillance différents :

- Le premier est sous forme d'une brusque et rapide augmentation de courant de saturation. Ce défaut a été observé sur les MOSFET Cree, il a déjà été observé sur des composants en silicium et a été largement étudié dans la littérature.
- Le deuxième est sous forme d'un court-circuit physique entre grille et source. Ce défaut a été observé sur les MOSFET Rohm. Il s'est produit à l'état ouvert du transistor sous test, quelques microsecondes après la phase de court-circuit et a maintenu le transistor à l'état ouvert après sa défaillance ($V_{DS} = 600V$ et $I_D = 0A$). Un tel comportement n'a jamais été observé sur des composants en silicium, il montre une éventuelle fragilité des oxydes de grille des MOSFET SiC et doit être analysé plus en détail afin d'évaluer précisément la robustesse de ces transistors SiC et de mieux connaître leurs mécanismes de défaillance.

Pour cette raison, un intérêt tout particulier sera par la suite porté sur la robustesse des transistors MOSFET SiC de Rohm. Dans le chapitre suivant, nous allons chercher à évaluer la tenue de ces composants au vieillissement accéléré en régime de courts-circuits répétitifs. Nous entendons aussi mener des investigations sur les éventuelles dégradations susceptibles d'apparaître pendant un tel fonctionnement et sur les mécanismes de défaillance responsables du court-circuit physique observé entre la grille et la source.

Fabricant	Composant	Référence	Durée du test	Énergie critique
Régime d'avalanche				
Rohm	MOSFET SiC	SCH2090KE	$6\mu s$	$0,35J/cm^2$
Cree	MOSFET SiC	CMF20120D	$13,87\mu s$	$\simeq 2,01J/cm^2$
Semisouth	JFET SiC	SJEP120R063	$12,2\mu s$	$\simeq 2,66J/cm^2$
Régime de court-circuit				
Rohm	MOSFET SiC	SCH2090KE	$13\mu s$	$6,08J/cm^2$
Cree	MOSFET SiC	CMF20120D	$13\mu s$	$8,35J/cm^2$
Semisouth	JFET SiC	SJEP120R063	$1,4ms$	$8,9J/cm^2$

TABLE 2.1 – Récapitulatif des résultats de robustesse en régime d'avalanche et en régime de court-circuit ($V_{DS} = 600V$, $T_{amb} = 25^\circ C$)

Vieillissement accéléré des transistors MOSFET SiC en régime de courts-circuits répétitifs

3.1 Introduction

Dans le chapitre précédent, nous nous sommes attachés à étudier la robustesse de quelques interrupteurs de puissance (des transistors MOSFET et JFET) en technologie SiC, soumis à des régimes extrêmes de fonctionnement tels que des régimes d'avalanche et des régimes de court-circuit. Cette première démarche nous a permis d'évaluer les énergies dissipées par ces interrupteurs de puissance pendant les essais, d'estimer leurs énergies critiques amenant à leur défaillance et de mettre en évidence différents modes de défaillance. Désormais, nous allons évaluer la tenue de ces composants au vieillissement accéléré, c'est à dire aux régimes extrêmes de fonctionnement répétitifs, et cela afin de vérifier la robustesse des transistors à ce type de contraintes et mettre en évidence des éventuels phénomènes de vieillissement susceptibles d'apparaître au cours de ces cycles contraignants.

Dans le cadre de ces travaux de thèse, nous nous intéresserons à un seul mode de fonctionnement extrême, le régime de courts-circuits répétitifs, et nous nous limiterons à l'étude du vieillissement accéléré des transistors MOSFET SiC d'un seul fabricant, les MOSFET SiC de Rohm référencés SCH2090KE.

De tels essais doivent être réalisés sous les mêmes conditions et nécessitent un suivi régulier de certains paramètres de stress électrique susceptibles d'évoluer au cours du vieillissement. Ainsi, dans un premier temps nous détaillerons la stratégie de vieillissement que nous suivrons par la suite pour réaliser ces tests et nous décrirons également les différentes maquettes expérimentales réalisées pour les mesures des paramètres électriques suivis lors du vieillissement.

Dans un deuxième temps, nous présenterons les résultats expérimentaux obtenus à partir des caractérisations électriques régulières et nous analyserons l'évolution des différents indicateurs de vieillissement qui pourront justifier des éventuels modes de dégradation ainsi que des éventuels mécanismes de défaillance.

Enfin, nous présenterons une tentative d'analyse microscopique de la défaillance des transistors MOSFET Rohm suite aux essais de robustesse en régime de court-circuit. Ces observations auront pour objectif d'étudier les mécanismes de défaillance responsables du court-circuit observé entre la grille et la source.

3.2 Stratégie de vieillissement

Afin de garantir la régularité des mesures électriques durant les tests répétitifs, un protocole expérimental doit être défini. Pour cela, nous sommes amenés à définir les conditions de test, l'ensemble des caractérisations électriques à effectuer et les critères d'arrêt des tests. Nous précisons que

ce protocole est commun à tous les essais de court-circuit répétitifs effectués et quel que soit le type de transistor utilisé.

3.2.1 Conditions de test

Le banc de test utilisé pour ce type d'essai est le même que celui présenté à la figure 2.2.

Les conditions des cycles répétitifs sont les suivantes :

- Les tests sont effectués à température ambiante, sous une tension d'alimentation fixe, $E = 600V$, et avec une résistance de grille externe, $R_G = 47\Omega$.
- La durée des courts-circuits est également fixée à $T_{CC} = 5\mu s$ ($T_{CC} < T_{Critique}$) correspondant à une énergie dissipée ($E_{Diss} = 4,03J/cm^2$) inférieure à l'énergie critique ($E_C = 6,078J/cm^2$). La durée de test est limitée à $T_{CC} = 5\mu s$, bien avant l'apparition de la chute de V_{GS} (figure 3.1) observée lors des essais de robustesse (chapitre III.2, paragraphe 2.3.2).
Pour rappel, en dessous de l'énergie critique, les composants sont à même de supporter la répétition de plusieurs cycles de court-circuit répétitifs (plus de 20,000 courts-circuits pour le cas des MOSFET SiC) sans défaillance.
- La fréquence de répétition des cycles est fixée à $0,3Hz$, soit un court-circuit toute les trois secondes. Cette période a été choisie afin d'assurer une température des puces voisine à celle de semelle avant chaque cycle d'injection de puissance, évitant ainsi tout échauffement moyen de la puce [Detzel et al., 2004].

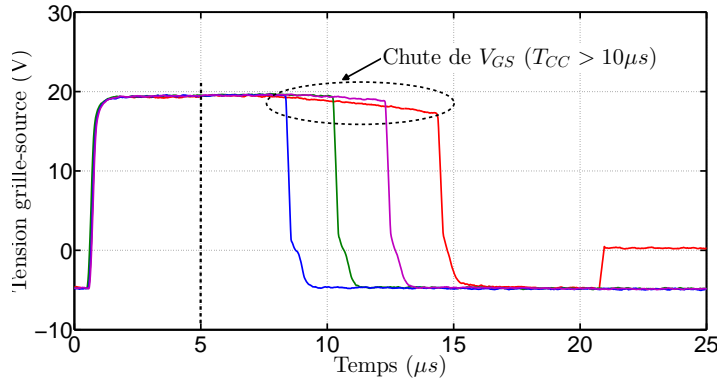


FIGURE 3.1 – Choix de la durée des cycles répétitifs

3.2.2 Caractérisations électriques et description des moyens de mesure

Dans le but de trouver des indicateurs de vieillissement pertinents, nous relevons les caractéristiques électriques du composant susceptibles de varier au cours du vieillissement. L'évolution de ces mesures donnera par la suite une image des dégradations apparues dans la structure du composant durant la répétition des cycles contraignants. Pour cette raison, un suivi régulier, soit environ tous les 2000 courts-circuits, est réalisé afin d'analyser l'évolution de certains paramètres représentatifs, à priori, de l'intégrité de la puce, à savoir : le courant de fuite de grille, I_{GSS} , le courant de fuite de drain, I_{DSS} , la tension de seuil, V_{TH} , la résistance à l'état passant, $R_{DS(ON)}$, la tension de grille, V_{GS} , durant les essais et le courant de court-circuit, I_D .

a. Caractérisation du courant de fuite de grille

Les mesures à faible courant sont réalisées à l'aide d'un SMU (Source-Mesure-Unit) Keithley 6430. Ce dernier intègre à la fois une source de tension contrôlable et un femto ampèremètre (figure 3.2a). Il est principalement utilisé pour mesurer de très faibles courants de l'ordre de $10fA$ à $105,5mA$.

La figure 3.2 explique le principe de caractérisation du courant de fuite de grille, I_{GSS} . La grille est polarisée avec une tension $V_{GS} = 15V$ et les électrodes de drain et de source sont ici court-circuitées.

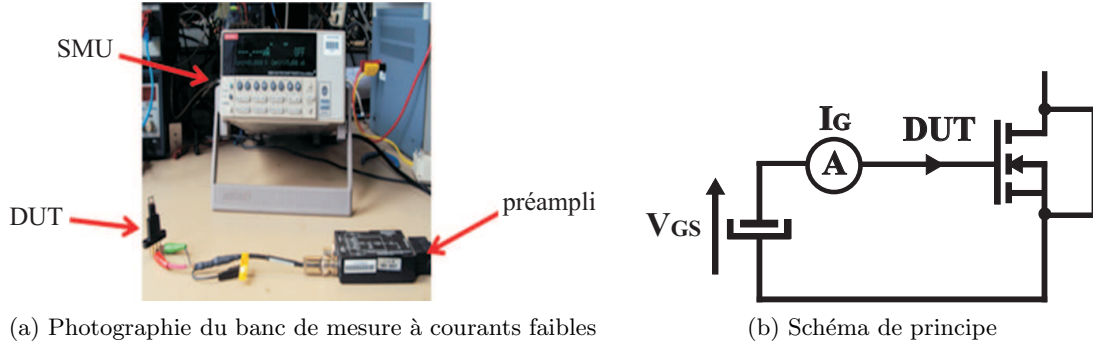


FIGURE 3.2 – Photographie et schéma de principe de la mesure du courant de fuite de grille I_{GSS}

b. Caractérisation du courant de fuite de drain

Le courant de fuite de drain, I_{DSS} , est mesuré à l'aide du traceur de caractéristiques AGILENT B1505A. Le schéma de principe pour la mesure de ce courant est présenté sur la figure 3.3. Le transistor est alimenté en tension continue, $V_{DC} = 1200V$, et les électrodes de grille et de source sont court-circuitées.

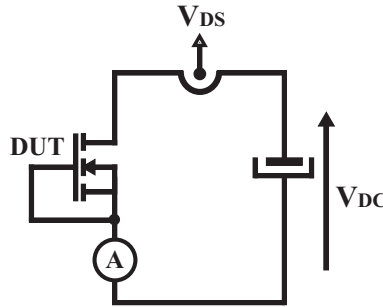


FIGURE 3.3 – Schéma de principe de la mesure du courant de fuite de drain I_{DSS}

c. Caractérisation de la résistance à l'état passant

La résistance à l'état passant, $R_{DS(ON)}$, est estimée à partir de la caractéristique directe ($I_D = f(V_{DS})$ à V_{GS} donnée), comme suit :

$$R_{DS(ON)} = \left(\frac{\partial V_{DS}}{\partial I_{DS}} \right)_{I_D \rightarrow 0} \quad (3.1)$$

d. Caractérisation de la tension de seuil

La tension de seuil, V_{TH} , est définie comme étant la tension grille-source à partir de laquelle le composant commence à être passant. Elle est estimée de deux manières différentes : à l'aide du traceur de caractéristiques et du SMU.

Elle est déterminée à partir de la caractéristique de transfert ($I_D = f(V_{GS})$ à $V_{DS} = \text{constante}$) et à très bas niveaux de courant de drain (I_D est limité à 10mA pour ces tests). Pour une meilleure estimation de cette tension, nous considérons la courbe $\sqrt{I_D} = f(V_{GS})$, où la valeur de la tension de seuil est l'intersection de la tangente de la courbe $\sqrt{I_D} = f(V_{GS})$ avec l'axe de V_{GS} , comme l'illustre la figure 3.4b.

Cependant, en raison des limites du traceur de caractéristiques à faibles intensités, cette méthode ne permet pas d'estimer la tension de seuil d'une manière très précise. Pour cette raison, nous optons pour une deuxième méthode en mesurant V_{TH} à l'aide du SMU. Pour ce faire, nous alimentons la grille avec un très faible courant ($I_G = 100\mu\text{A}$) en court-circuitant les électrodes entre grille et drain. La tension de seuil correspond à la tension mesurée entre grille et source. Le schéma de principe de cette mesure est présenté sur la figure 3.4a.

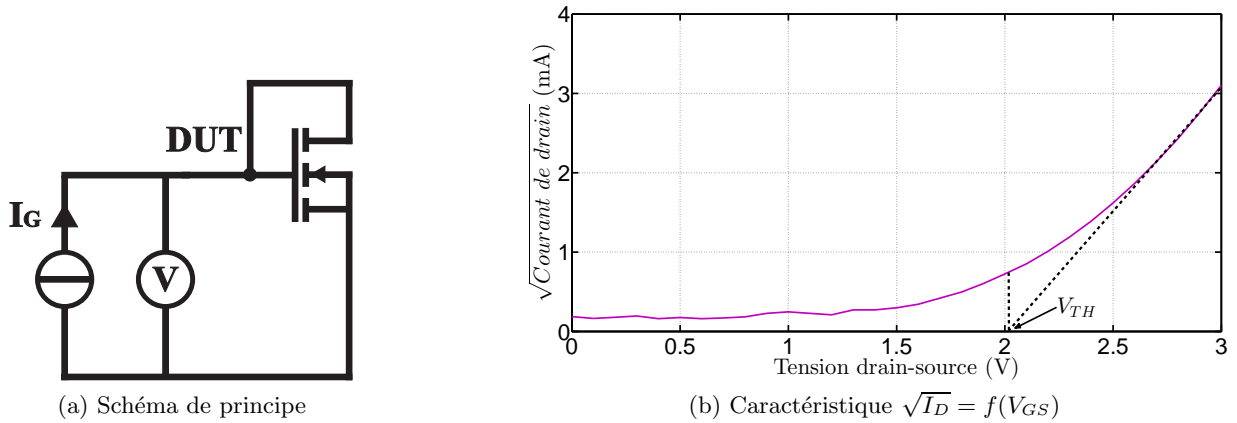


FIGURE 3.4 – Caractérisation de la tension de seuil V_{TH}

3.2.3 Critères d'arrêt des tests

Les critères d'arrêt ou les critères de défaillance déterminent la limite à partir de laquelle les défauts apparus vont s'accroître et conduire soit à une dégradation plus importante soit à la destruction du composant. Pour notre cas d'étude, nous choisissons deux critères d'arrêt des tests : soit la mise en défaut du composant, soit l'augmentation significative des courants de fuite de grille et/ou de drain, car un niveau haut de ces courants de fuite (+100% selon la norme IEC30747-9 [Ouaida et al., 2014]) signifie que le composant n'est plus apte à commuter et sera donc considéré comme défaillant.

3.3 Suivi du vieillissement par court-circuit

Les essais de courts-circuits répétitifs, réalisés sur deux transistors MOSFET SiC de Rohm référencés SCH2090KE (Z3 et Q4), ont été menés au-delà de 20,000 cycles. Ces tests ont été arrêtés avant la défaillance des composants mais après une dégradation significative des différents indicateurs de vieillissement. Les résultats que nous présentons dans cette partie concernent l'évolution des paramètres électriques suivis pendant le vieillissement.

3.3.1 Courant de fuite de grille

Dans le chapitre précédent, paragraphe 2.3.2, nous avons observé une diminution de la tension V_{GS} pendant les essais de robustesse en régime de court-circuit. Cette chute de tension était probablement due à l'apparition d'un courant de fuite de grille pendant la phase de court-circuit et qui semble être responsable de la défaillance du composant. Dans ce contexte, nous suivons l'évolution du courant de fuite, I_{GSS} , afin d'étudier la dégradation de la grille au cours du vieillissement.

La figure 3.5 présente la variation du courant de fuite de grille en statique des deux transistors étudiés. Durant les premiers 10,000 cycles, la valeur du courant reste très faible (quelques pA) et ne présente aucune progression. C'est à partir d'environ 15,000 courts-circuits que nous notons une augmentation significative de I_{GSS} . Pour le MOSFET Q4, le courant de fuite augmente progressivement jusqu'à dépasser les $10nA$ après 25,000 cycles. Pour le MOSFET Z3, son courant de fuite croît progressivement jusqu'à atteindre plus de $8nA$ après 20,000 cycles, puis redevient négligeable pendant environ 10,000 cycles. Au-delà de 32,000 courts-circuits, le courant de fuite du MOSFET Z3 dépasse les $100\mu A$ ce qui entraîne l'arrêt des tests.

Ces résultats montrent clairement une dégradation de l'oxyde de grille après environ 20,000 cycles contraignants. En effet, l'augmentation significative du courant de fuite peut dégrader l'intégrité de l'oxyde (perte partielle d'isolation) engendrant ainsi la dégradation permanente de la grille [Nguyen et al., 2014]. Par conséquent, nous considérons que les MOSFET deviennent inopérants au-delà de 20,000 courts-circuits.

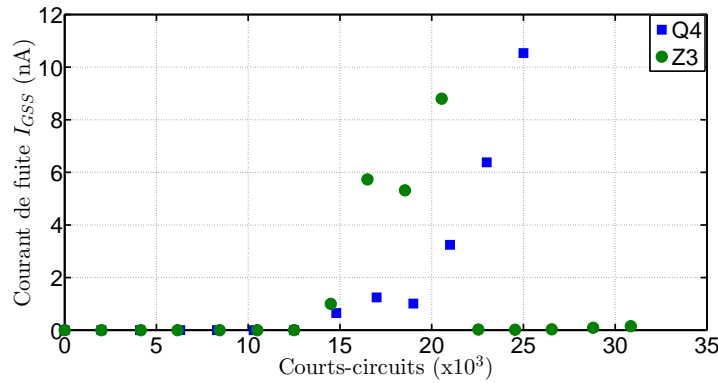


FIGURE 3.5 – Évolution du courant de fuite de grille, I_{GSS} , au cours du vieillissement, $V_{GS} = 15V$, $V_{DS} = 0V$

3.3.2 Courant de fuite de drain

Pour le MOSFET Q4, des résultats similaires à ceux présentés dans la figure 3.5 sont observés pour le courant de fuite de drain, I_{DSS} , comme le montre la figure 3.6 de gauche. En effet, les données enregistrées durant les premiers 10,000 cycles ne révèlent aucune évolution de I_{DSS} dont l'intensité ne dépasse pas $40\mu A$. Par contre, ce courant augmente brutalement d'environ $260\mu A$ après 15,000 cycles et dépasse les $300\mu A$ au-delà de 21,000 courts-circuits, (ce qui n'est pas visible sur la figure 3.6) ce qui entraîne l'arrêt des tests pour ce transistor. Quant au MOSFET Z3, son courant de fuite reste relativement faible durant les essais ($I_{DSS} < 50\mu A$).

En regardant de plus près (figure 3.6 de droite), il apparaît que ce courant, et pour le cas des deux MOSFETs, ne présente aucune évolution durant les premiers 8,000 cycles. Nous notons, en outre, que le courant de fuite du MOSFET Q4 ($I_{DSS} \approx 36\mu A$) est initialement deux fois plus important que celui du MOSFET Z3 ($I_{DSS} \approx 18\mu A$). Ce n'est qu'à partir d'environ 10,000 cycles que nous

observons une légère augmentation des deux courants (points encadrés). D'autre part, le courant de fuite du MOSFET Z3 augmente progressivement jusqu'à atteindre $46\mu A$ (après 25,000 courts-circuits) puis décroît à $25\mu A$. Ces essais ont été poursuivis jusqu'à environ 30,000 cycles.

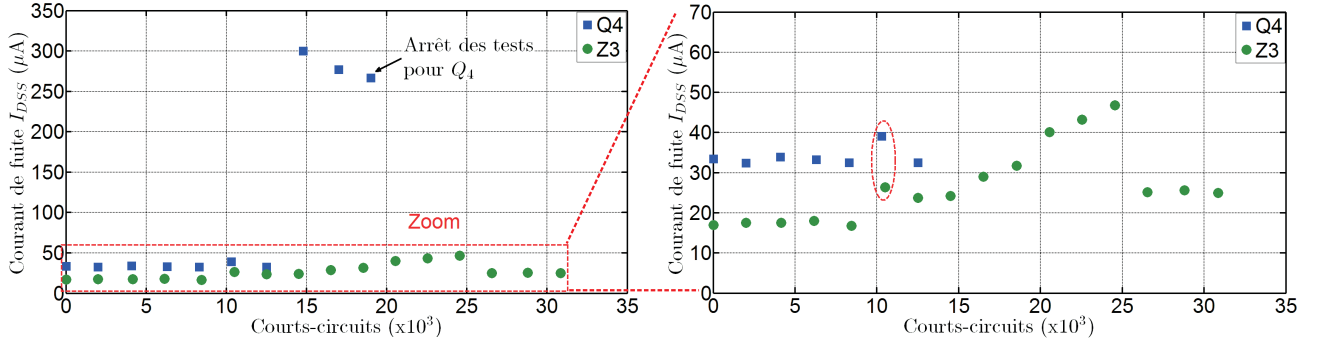


FIGURE 3.6 – Évolution du courant de fuite de drain, I_{DSS} , au cours du vieillissement, $V_{GS} = 0V$, $V_{DS} = 1200V$

L'apparition du courant de fuite peut être corrélée à un changement de comportement au niveau de la caractéristique de grille (dégradation de l'oxyde) et au niveau de la tension de seuil [Castellazzi et al., 2014]. Pour le MOSFET Q4, par exemple, nous voyons une évolution similaire des deux courants de fuites (I_{DSS} et I_{GSS}) à partir de 15,000 courts-circuits, c'est à dire au moment où la dégradation de la grille devient significative. Nous verrons dans le paragraphe qui suit que la première augmentation du courant de fuite de drain (après 10,000 cycles) coïncide avec l'évolution de la tension de seuil.

3.3.3 Tension de seuil

En ce qui concerne la tension de seuil, V_{TH} , aucune variation significative n'est enregistrée au cours des premiers cycles des essais de vieillissement du MOSFET SiC. Une légère diminution est observée après 10,000 courts-circuits (d'environ 0,27V) comme le montre la figure 3.7. Cette chute apparaît de façon synchrone avec le courant de fuite de drain notée dans le paragraphe 3.3.2. Au-delà de 10,000 cycles, seule une diminution significative de la tension de seuil du MOSFET Q4 est observée, juste avant l'arrêt des tests.

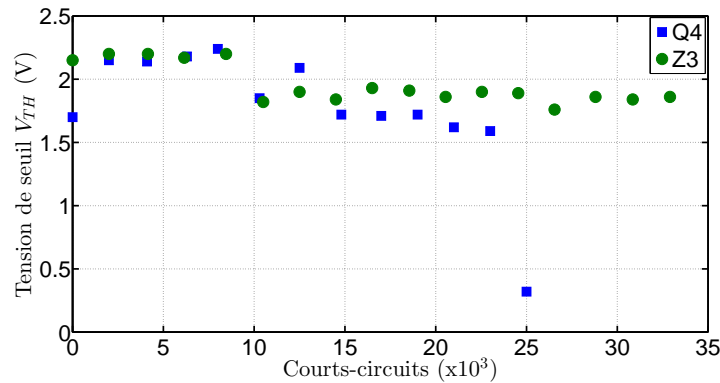


FIGURE 3.7 – Évolution de la tension de seuil, V_{TH} , au cours du vieillissement des MOSFET SiC, mesure réalisée à l'aide du traceur de caractéristiques AGILENT B1505A

Les mesures de la figure 3.7 ont été déterminées à l'aide du traceur comme cela a été expliqué dans le paragraphe 3.2.2. Pour une mesure encore plus fine de la tension de seuil, nous l'avons parallèlement mesurée à l'aide du SMU. La figure 3.8 présente un comparatif de ces deux mesures pour le cas du MOSFET Z3 où nous observons une évolution identique de la tension mais avec un seuil plus faible pour la mesure à l'aide du SMU.

Le comportement de la tension de seuil est dû à un changement au niveau de la caractéristique de l'ensemble grille/oxyde/semi-conducteur suite à l'apparition d'un courant tunnel qui a engendré des pièges dans l'oxyde et à l'interface SiC/SiO_2 , d'où la chute de la tension V_{TH} [Lelis et al., 2008].

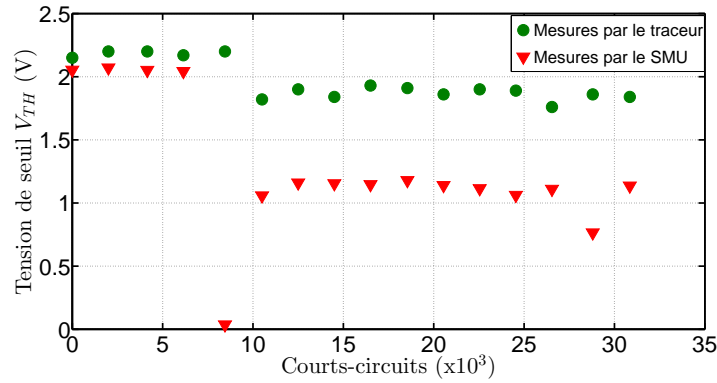


FIGURE 3.8 – Comparatif entre la mesure de la tension de seuil, V_{TH} , à l'aide du traceur et celle à l'aide du SMU, pour le cas du MOSFET Z3

3.3.4 Résistance à l'état passant

La figure 3.9 présente l'évolution de la résistance à l'état passant, $R_{DS(ON)}$, en fonction du nombre de courts-circuits subit par les deux MOSFET, Q4 et Z3. La résistance est normalisée par rapport à sa valeur initiale, calculée avant le début des tests ($\frac{R_{DS(ON)}}{R_0}$).

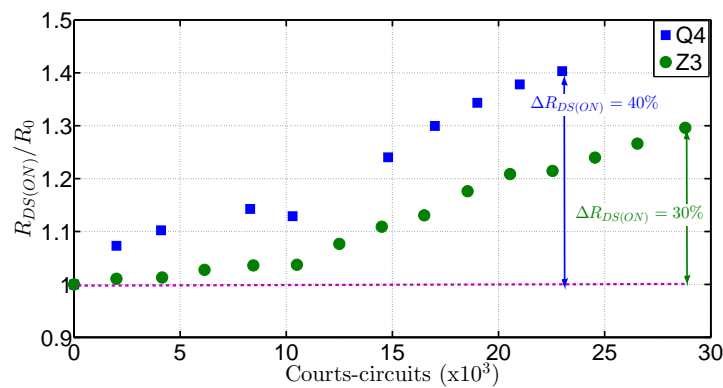


FIGURE 3.9 – Évolution de la résistance à l'état passant $R_{DS(ON)}$ au cours du vieillissement, $V_{GS} = 20V$, $V_{DS} = 1V$

Nous observons une augmentation progressive de la $R_{DS(ON)}$ durant les essais répétitifs. Elle a enregistré une hausse d'environ 40% pour le MOSFET Q4 après 21,000 courts-circuits, et d'environ 30% pour le MOSFET Z3 au-delà de 25,000 cycles.

Cette évolution se traduit par une dégradation significative, soit au niveau des fils de bonding, soit au niveau de la métallisation de source. Effectivement, des résultats similaires ont été observés

sur des composants en silicium où l'augmentation de la $R_{DS(ON)}$ était également accompagnée d'une dégradation importante de la métallisation due à la reconstitution d'aluminium au cours du vieillissement [Testa et al., 2012], [Pietranico et al., 2010], [Martineau et al., 2010].

L'augmentation de la résistance de métallisation se traduit en régime de conduction par une diminution de la tension grille-source appliquée à l'ensemble des cellules, ce qui augmente également la résistance du semi-conducteur.

Néanmoins, pour notre cas d'étude, ce constat a besoin de plus d'investigations afin de corrélérer la forte croissance de la résistance à l'état passant des MOSFET SiC à la reconstruction de l'aluminium ou peut être à un autre mécanisme de défaillance.

3.3.5 Courant de court-circuit

L'évolution du courant de court-circuit est intrinsèquement corrélée à celle de la résistance à l'état passant [Berkani et al., 2013]. Par conséquent, l'augmentation de la dite résistance, observée dans le paragraphe 3.3.4, signifie une diminution au niveau du courant de drain. En effet, la figure 3.10 qui présente les formes d'ondes de la tension, V_{DS} , et du courant, I_{DS} , pendant la phase de court-circuit, illustre clairement une décroissance significative de ce courant, d'environ 60A après 21,000 cycles pour le MOSFET Q4 (figure 3.10a) et 80A au-delà de 29,000 courts-circuits pour le MOSFET Z3 (figure 3.10b).

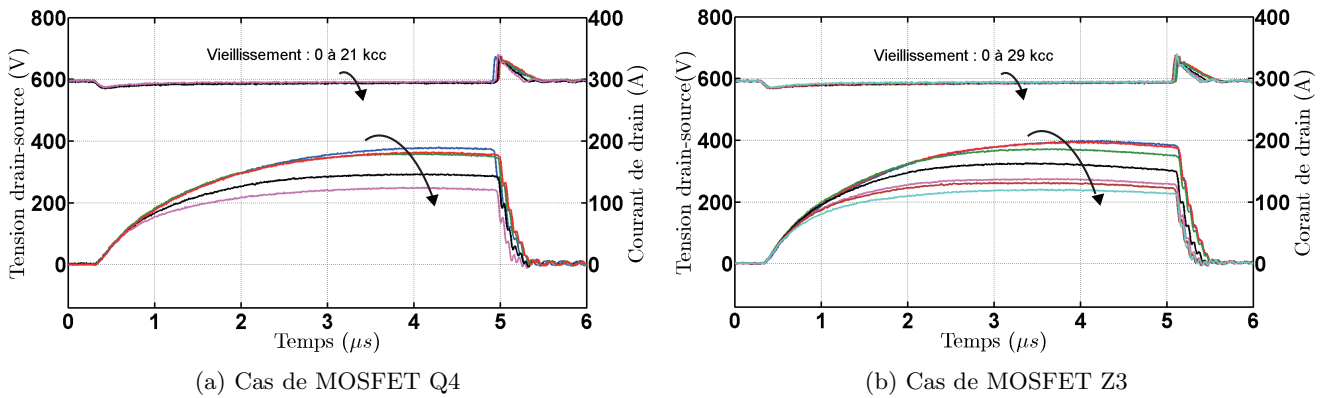


FIGURE 3.10 – Évolution de la tension drain-source, V_{DS} , et du courant de drain, I_D , au cours du vieillissement

Des constatations identiques ont pu être effectuées sur des MOSFET SiC de Cree soumis aussi à des régimes de court-circuit répétitifs dans [Castellazzi et al., 2014]. L'auteur met en évidence une augmentation locale de la température au voisinage des fils de bonding de source, causée par la distribution non homogène du courant. Ce phénomène s'accroît avec le vieillissement ce qui explique la réduction du courant de court-circuit et avec lui l'augmentation de la résistance à l'état passant.

3.3.6 Tension de grille

D'autres caractérisations ont été réalisées afin d'étudier le comportement de la grille, notamment l'évolution de la tension grille-source présentée à la figure 3.11, durant le vieillissement. Une augmentation de cette tension est enregistrée durant les tests répétitifs et qui devient importante au-delà de 15,000 cycles pour le MOSFET Q4 (figure 3.11a) ainsi que pour le MOSFET Z3 (figure 3.11b).

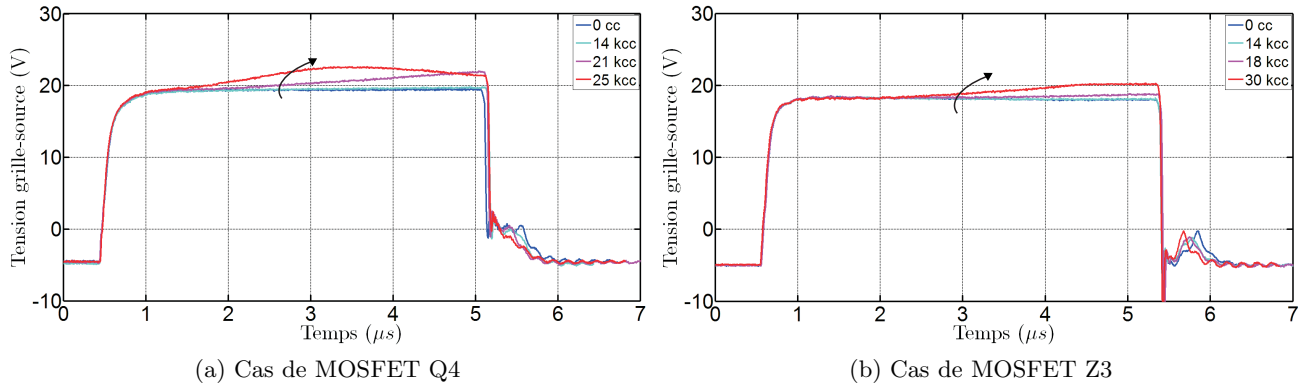


FIGURE 3.11 – Évolution de la tension de grille, V_{GS} , au cours du vieillissement

Nous notons que ces observations sont contradictoires à ce qui a été observé sur la tension de seuil (paragraphe 3.3.3) et sur la tension V_{GS} lors des tests de robustesse (chapitre III.2, paragraphe 2.3.2), qui ont enregistré une diminution suite à une dégradation de grille.

Toutefois, l'évolution de V_{GS} au cours du vieillissement traduit elle aussi une dégradation au niveau de l'oxyde de grille, mais cette fois elle concerne plus particulièrement une dégradation entre les électrodes de drain et de grille. Cette dégradation coïncide avec l'augmentation significative du courant de fuite de drain (notamment de celui du MOSFET Q4) qui se traduit via la résistance du circuit de commande de grille par une augmentation de la tension V_{GS} .

Cette augmentation reste néanmoins limitée par l'effet des fuites au niveau de la jonction grille-source ce qui explique la diminution de la tension un peu avant la fin du test. En revanche, cette hypothèse nécessitera des investigations plus poussées telles qu'un suivi du courant de fuite entre grille et drain notamment à haute température.

3.4 Analyse microscopique des défaillances

Les tests de robustesse ainsi que les tests de vieillissement en régime de court-circuit réalisés sur les transistors MOSFET Rohm ont montré une fragilité au niveau de l'oxyde de grille.

L'analyse macroscopique des phénomènes de dégradation durant ces tests a mis en évidence l'apparition d'un fort courant de fuite de grille, responsable de la dégradation de la grille et par la suite de la défaillance du composant sous forme d'un court-circuit physique entre grille et source.

Par conséquent, nous supposons légitimement que le défaut est localisé dans l'oxyde de grille et nous essayerons de confirmer cette hypothèse avec une analyse microscopique.

L'analyse microscopique des mécanismes de dégradation a été réalisée au laboratoire GPM de l'Université de Rouen. Tout d'abord, les MOSFET en boîtier TO247 défaillants suite aux essais destructifs en court-circuit ont été désencapsulés suivant le protocole d'ablation laser puis d'attaque chimique à l'acide sulfurique.

Ensuite, nous avons réalisé une microscopie électronique à balayage (MEB) afin d'observer des éventuels défauts de surface.

Une fois le défaut était localisé et pour une analyse plus fine, nous avons effectué une microanalyse par Énergie Dispersive de rayon X (EDX) sur un échantillon dans l'objectif d'identifier sa composition qualitative et/ou quantitative.

Le tableau 3.1 affiche l'ensemble des composants que nous allons analyser dans ce paragraphe ainsi que la nature de la défaillance :

Composant	Référence	Type de défaillance
MOSFET #1	SCH2090KE	Défaillant suite à un test de robustesse en court-circuit, $T_{CC} = 13\mu s$
MOSFET #2	SCH2090KE	Défaillant suite à un test de robustesse en court-circuit, $T_{CC} = 15\mu s$

TABLE 3.1 – Transistors MOSFET Rohm analysés

La figure 3.12a présente une vue de dessus de la puce MOSFET Rohm. Nous distinguons les pads de la source et de la grille ainsi que trois fils de bonding, deux fils de grand diamètre connectés à la métallisation de source et un fil de petit diamètre correspondant au contact de grille. Sur la figure 3.12b, nous observons la structure élémentaire (les cellules élémentaires) en forme de carrés et parallèlement la passivation entre la métallisation de source et celle de grille.

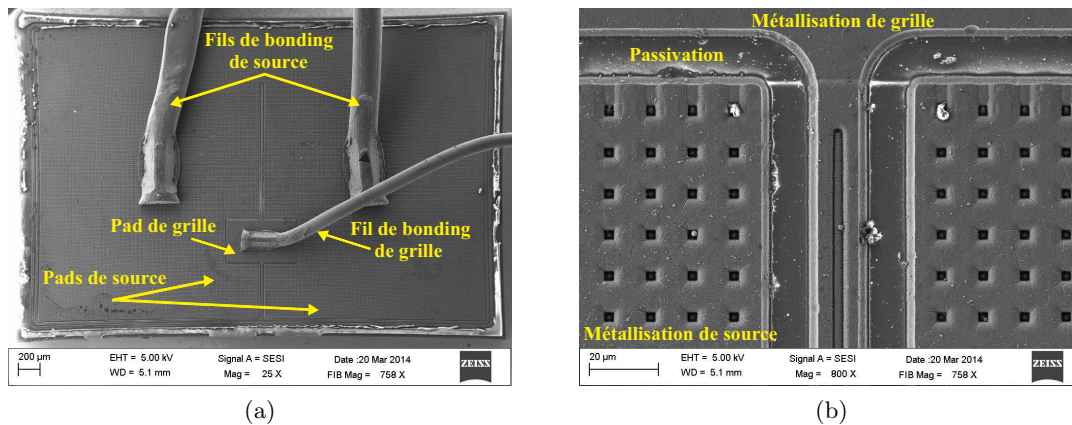


FIGURE 3.12 – (a) Vue de dessus et (b) structure élémentaire de la puce du MOSFET Rohm SCH2090KE

3.4.1 MOSFET Rohm #1

Pour le premier MOSFET analysé, une inspection en surface nous permet de voir une zone de fusion au niveau de la passivation entre la source et la métallisation de grille. Cette zone est encerclée sur la figure 3.13a. En effet, un débordement de la métallisation de source, clairement visible sur la figure 3.13b, semble être l'origine du court-circuit physique entre la source et la grille observé lors de la défaillance du composant (chapitre III.2, paragraphe 2.3.2).

De plus, à droite de cette zone de fusion, nous observons d'une part des craquelures au niveau de la métallisation de source et d'autre part une structure élémentaire non homogène en forme de carrés et de cercles (figure 3.13c).

Ces observations laissent penser qu'une augmentation locale importante de la température s'est produite dans cette zone lors de la défaillance et qui est responsable de ces déformations. En effet, la contrainte thermique durant le test de robustesse associée aux propriétés mécaniques des différents éléments du composants (semi-conducteur, Aluminium) sont responsables des contraintes thermomécaniques, qui, à leurs tours, entraînent une déformation plastique de la couche d'aluminium [Ciappa, 2002].

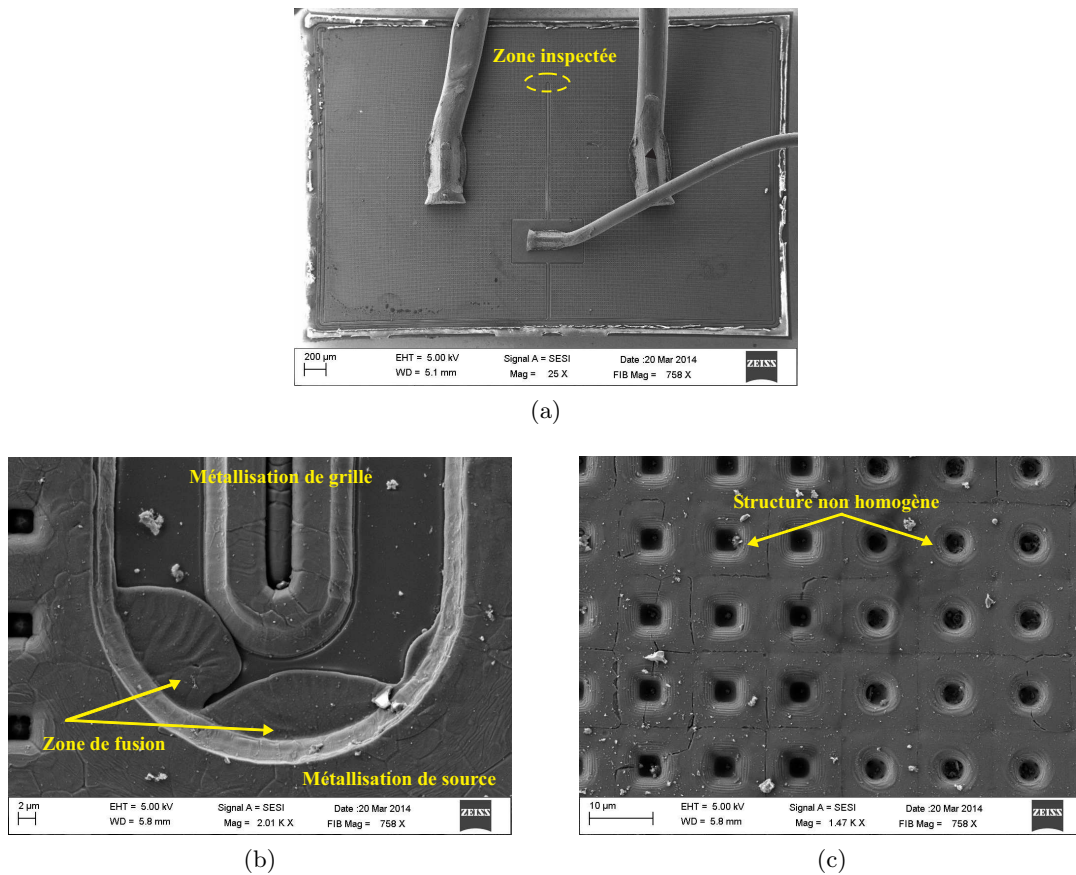


FIGURE 3.13 – (a) Zone inspectée, (b) Zone de fusion au niveau de la passivation entre la métallisation de source et celle de grille et (c) Craquelure et structure non homogène

3.4.2 MOSFET Rohm #2

Pour le deuxième composant étudié, nous apercevons également une autre zone de fusion, cette fois au niveau de la métallisation de source mais toujours à proximité de la grille. Cette zone est encadrée sur la figure 3.14a et agrandie sur les figures 3.14b et 3.14c.

Nous pouvons constater clairement que les cellules élémentaires sont obstruées suite à un débordement d'un ou de plusieurs matériaux dont la nature va être identifiée après une microanalyse par rayons X (EDX).

Des analyses EDX (inspection en surface) ont été effectuées pour connaître la composition élémentaire de deux cellules situées dans la zone de fusion observée (figure 3.14b).

Pour la cellule #1, les observations permettent de quantifier des hautes teneurs en aluminium et de faibles proportions en titane et en argent. Le spectre et les résultats quantitatifs sont présentés à la figure 3.15.

Pour la cellule #2, l'analyse montre une présence prépondérante de l'aluminium, des teneurs importantes en carbone et en oxygène, des faibles teneurs en silicium et des traces de titane, de cuivre et d'argent. Le spectre et les résultats quantitatifs pour la cellule #2 sont présentés à la figure 3.16.

Au regard de ces premiers constats, plusieurs hypothèses peuvent être formulées :

Pour la cellule #1 :

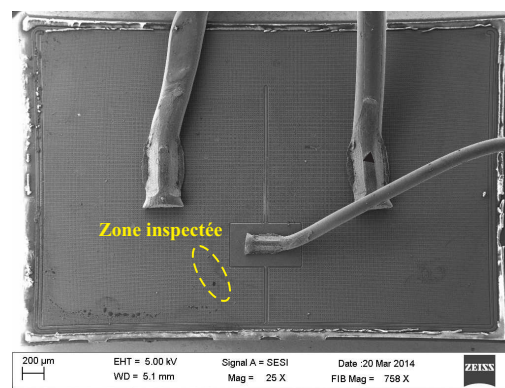
- Si nous supposons que l'alliage aluminium/titane (Al-Ti) est celui de la métallisation et que

l'argent provient de celui de la brasure (étain/argent/cuivre (Sn-Ag-Cu)), la remontée de l'argent en surface pourrait prouver qu'il y a eu une fusion à cet endroit.

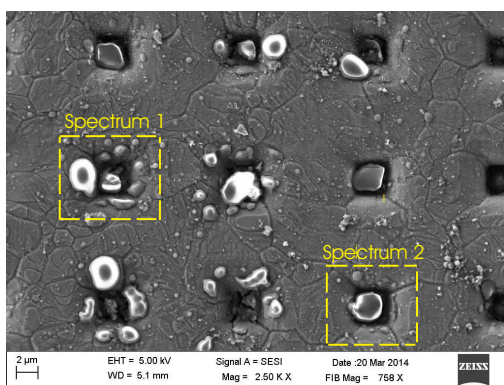
Pour la cellule #2 :

- Là aussi, la présence de l'argent et du cuivre pourrait démontrer la remontée de la brasure (Sn-Ag-Cu) en surface, mais dans ce cas, il faudrait enquêter sur l'absence de l'étain.
- Le silicium pourrait provenir soit du semi-conducteur SiC, soit de la métallisation qui peut contenir des traces de Si ($\approx 3\%$). Cependant, l'absence de ce matériau dans la métallisation de la cellule #1 nous oriente plutôt vers la première supposition, surtout avec la présence du carbone en surface.

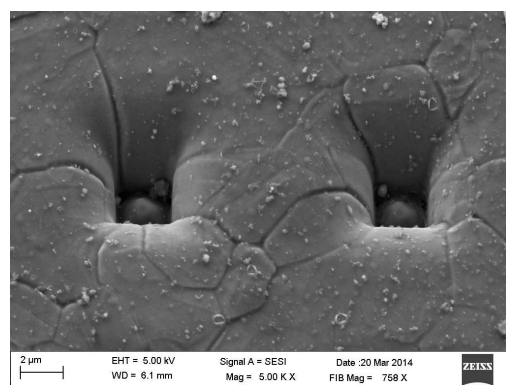
Enfin, nous précisons que ces hypothèses ne peuvent être validées, tant que nous ignorons la composition qualitative et/ou quantitative des différents matériaux de la structure. Il convient aussi de préciser, que nous n'avons pas pu pousser l'analyse plus loin et qu'il faudra, en perspective, analyser d'autres cellules situées dans la zone de fusion (figure 3.14b), refaire des observations sur d'autres MOSFET Rohm ayant subis le même type de stress et enfin comparer ces résultats avec ceux d'un composant neuf.



(a)

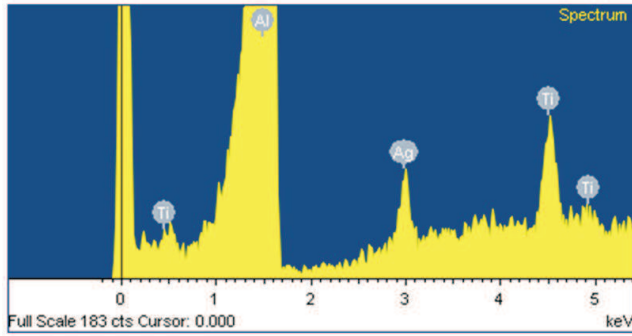


(b)



(c)

FIGURE 3.14 – (a) Zone inspectée, (b)&(c) Zone de fusion au niveau la métallisation de source

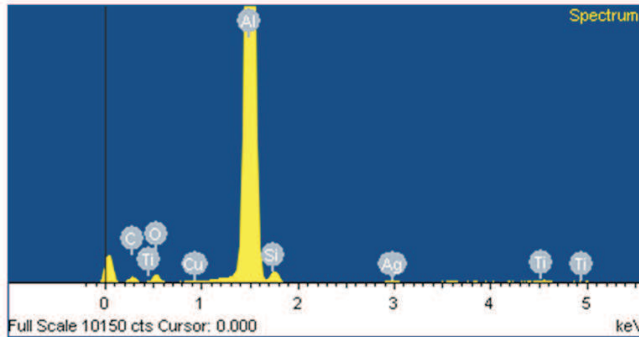


(a)

Element	Weight%	Atomic%
Al K	97.54	98.97
Ti K	1.26	0.72
Ag L	1.20	0.3
Totals	100.0	

(b)

FIGURE 3.15 – (a) Analyse EDX et (b) résultats quantitatifs de la cellule #1



(a)

Element	Weight%	Atomic%
C K	13.36	23.90
O K	14.63	19.65
Al L	67.55	53.80
Si K	2.76	2.12
Ti K	0.52	0.23
Cu K	0.42	0.14
Ag L	0.75	0.15
Totals	100.00	

(b)

FIGURE 3.16 – (a) Analyse EDX et (b) résultats quantitatifs de la cellule #2

3.5 Conclusion

Ce chapitre a été consacré à l'étude du comportement des transistors MOSFET SiC pendant des tests de fatigue accélérée, en particulier lors des essais en régime de courts-circuits répétitifs. Nous avons présenté les principaux résultats expérimentaux obtenus pendant des essais de vieillissement réalisés sur deux transistors MOSFET Rohm, référencés SCH2090KE, et à présent commercialisés sous la référence SCH2080KE. Durant ces tests, certains paramètres électriques ont été suivis afin de constituer des indicateurs de dégradation et d'identifier par la suite des mécanismes de défaillance.

Les essais de stress répétitifs ont été effectués pour une durée de court-circuit égale à $5\mu s$, ce qui correspond à une énergie dissipée ($E_{Diss} = 4,03 J/cm^2$) inférieure à l'énergie critique amenant à la défaillance ($E_C = 6,078 J/cm^2$), étant donné que le nombre de court-circuit que peut supporter un transistor est très fortement dépendant de la valeur de l'énergie dissipée pendant le régime de court-circuit. A ce niveau d'énergie, les MOSFET Rohm ont pu supporter plus de 20,000 cycles répétitifs sans défaillance.

Parallèlement, des caractérisations électriques régulières ont été réalisées afin de suivre l'évolution des courants de fuite de grille et de drain, la tension de seuil, la résistance à l'état passant et les formes d'ondes du courant (I_D) et des tensions (V_{GS} et V_{DS}) pendant le test de court-circuit.

Les observations ont souligné une dégradation relativement rapide des différentes caractéristiques des composants à partir d'environ 10,000 cycles. Effectivement, c'est après une dizaine de milliers de courts-circuits que nous avons observé les toutes premières évolutions des paramètres, avec une légère diminution de la tension de seuil d'environ $0,27V$ et une faible augmentation du courant de fuite

de drain d'environ $10\mu A$. Ces changements ont coïncidé avec le début de la dégradation de la grille qui s'est accentuée au-delà de 15,000 cycles. Cette dégradation était assurément la conséquence de la croissance significative du courant de fuite de grille qui a dépassé $8nA$ et du courant de fuite de drain qui a atteint $40\mu A$ après 20,000 cycles.

D'autre part, la résistance à l'état passant, elle aussi a enregistré une croissance de l'ordre de 30 à 40% de sa valeur initiale, une évolution qui pourrait nous donner une idée sur l'ampleur de la dégradation au niveau de la métallisation de source et/ou des fils des bonding.

Ainsi, nous pouvons supposer que les dégradations au niveau de la grille sont responsables de l'augmentation des courants de fuite, et que celles de la métallisation sont responsables de l'augmentation de la résistance à l'état passant, sans corrélation entre ces deux mécanismes.

Ensuite, nous avons mené des investigations préliminaires en vue d'étudier les mécanismes de défaillance des transistors MOSFET SiC ayant subis des tests destructifs en court-circuit. Pour ce faire, des analyses fines ont été effectuées, telles que des observations au MEB et des microanalyses par rayon X (EDX), qui nous ont permis d'observer des zones susceptibles d'être à l'origine de la défaillance des MOSFET, notamment le court-circuit physique entre grille et source.

Ce chapitre vient clôturer la partie consacrée à la robustesse des interrupteurs de puissance en carbure de silicium, soumis à des régimes extrêmes de fonctionnement tels que l'avalanche et le court-circuit. En guise de synthèse, que ce soit pour les tests de robustesse ou pour les essais de fatigue accélérée en régime de court-circuit, nous confirmons que la structure de la grille reste le principale point faible de la structure MOSFET SiC, car, la fragilité de l'oxyde de grille affecte la fiabilité du dit composant pendant son fonctionnement en régime extrême tel que le court-circuit. Cette fragilité se résume en trois principaux points : la faible épaisseur de l'oxyde (afin d'obtenir une faible tension de seuil), le fort champ électrique dans le diélectrique quand le composant est commandé sous une tension de grille égale à 20V et éventuellement la forme de l'oxyde (différence de comportement entre le MOS à tranchées et le planar). Ces points sont responsables de l'apparition d'un fort courant de fuite qui va engendrer par la suite la défaillance ou tout du moins une dégradation sévère de la grille. Néanmoins, les MOSFET SiC présentent une robustesse relativement satisfaisante en régime de court-circuit même s'ils restent classés derrière les transistors JFET SiC [Huang et al., 2013], [Bouarroudj et al., 2010], [Boughrara et al., 2009].

Quatrième partie

Modélisation compacte des interrupteurs de puissance SiC

Modélisation du VDMOSFET et de la diode Schottky

1.1 Introduction

De plus en plus compacts, les dispositifs de conversion d'énergie fortement intégrés regroupent de façon confinée la partie puissance (puces et/ou modules) et les circuits de commande rapprochée. Les composants de puissance, regroupant à la fois la commande et la puissance, se voient confrontés à un accroissement constant des densités de puissance. Cet accroissement se traduit par une forte puissance dissipée au sein de ces dispositifs. La dissipation de puissance des interrupteurs à semi-conducteur et leur nécessaire refroidissement, demeurent l'un des obstacles majeurs à leur intégration à grande échelle. Ainsi, cela fait de la température un paramètre incontournable dans la conception des circuits, qu'il convient de maîtriser dès la phase de conception.

Par ailleurs, la connaissance de celle-ci est une donnée essentielle dans la prévision du vieillissement des composants et donc, dans l'estimation de leur durée de vie. La quantification de la température est ainsi cruciale pour le dimensionnement des dispositifs thermiques et pour l'établissement du compromis performance/fiabilité.

Les modèles électrothermiques présentent une alternative sérieuse pour prédire la température, si tant est que ces derniers sont aptes à représenter de façon précise et fidèle le comportement réel des composants, la dynamique des effets thermiques ainsi que l'influence de la température sur les performances électriques. D'où le recours aux modèles compacts qui décrivent à la fois les performances statiques, dynamiques et électrothermiques du dispositif.

Cette partie du mémoire sera dédiée à la modélisation compacte des dispositifs à semi-conducteur SiC. L'objectif est de développer des modèles capables de décrire avec précision le comportement statique et dynamique des transistors de puissance en prenant en compte les spécificités du matériau SiC et l'évolution des paramètres électriques sous l'influence de la température. En plus, ces modèles devront permettre l'estimation des pertes avec prise en compte du couplage électro-thermique, et le calcul des $\frac{dv}{dt}$ et $\frac{di}{dt}$ pouvant servir à l'estimation des perturbations conduites.

Cette partie est découpée en trois chapitres. Le premier chapitre décrit le modèle analytique développé pour la structure du transistor MOSFET vertical double diffusé (DiMOSFET) 4H-SiC (MOSFET Cree CMF20120D) et le modèle d'une diode Schottky SiC (C2D20120D).

Le deuxième chapitre a pour objectif la mise en place d'une méthodologie d'extraction de paramètres, étape indispensable dans le cas d'une modélisation compacte complexe et intégrant de nombreux paramètres inconnus. Cette phase sera effectuée à l'aide du logiciel MATLAB et nous permettra de valider les deux modèles (MOSFET et diode Schottky) en statique.

Enfin, ces modèles seront codés en VHDL-AMS puis implémentés dans un circuit de simulation SIMPLORER. Le troisième chapitre aborde enfin les résultats de simulation réalisés sur SIMPLORER, ce qui nous permettra de valider les modèles en dynamique.

1.2 Modèle du VDMOSFET CMF20120D

Dans cette section, nous allons détailler le modèle du transistor MOSFET SiC qui permet de représenter le comportement propre du transistor (canal et zone de drift) et de ses capacités intrinsèques.

La topologie du modèle physique du VDMOSFET SiC est présentée sur la figure 1.1 [Baliga, 2010], [McNutt et al., 2004a]. Les différentes composantes du dit modèle sont les suivantes :

- un transistor *MOS* qui représente la source de courant du VDMOSFET (courant dans le canal).
- une capacité entre l'oxyde de grille et la source, formée de deux capacités mises en parallèle : la capacité C_{oxs} entre la grille et la couche N^+ de source, et la capacité C_m entre la grille et la métallisation de source. Ces capacités peuvent être considérées comme étant constantes dans l'hypothèse où les zones de charges d'espace, pouvant apparaître dans les régions N^+ et P , ont une faible épaisseur [Buttay, 2004].
- une capacité entre grille et drain constituée de deux capacités mises en série : l'une constante, notée C_{oxd} , formée par la couche d'oxyde, l'autre créée par l'extension de la zone de charge d'espace et fortement variable avec la tension grille-drain, V_{GD} , il s'agit de la capacité C_{gdj} .
- une capacité variable entre drain et source notée C_{DS} , elle aussi est affectée par l'extension de la zone de charge d'espace.
- la résistance de la région de drift qui assure la tenue en tension du MOSFET, R_{Drift} .
- la résistance série de la région N^+ de drain, R_S .

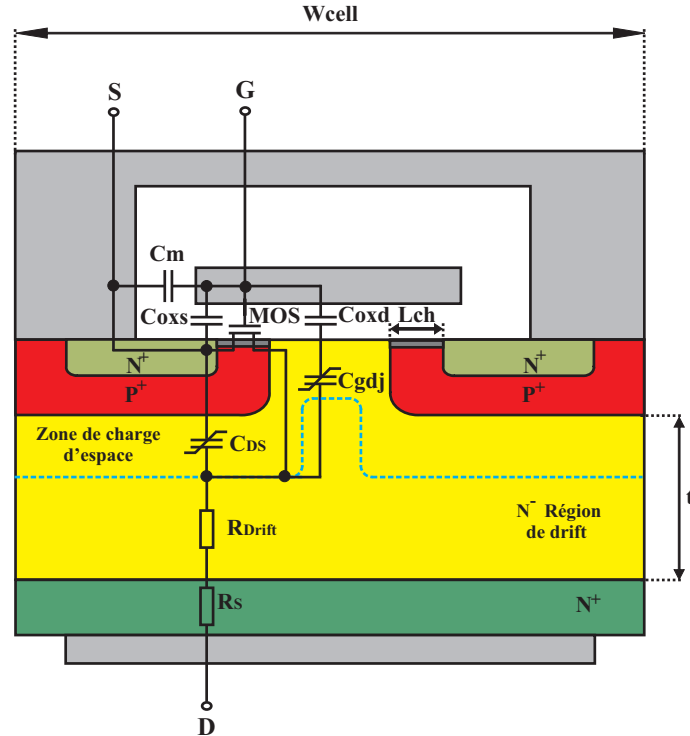


FIGURE 1.1 – Topologie du modèle physique du transistor VDMOSFET SiC

1.2.1 Propriétés physiques du carbure de silicium

Avant de présenter le modèle développé pour le transistor MOSFET SiC, nous allons commencer par introduire les propriétés physiques du carbure de silicium exprimées en fonction de la température.

La connaissance des propriétés de ce matériau nous permettra, non seulement d'avoir un modèle précis qui reproduit fidèlement le comportement physique et électrique du composant, mais également de prendre en compte en toute rigueur le paramètre température.

Le tableau 1.1 introduit les propriétés physiques du 4H-SiC qui seront utilisées par la suite dans le modèle du MOSFET et telles qu'elles ont été reportées dans la littérature, précisément par LEVINSHTEIN, RUMYANTSEV et SHUR dans [Levinshtein et al., 2001b], par RUMYANTSEV dans [Rumyantsev et al., 2009] et par RUFF dans [Ruff et al., 1994].

Propriétés physiques du 4H-SiC	Équations	Unités
Densité effective des états dans la bande de conduction, [Levinshtein et al., 2001b]	$N_C(T_j) = 3,25 \times 10^{15} \cdot (T_j)^{3/2}$	(m^{-3})
Densité effective des états dans la bande de valence, [Levinshtein et al., 2001b]	$N_V(T_j) = 4,8 \times 10^{15} \cdot (T_j)^{3/2}$	(m^{-3})
Bande interdite, [Levinshtein et al., 2001b]	$E_g(T_j) = E_g(T_0) - 6,5 \times 10^{-4} \cdot \left(\frac{T_j^2}{T_j + 1300} \right)$	(eV)
Concentration intrinsèque, [Levinshtein et al., 2001b]	$n_i(T_j) = (N_C N_V)^{1/2} \cdot e^{-\frac{E_g(T_j) \times q}{2kT_j}}$	(m^{-3})
Tension de diffusion, [Ruff et al., 1994]	$V_{bi}(T_j) = \frac{kT_j}{q} \cdot \ln \left(\frac{N_D^+ N_A^-}{n_i^2} \right)$	(V)
Mobilité des porteurs de charge libres, [Rumyantsev et al., 2009]	$\mu_n(T_j) = \mu_n(T_0) \cdot \left(\frac{T_j}{T_0} \right)^{-\gamma}$	$(m^2/V.s)$

TABLE 1.1 – Propriétés physiques du carbure de silicium

avec :

- T_0 la température de référence égale à $25^\circ C$, soit $298,15^\circ K$, T_j la température de surface de la puce (K).
- k la constante de Boltzmann (J/K), q la charge élémentaire d'électron (C).
- N_D et N_A les concentrations respectives des dopages N et P, exprimées en (m^{-3}) .
- γ le coefficient de température positif de la mobilité μ_n .

1.2.2 Courant dans le canal

Le modèle de la source de courant, I_{MOS} , que nous sommes amenés à proposer, adapte la modélisation empirique introduite par MCNUTT dans [McNutt et al., 2004a]. Ce modèle décrit deux régimes de fonctionnement du courant, I_{MOS} : le régime linéaire ($V_{DS} \leq (V_{GS} - V_{TH})$) et le régime saturé ($V_{DS} > (V_{GS} - V_{TH})$).

Les zones de fonctionnement du transistor, sont présentées comme suit :

$$I_{MOS} = \begin{cases} 0 & , \text{ pour } V_{GS} < V_{TH} & (1.1a) \\ \frac{K_f K_p}{1 + \theta (V_{GS} - V_{TH})} \times \left[(V_{GS} - V_{TH}) V_{DS} - P_{vf}^{y-1} V_{DS}^y (V_{GS} - V_{TH})^{\frac{2-y}{y}} \right] & , \text{ pour } V_{DS} \leq (V_{GS} - V_{TH}) & (1.1b) \\ \frac{K_p (V_{GS} - V_{TH})^2}{2(1 + \theta (V_{GS} - V_{TH}))} & , \text{ pour } V_{DS} > (V_{GS} - V_{TH}) & (1.1c) \end{cases}$$

avec :

- K_p la transconductance exprimée en (A/V^2) . Le terme de transconductance est utilisé ici d'une manière abusive, car la transconductance exprimant la relation entre le courant, I_D , et la tension, V_{GS} , ($g_m = \frac{\partial I_D}{\partial V_{GS}}$) s'exprime en (A/V) [Baliga, 2010].
- θ un paramètre de correction empirique (V^{-1}) introduit pour tenir compte de la réduction de la mobilité des électrons dans le canal suite à l'apparition d'un champs électrique transversal. Ce champ apparaît suite à l'application de la tension V_{GS} .
- P_{vf} et K_f deux facteurs de correction respectivement de la tension de pincement, $V_{pincement}$, et de la transconductance, K_p .
- y un exposant exprimé par l'équation 1.2.

$$y = \frac{K_f}{K_f - \frac{P_{vf}}{2}} \quad (1.2)$$

Pour tenir compte de l'aspect thermique dans le modèle du courant I_{MOS} , nous sommes amenés à mettre en évidence la dépendance en température des différentes grandeurs physiques et des facteurs empiriques du modèle. Pour ce faire, nous commençons par identifier les paramètres thermosensibles du courant puis les exprimer en fonction de la température. Ces paramètres sont V_{TH} , K_p , K_f , P_{vf} et θ .

Pour le cas de la tension de seuil et de la transconductance (celle exprimée en A/V^2), nous adoptons leurs formules physiques telles qu'elles ont été définies par BALIGA dans [Baliga, 2010].

La tension de seuil, V_{TH} , est exprimée sous la forme suivante :

$$V_{TH} = \frac{\sqrt{4 \varepsilon_{SiC} k T_j N_A \ln\left(\frac{N_A}{n_i}\right)}}{C_{oxd}} + \frac{2kT_j}{q} \ln\left(\frac{N_A}{n_i}\right) - \frac{Q_{oxd}}{C_{oxd}} \quad (1.3)$$

où

$$C_{oxd} = \frac{3,9 \varepsilon_0}{t_{ox}} \quad (1.4)$$

avec : ε_0 et ε_{SiC} les permittivités respectives du vide et du semi-conducteur SiC (F/m), C_{oxd} la capacité de l'oxyde de grille (F/m^2), t_{ox} l'épaisseur de l'oxyde (m) et Q_{oxd} la charge effective totale dans l'oxyde (C) qui est supposée nulle afin de simplifier l'expression de la tension de seuil.

La transconductance, K_p , que nous multiplions par le nombre de cellule pour avoir la transconductance totale, est donnée par l'équation 1.5 :

$$K_p = \frac{N_{Cell} Z \mu_{n-inv} C_{oxd}}{L_{CH}} \quad (1.5)$$

avec : N_{Cell} le nombre de cellules, Z la longueur d'une cellule (m), L_{CH} la longueur du canal (m) et μ_{n-inv} est la mobilité des électrons dans le canal.

Nous rappelons que le modèle à développer sera valable et validé pour une gamme de température comprise entre $-60^\circ C$ et $200^\circ C$. Pour cette plage de température, nous avons vu dans le chapitre I.2 (paragraphe 2.2.4) que la mobilité des porteurs libres dans le canal augmente avec la température. Notons que nous n'avons pas pris en compte la dépendance de la mobilité à la tension V_{GS} . Ainsi, la mobilité est modélisée comme suit :

$$\mu_{n-inv} = \mu_{n-inv}(T_0) \times \left(\frac{T_j}{T_0}\right)^\alpha, \quad \alpha \geq 0 \quad (1.6)$$

D'autre part, nous avons aussi observé dans chapitre II.1 que le courant de drain présente un comportement particulier avec la température. En effet, à une tension V_{DS} donnée, ce courant augmente

avec la température pour des basses températures (variant de $-60^\circ C$ à $20^\circ C$) puis diminue pour des températures supérieures à $20^\circ C$. Pour tenir compte de cette évolution particulière, nous définissons une fonction, $f(T_j)$, dépendante de la température, décrite comme suit :

$$f(T_j) = \begin{cases} f_n(T_j) = a_0 + a_1 \cdot \exp(a_2 \cdot \frac{(T_j - T_0)}{T_0}) & , \text{ pour } T_j < T_0 \\ f_p(T_j) = b_0 + b_1 \cdot \exp(b_2 \cdot \frac{(T_j - T_0)}{T_0}) & , \text{ pour } T_j > T_0 \end{cases} \quad (1.7)$$

avec : a_0, a_1, a_2, b_0, b_1 et b_2 des coefficients à identifier.

Cette fonction $f(T_j)$ est par la suite utilisée pour modéliser les facteurs de correction K_f , θ , et P_{vf} , qui sont introduits sous la forme suivante :

$$K_f = K_{f0} \times \left(\frac{T_j}{T_0} \right)^{f_1(T_j)} \quad (1.8)$$

$$\theta = \theta_0 \times \left(\frac{T_j}{T_0} \right)^{f_2(T_j)} \quad (1.9)$$

$$P_{vf} = P_{vf0} \times \left(\frac{T_j}{T_0} \right)^{f_3(T_j)} \quad (1.10)$$

avec : K_{f0} , θ_0 et P_{vf0} les valeurs respectives de K_f , θ et P_{vf} à la température ambiante $T_0 = 25^\circ C$.

Le modèle de la source de courant du MOSFET SiC, décrit par les équations 1.1a, 1.1b et 1.1c, pose un problème de discontinuité lors du passage du courant du régime linéaire (équation 1.1b) au régime saturé (équation 1.1c). Pour cette raison, il fallait modifier l'équation 1.1c afin d'assurer la continuité du modèle.

Dans un premier temps, nous avons déterminé la valeur de V_{DS} qui annule la dérivée du courant I_{mos} dans la zone linéaire (équation 1.11). Cette valeur limite, donnée par l'équation 1.12, correspond au passage du courant de la zone linéaire à la zone de saturation. Ensuite, nous avons remplacer V_{DS} par sa valeur limite dans l'équation 1.1b.

$$\frac{dI_{MOS}}{dV_{DS}} = 0 \quad (1.11)$$

$$V_{DS} = \frac{(V_{GS} - V_{TH})^{\frac{2}{y}}}{P_{vf} \cdot y^{\frac{1}{y-1}}} \quad (1.12)$$

Ainsi, le modèle du courant est décrit comme suit :

$$I_{MOS} = \begin{cases} 0 & , \text{ pour } V_{GS} < V_{TH} \\ \frac{K_f K_p}{1 + \theta \cdot (V_{GS} - V_{TH})} \times \left[(V_{GS} - V_{TH}) \cdot V_{DS} - P_{vf}^{y-1} \cdot V_{DS}^y \cdot (V_{GS} - V_{TH})^{\frac{2-y}{y}} \right] & , \text{ pour } V_{DS} \leq \frac{(V_{GS} - V_{TH})^{\frac{2}{y}}}{P_{vf} \cdot y^{\frac{1}{y-1}}} \\ \frac{K_f K_p}{1 + \theta \cdot (V_{GS} - V_{TH})} \times \frac{(V_{GS} - V_{TH})^{\frac{2+y}{y}}}{P_{vf}} \times \frac{y^{\frac{y}{y-1}} - y^{\frac{1}{y-1}}}{y^{\frac{y+1}{y-1}}} & , \text{ pour } V_{DS} > \frac{(V_{GS} - V_{TH})^{\frac{2}{y}}}{P_{vf} \cdot y^{\frac{1}{y-1}}} \end{cases} \quad (1.13)$$

1.2.3 Résistance à l'état passant

Pour mener à bien la modélisation de la résistance à l'état passant, certaines hypothèses simplificatrices vont devoir être formulées pour que nous soyons en mesure d'identifier tous les paramètres et coefficients du modèle qui vont être mis en jeux :

- La résistance à l'état passant est la somme de plusieurs résistances qui correspondent à des régions de natures différentes [Baliga, 2010]. Cependant certaines de ces résistances élémentaires, à savoir la résistance de la zone N^+ de la source et la résistance de la couche d'accumulation, sont considérées comme des composantes parasites et peuvent ainsi être négligées [Ruff et al., 1994].
- La résistance à l'état passant que nous nous apprêtons à modéliser est considérée comme étant la somme de trois résistances élémentaires : la résistance du canal R_{CH} , la résistance de drift R_{DRIFT} et la résistance du substrat N^+ , R_S . Cette hypothèse est justifiable quand il s'agit de modéliser un VD-MOSFET car dans ce cas nous considérons les deux régions importantes de la structure DMOS, la région de type N^- , dite région de drift, qui détermine la tenue en tension par son dopage et son épaisseur ; et la région du canal qui contrôle l'état passant ou bloqué du transistor via l'oxyde situé entre la grille et la source.
- Le modèle de R_{DRIFT} englobe celui de la résistance de drift et celui de la résistance du JFET parasite. En effet, une seule formule est utilisée afin de simplifier par la suite la phase d'extraction des paramètres.

Ainsi, la résistance à l'état passant est exprimée sous la forme suivante :

$$R_{DS(ON)} = R_{CH} + R_{DRIFT} + R_S \quad (1.14)$$

$$R_S = \text{constante} \quad (1.15)$$

La résistance série, R_S , est considérée comme une constante dont la valeur va être déterminée ultérieurement. Pour les trois autres résistances élémentaires, nous adoptons la modélisation physique introduite par [Baliga, 2010].

La résistance du canal, R_{CH} , d'une seule cellule est donnée par l'équation 1.16. Étant donné que les cellules sont placées en parallèles, la résistance du canal totale est donnée par l'équation 1.17.

$$R_{CH} = \frac{L_{CH}}{Z \mu_{n-inv} C_{OX} (V_{GS} - V_{TH})} \quad (1.16)$$

$$R_{CH} = \frac{L_{CH}}{N_{Cell} Z \mu_{n-inv} C_{OX} (V_{GS} - V_{TH})} \quad (1.17)$$

Enfin, la troisième résistance modélisée est celle de la couche épitaxiée N^- , R_{DRIFT} , qui est donnée par l'équation 1.18.

$$R_{DRIFT} = \frac{\rho_D t}{N_{Cell} Z (W_{Cell} - a)} \ln \left(\frac{W_{Cell}}{a} \right) \quad (1.18)$$

avec : ρ_D la résistivité de la zone de drift ($\Omega.m$), t la profondeur de la zone de drift (m), W_{Cell} la largeur de la cellule (m) et a la largeur de la zone du JFET parasite (m) (figure 1.1).

1.2.4 Capacités intrinsèques

A présent, intéressons-nous à la modélisation dynamique du transistor MOSFET SiC. Le comportement dynamique du transistor est modélisé par ses trois capacités intrinsèques : C_{GD} , C_{DS} et C_{GS} .

Nous commençons par le modèle le plus simple, celui de la capacité entre grille et source, C_{GS} . Cette capacité est formée par deux capacités constantes C_m et C_{oxs} (figure 1.1). Elle est considérée comme constante et sa valeur est extraite à partir de la caractéristique dynamique $C_{ISS} = f(V_{DS})$ à l'aide du traceur de caractéristiques AGILENT B1505A. La valeur de la capacité, C_{GS} , est approximée à celle de la capacité, C_{ISS} , pour des tensions V_{DS} élevées, car dans ce cas la capacité C_{GD} (ou C_{RSS}) devient négligeable (quelques dizaines de pF) comme le montre la figure 1.2 qui présente l'évolution des trois capacités : C_{ISS} , C_{RSS} et C_{GS} en fonction de la tension V_{DS} .

Ainsi, le modèle de la capacité, C_{GS} , s'écrit comme suit :

$$C_{GS} = C_{ISS} - C_{RSS} \approx C_{ISS(min)} \quad (1.19)$$

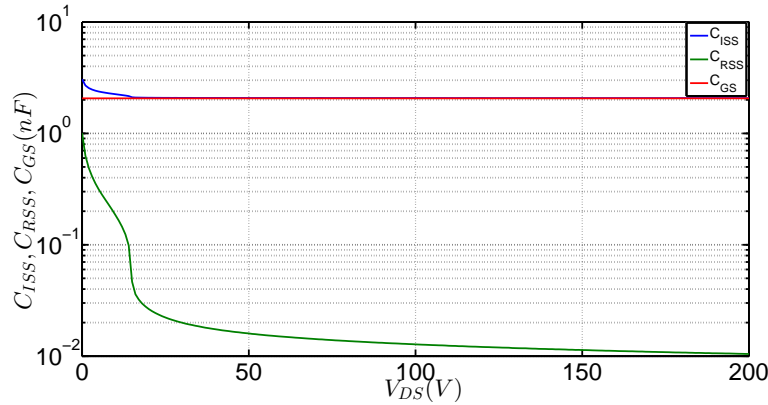


FIGURE 1.2 – Caractérisation de C_{ISS} , C_{RSS} et C_{GS}

Pour la capacité C_{DS} , son modèle est décrit par l'équation 1.20 tel qu'il est défini dans la littérature, notamment par B. BALIGA dans [Baliga, 2010] et par R. McNUTT dans [McNutt et al., 2007].

$$C_{DS} = \frac{A_{DS} \epsilon_{SiC}}{W_{dsj}} \quad (1.20)$$

où :

$$W_{dsj} = \sqrt{\frac{2\epsilon_{sic} \cdot (V_{DS} + V_{bi})}{qN_D}} \quad (1.21)$$

avec : A_{DS} la surface équivalente de l'espace drain-source (m^2), W_{dsj} la largeur de la zone de désertion drain-source (m) et V_{bi} la tension de diffusion exprimée dans le tableau 1.1.

Nous terminons la modélisation dynamique par le modèle de la capacité, C_{GD} . Cette dernière a un comportement plus complexe que celui des deux capacités présentées antérieurement [Baliga, 2010], [McNutt et al., 2007]. En effet, cette capacité correspond à la mise en série de la capacité d'oxyde, C_{oxd} , qui est constante et d'une capacité, C_{gdj} , de la zone de charge d'espace, fortement variable avec la tension drain-grille, V_{DG} , selon l'expression 1.22, et où la capacité C_{gdj} est donnée par l'équation

1.23.

$$C_{GD} = \begin{cases} C_{oxd} & , \text{ pour } V_{DG} \leq 0 \\ \frac{C_{oxd} C_{gdj}}{C_{oxd} + C_{gdj}} & , \text{ pour } V_{DG} > 0 \end{cases} \quad (1.22)$$

$$C_{gdj} = \frac{A_{GD} \epsilon_{SiC}}{W_{gdj}} \quad (1.23)$$

où :

$$W_{gdj} = \sqrt{\frac{2\epsilon_{sic} \cdot (V_{DG})}{qN_D}} \quad (1.24)$$

avec : A_{GD} la surface équivalente de l'espace drain-grille (m^2), W_{gdj} la largeur de la zone de charge d'espace sous la grille du MOSFET (m).

1.3 Modèle de la diode Schottky C2D20120D

La topologie du modèle de la jonction de la diode Schottky SiC est présentée sur la figure 1.3. Ce modèle est constitué d'une source de courant I_{diode} et d'une capacité C_{diode} . Contrairement au modèle complexe du transistor MOSFET SiC décrit dans la section précédente, le modèle de la diode Schottky reste simple. En effet, ce dernier ne fait intervenir ni les dimensions géométriques, ni les propriétés intrinsèques du SiC.

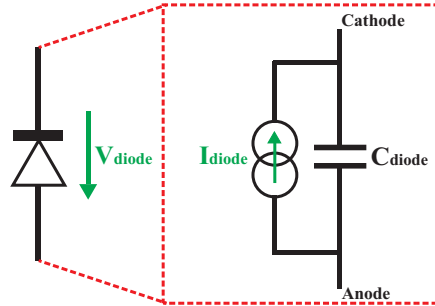


FIGURE 1.3 – Topologie du modèle de la diode Schottky C2D20120D

Le modèle de la source de courant que nous proposons, est basé sur l'équation régissant le comportement statique de la diode [Raynaud, 2015], [McNutt et al., 2004b], [Ozpineci et al., 2009] et sur l'ajout de paramètres empiriques permettant de satisfaire une prise en compte de la température.

$$I_{diode} = \begin{cases} 0 & , \text{ pour } V_{diode} < V_j \\ I_S \cdot \left[\exp\left(\frac{V_{diode} - V_j}{cV_T}\right) - 1 \right] & , \text{ pour } V_{diode} \geq V_j \end{cases} \quad (1.25)$$

où :

$$\begin{cases} V_j &= V_{j0} \cdot \left(\frac{T_j}{T_0}\right)^{V_{j1}} \\ I_S &= I_{S0} \cdot \left(\frac{T_j}{T_0}\right)^{I_{S1}} \\ c &= c_0 \cdot \left(\frac{T_j}{T_0}\right)^{c_1} \end{cases} \quad (1.26)$$

avec : V_{diode} la tension aux bornes de la jonction (V), V_j le potentiel de barrière de jonction ; tension à partir de laquelle la diode est passante (V), V_T la tension thermique égale à $\frac{kT}{q}$ (V), I_S le courant de saturation (A), c un facteur de correction. Les paramètres avec l'indice « 0 » correspondent aux valeurs des paramètres à la température ambiante $T_0 = 25^\circ C$ et les paramètres avec l'indice « 1 » correspondent aux coefficients permettant la prise en compte de la température.

Le comportement dynamique de la diode Schottky est régit par sa capacité, C_{diode} . Ayant le même comportement que celui de la capacité, C_{DS} , du MOSFET, la capacité C_{diode} peut être modélisée par une expression approximative utilisée dans les modèles Spice [Galadi, 2008], [Leturcq, 2015b] :

$$C_{diode} = \frac{C_0}{\left(1 + \frac{V_{diode}}{V_j}\right)^{M_j}} \quad (1.27)$$

avec : C_0 la valeur de la capacité C_{diode} à la température ambiante $T_0 = 25^\circ C$ (F) et M_j le coefficient de gradualité de la jonction.

1.4 Conclusion

Ce chapitre a été consacré à la modélisation compacte de la cellule de commutation (transistor MOSFET SiC et diode Schottky SiC). Cette modélisation est un assemblage de modèles traduisant différents comportements du composant modélisé (statique, dynamique, thermique, fréquentiel, etc). Néanmoins, dans le cadre de nos travaux, nous nous sommes focalisés uniquement sur le comportement électrique (statique et dynamique) en fonction de la température.

Nous avons commencé par la description du modèle du transistor MOSFET CMF20120D de Cree (type VDMOSFET). Le modèle VDMOSFET possède principalement cinq composantes : la source de courant, I_{MOS} , la résistance à l'état passant, $R_{DS(ON)}$, et les trois capacités intrinsèques, C_{GS} (entre grille et source), C_{DS} (entre drain et source), et C_{GD} (entre grille et drain).

Après avoir introduit les propriétés physiques du carbure de silicium, nous avons identifié les différentes formulations analytiques décrivant l'évolution des cinq composantes en fonction des tensions appliquées sur les électrodes, et en fonction de la température. Pour développer ces formulations, nous avons adopté à la fois la modélisation empirique introduite par McNUTT dans [McNutt et al., 2004a], et les équations physiques introduites par BALIGA dans [Baliga, 2010].

Enfin, nous avons procédé de la même manière pour développer le modèle de la diode Schottky C2D20120D de Cree. Ce dernier est constitué de deux sous-modèles : la source de courant, I_{diode} , et la capacité intrinsèque, C_{diode} .

La prochaine étape consiste à identifier les valeurs des paramètres des deux modèles développés, tel est l'objet du chapitre suivant où nous allons définir la procédure d'extraction des paramètres inconnus.

Méthodologie d'extraction des paramètres

2.1 Introduction

Dans l'optique d'implémenter le modèle développé dans la pratique et de pouvoir le valider en le comparant avec des mesures expérimentales, nous avons besoin de connaître les valeurs de l'ensemble de ses paramètres (telles que les propriétés intrinsèques du matériau, les dimensions géométriques, les paramètres électriques, etc).

Dans le cas où ces derniers sont inconnus, nous aurons besoin d'une méthode, physiquement convaincante, pour les extraire. Autrement dit, la modélisation compacte est intrinsèquement corrélée à l'extraction des paramètres et elle exige une méthode d'extraction spécifique en tenant compte du nombre total des paramètres et de leur définition.

A ce titre, ce chapitre relate la méthodologie proposée pour extraire ces paramètres dans le cadre des sous-modèles du transistor MOSFET SiC (le modèle du courant du canal, le modèle de la résistance à l'état passant et les modèles des capacités intrinsèques) et du modèle de la diode Schottky SiC qui ont été présentés dans le chapitre précédent.

La procédure d'extraction de paramètres que nous allons adopter comprend deux étapes. La première étape consiste à exploiter les fiches techniques des fabricants, les caractérisations statiques effectuées précédemment (chapitre II.1), et la géométrie du composant afin d'extraire un maximum de données.

La deuxième étape consiste à utiliser une approche d'optimisation à l'aide d'un algorithme stochastique, afin d'identifier les paramètres physiques et empiriques restants. Cette deuxième méthode est réalisée à l'aide du logiciel MATLAB, elle ne s'appuie que sur des caractérisations statiques présentées précédemment (chapitre II.1) et en aucun cas sur des caractérisations dynamiques.

2.2 Extraction des premiers paramètres

Dans cette section, nous allons déterminer les valeurs des concentrations de dopage N et P , la surface équivalente de l'espace drain-source et celle de l'espace grille-drain pour le modèle du transistor MOSFET SiC. Certains paramètres, tels que le nombre de cellule, les dimensions géométriques d'une cellule, la surface active de la puce, sont déjà donnés par le constructeur Cree dans [Dixon-Warren, 2012].

Pour le modèle de la diode Schottky SiC, un seul paramètre sera extrait à partir des caractéristiques directes de la diode, il s'agit de sa tension de seuil, V_j .

2.2.1 Paramètres du MOSFET CMF20120D

a. Identification de N_D

Nous commençons par estimer la concentration de dopage N , notée N_D . Pour cela, considérons la répartition du champ électrique au claquage, dans la région de « base » N^- telle qu'elle est présentée à la figure 2.1 et en négligeant les extensions dans les zones très dopées P^+ et N^+ . La figure 2.1a présente la répartition de ce champ dans le cas d'une répartition libre de la zone de charge d'espace (cas d'une jonction non tronquée).

Cependant, la plupart des composants fonctionnent en limitation de zone de charge d'espace pour que la chute de tension à l'état passant soit la plus faible possible, tel est le cas du MOSFET SiC. Dans ce cas de figure, la zone de charge d'espace maximale est tronquée de 25% [Arnould, 1992] afin d'avoir l'optimum. Ainsi, le profil du champ électrique en fonction de x n'est plus triangulaire mais en forme trapézoïdale comme le montre la figure 2.1b. Cette répartition en forme trapézoïdale est obtenue quand la zone de charge d'espace occupe la totalité de la région de base et vient heurter la région limitante N^+ (phénomène du « punch-through »).

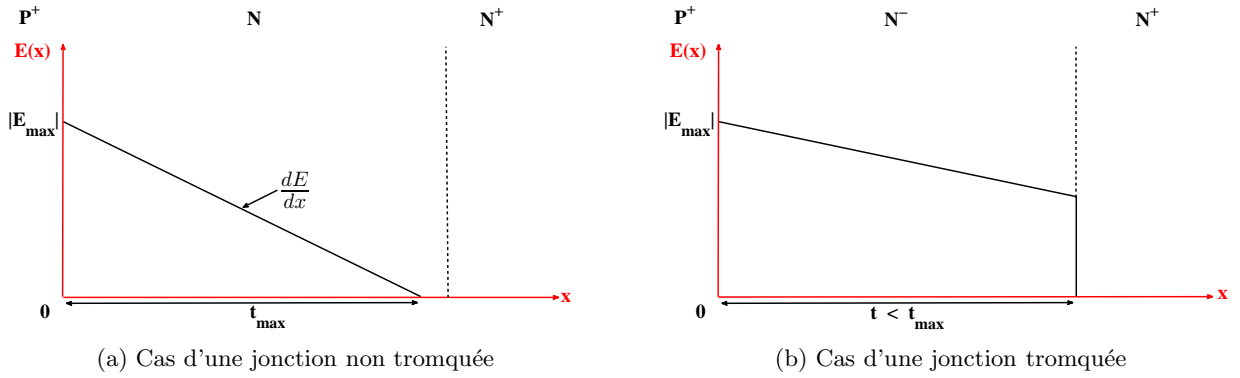


FIGURE 2.1 – Répartition simplifiée du champ électrique au claquage dans la région N^-

Notons que pour faciliter l'extraction de l'épaisseur de la région de drift t et de la concentration de dopage N , nous supposons qu'il s'agit d'une jonction non tronquée. Ainsi, nous obtenons des valeurs majorées de t et de N_D .

Dans ce cas (figure 2.1a), le champ est maximal à l'interface P^+N^- , en $x = 0$, et varie selon l'équation 2.1 [Leturcq, 2015a], [Baliga, 2010], [Mathieu, 1987] :

$$|E_{max}| = \frac{qN_D t}{\epsilon_{sic}} \quad (2.1)$$

avec : t l'épaisseur maximale de la région de drift telle qu'elle est présentée sur la figure 1.1.

La tension de claquage peut s'écrire sous la forme suivante :

$$V_{BR} = \frac{|E_{max}| t}{2} \quad (2.2)$$

Connaissant la valeur de la tension de claquage ($V_{BR} = 1200V$ [CMF20120D, 2012]) et celle du champ maximal ($|E_{Max}| = 3MV/cm$ [Levinshtein et al., 2001b]), et en utilisant les deux équations 2.1 et 2.2, nous pouvons déterminer l'épaisseur de la zone de drift, t , ainsi que la concentration N_D .

b. Identification de N_A

Pour la concentration de dopage P (région porte canal), notée N_A , elle est estimée à partir de l'équation de la tension de seuil (équation 1.3, chapitre IV.1), pour une tension et une température données (à $T_0 = 25^\circ C$, la tension V_{TH} vaut $3V$).

c. Identification de A_{DS}

Pour la surface équivalente de l'espace drain-source, A_{DS} , elle est calculée à partir des équations 1.20 et 1.21 (chapitre IV.1) et de la caractéristique $C_{DS} = f(V_{DS})$, pour un point de fonctionnement donné ($T_0 = 25^\circ C$, $V_{DS} = 500V$ et $C_{DS} = 0,11nF$).

d. Identification de A_{GD}

De la même manière, nous identifions la surface équivalente de l'espace grille-drain à partir des équations 1.22 et 1.24 ((chapitre IV.1)) et de la caractéristique $C_{GD} = f(V_{DS})$, pour un point de fonctionnement donné ($T_0 = 25^\circ C$, $V_{DS} = 500V$ et $C_{GD} = 0,84pF$).

e. Résultats

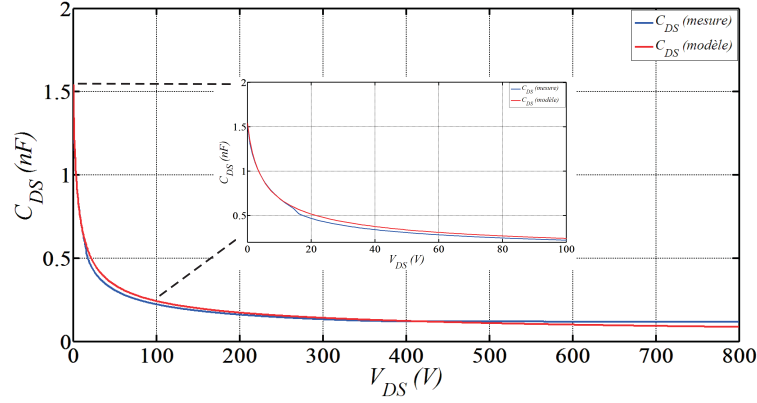
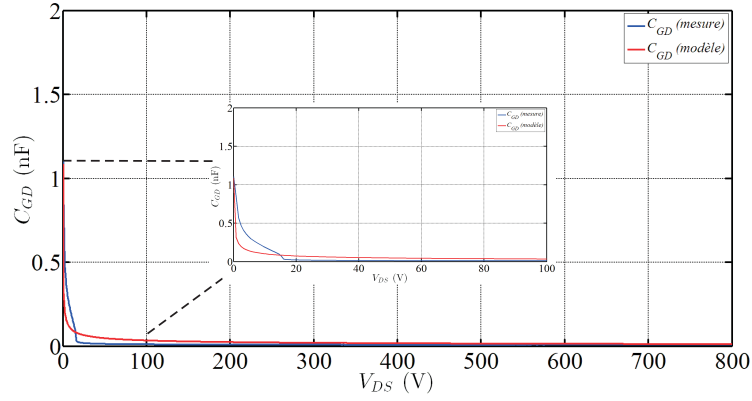
Le tableau 2.1 récapitule l'ensemble des valeurs des paramètres initiaux identifiés. Sachant que la surface active du composant, $S_{Active} \approx A_{DS} + A_{GD}$, nous notons que la somme des surfaces A_{DS} et A_{GD} est égale à $17,74mm^2$, légèrement supérieure à la surface active de la puce donnée par [Dixon-Warren, 2012] ($S_{Active} = 12mm^2$).

Ces paramètres nous permettent dans un premier temps de finaliser les modèles des deux capacités intrinsèques du MOSFET, C_{DS} et C_{GD} . En effet, les figures 2.2 et 2.3 comparent les modèles respectifs de C_{DS} et de C_{GD} avec leurs caractéristiques mesurées à l'aide du traceur, à température ambiante $T_0 = 25^\circ C$. Quant à la capacité C_{GS} , nous rappelons qu'elle est considérée comme constante et que sa valeur vaut $C_{ISS(min)}$ ($1,98nF$).

Modèles des capacités intrinsèques			
Paramètre optimisé	Symbole	Valeur	Unité
Épaisseur de la couche de drift	t	8.10^{-6}	(m)
Concentration de dopage N (drift)	N_D	$8,08.10^{21}$	(m^3)
Concentration de dopage P (porte canal)	N_A	4.10^{21}	(m^3)
Surface équivalente de l'espace drain-source	A_{DS}	$16,48.10^{-6}$	(m^2)
Surface équivalente de l'espace grille-drain	A_{GD}	$1,26.10^{-6}$	(m^2)

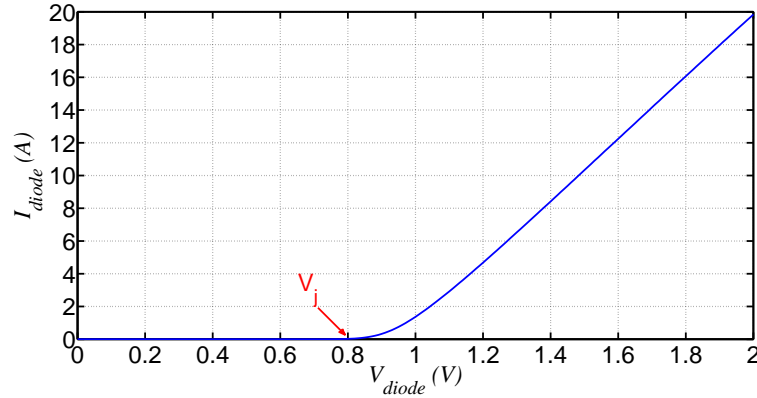
TABLE 2.1 – Valeurs des paramètres extraits pour les modèles des capacités intrinsèques du MOSFET CMF20120D

Les résultats de la comparaison entre les modèles des capacités et leurs caractéristiques mesurées au traceur donnent une bonne corrélation entre la mesure et le modèle. Ainsi, nous pouvons conclure que la méthode adoptée pour extraire les premiers paramètres (à partir des caractéristiques physiques du composant) est convaincante.


 FIGURE 2.2 – Caractéristique mesurée et modélisée de la capacité C_{DS}

 FIGURE 2.3 – Caractéristique mesurée et modélisée de la capacité C_{GD}

2.2.2 Paramètres de la Schottky C2D20120D

Pour le modèle de la diode Schottky, seule la valeur de la tension de seuil, V_j , est extraite à partir la caractéristique directe ($I_{diode} = f(V_{diode})$), mesurée à l'aide du traceur à la température ambiante $T_0 = 25^\circ C$. Il s'agit de la tension à partir de laquelle la diode devient passante. La valeur de V_j est estimée à $0,8V$ (figure 2.4).


 FIGURE 2.4 – Extraction de la valeur de V_j à partir de la caractéristique directe de la diode mesurée à $T_0 = 25^\circ C$

2.3 Extraction des paramètres à l'aide d'un algorithme d'optimisation

La deuxième méthode d'extraction sélectionnée repose sur l'identification des paramètres à partir des caractéristiques électriques expérimentales du MOSFET SiC et de la diode Schottky SiC. L'objectif de l'optimisation est d'estimer les valeurs de l'ensemble des paramètres inconnus du modèle en minimisant l'erreur entre les données expérimentales et les données issues du modèle.

Pour cette raison, et pour le cas du transistor MOSFET SiC, nous cherchons à optimiser :

- Le modèle du courant, I_{MOS} , pour différentes tensions V_{GS} variant de 10V à 20V, et sur une large plage de température, variant de $-60^\circ C$ à $200^\circ C$.
- Le modèle de la résistance à l'état passant, notamment les modèles des résistances élémentaires (R_{CH} , R_{DRIFT} et R_S), sur une large plage de température, variant de $-60^\circ C$ à $200^\circ C$.

Pour le cas de la diode Schottky, nous optimisons :

- Le modèle du courant direct, I_{diode} , pour différentes températures, variant de $25^\circ C$ à $175^\circ C$.
- Le modèle de la capacité intrinsèque, C_{diode} , à la température ambiante, $T_0 = 25^\circ C$.

Afin de répondre au problème d'optimisation, nous considérons le modèle du MOSFET et celui de la diode Schottky, définis dans le chapitre précédent (chapitre IV.1), comme deux boîtes noires avec des vecteurs « paramètres d'entrée » notés, E et, des vecteurs « paramètres de sortie » notés, S , (Figure 2.5). Dans cette section, nous commencerons par définir ces vecteurs paramètres, ensuite nous présenterons la procédure d'optimisation.

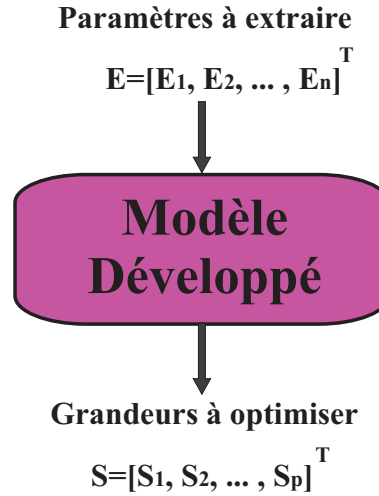


FIGURE 2.5 – Présentation générale des modèles sous forme de « boîte noire »

2.3.1 Définition des vecteurs paramètres

a. Vecteur « paramètres d'entrée » E

Le vecteur E est constitué des paramètres de valeurs inconnues et que nous voudrions estimer afin de minimiser l'erreur entre l'expérimentation et le modèle.

Pour le cas du MOSFET SiC, et en gardant les mêmes notations que celles introduites dans le chapitre précédent (section 1.2), nous définissons deux vecteurs paramètres d'entrée :

$$E_{R_{DS(ON)}} = [R_S \quad \mu_{n-o} \quad \alpha \quad \gamma]^T \quad (2.3)$$

$$E_{I_{MOS}} = [E_1 \ E_2 \ E_3]^T \quad (2.4)$$

où :

$$\begin{cases} E_1 = [\mu_{n-inv0} \ \theta_0 \ K_{f0} \ P_{vf0}]^T & , \text{ pour } T_j = T_0 \\ E_2 = [\theta_{-0n} \ K_{f-0n} \ P_{vf-0n} \ \theta_{-1n} \ K_{f-1n} \ P_{vf-1n} \ \theta_{-2n} \ K_{f-2n} \ P_{vf-2n}]^T & , \text{ pour } T_j < T_0 \\ E_3 = [\theta_{-0p} \ K_{f-0p} \ P_{vf-0p} \ \theta_{-1p} \ K_{f-1p} \ P_{vf-1p} \ \theta_{-2p} \ K_{f-2p} \ P_{vf-2p}]^T & , \text{ pour } T_j > T_0 \end{cases} \quad (2.5)$$

avec :

- $E_{R_{DS(ON)}}$ le vecteur paramètres d'entrée du modèle de la résistance à l'état passant.
- $E_{I_{MOS}}$ le vecteur paramètres d'entrée du modèle du courant du canal. Ce vecteur est constitué de trois sous vecteurs E_1 , E_2 et E_3 :
- E_1 le sous vecteur paramètres quand $T_j = T_0$.
- E_2 le sous vecteur paramètres quand $T_j < T_0$.
- E_3 le sous vecteur paramètres quand $T_j > T_0$.

Pour le modèle de la diode Schottky, nous spécifions deux vecteurs d'entrée présentés sous la forme suivante :

$$E_{I_{diode}} = [I_{S0} \ c_0 \ V_{j1} \ I_{S1} \ c_1]^T \quad (2.6)$$

$$E_{C_{diode}} = [M_j]^T \quad (2.7)$$

avec :

- $E_{I_{diode}}$ le vecteur paramètres d'entrée du modèle du courant de diode présenté dans le chapitre précédent (section 1.3).
- $E_{C_{diode}}$ le vecteur paramètres d'entrée du modèle de la capacité de diode.

b. Vecteur « paramètres de sortie » S

L'optimisation que nous allons effectuer est une optimisation mono-objectif, où les grandeurs sont optimisées séparément. Ces grandeurs constituent les vecteurs « paramètres de sortie » et sont le courant, I_{MOS} , et la résistance à l'état passant, $R_{DS(ON)}$, pour le cas du MOSFET.

Pour le modèle de la diode Schottky, les deux vecteurs « paramètres de sortie » sont le courant de diode, I_{diode} , et sa capacité, C_{diode} . Ainsi, les vecteurs S se présentent sous la forme suivante :

$$S_1 = [I_{MOS}]^T; \ S_2 = [R_{DS(ON)}]^T; \ S_3 = [I_{diode}]^T; \ S_4 = [C_{diode}]^T \quad (2.8)$$

avec :

- S_1 une série de données dépendant de la tension V_{DS} et de la température de jonction T_j .
- S_2 une série de données dépendant uniquement de la température T_j .
- S_3 une série de données dépendant de la tension V_{diode} et la température T_j .
- S_4 une série de données dépendant uniquement de la tension V_{diode} .

En réalité, S peut être défini comme un vecteur ou une matrice. En effet, dépendants de deux variables (tension et température), les grandeurs I_{MOS} et I_{diode} sont deux matrices dont les valeurs varient en fonction du vecteur T_j et du vecteur V_{DS} et/ou V_{diode} . En revanche, les grandeurs $R_{DS(ON)}$ et C_{diode} sont deux vecteurs, le premier est dépendant de la température T_j et le deuxième uniquement de la tension V_{diode} .

Pour répondre au problème d'optimisation qui sera présenté dans la section suivante, nous définissons aussi S_{exp} et S_{mod} qui représentent respectivement le vecteur (et/ou matrice) de sortie des données expérimentales et le vecteur (et/ou matrice) de sortie des données du modèle.

2.4 Définition du problème d'optimisation

La littérature ne manque pas de méthodes permettant de résoudre les problèmes d'optimisation [Culioli, 1994]. Cependant, deux problématiques se posent :

- La première est la définition de la fonction objectif car elle dépend étroitement du problème posé, à savoir la corrélation des données expérimentales aux données obtenues à l'aide du modèle.
- La deuxième est le choix de la méthode de résolution (l'algorithme d'optimisation) qui doit tendre vers l'optimum (la solution) global.

Dans ce paragraphe, nous commencerons par présenter le problème d'optimisation, ensuite l'algorithme utilisé.

Le problème d'optimisation est formulé en un problème de minimisation d'erreur entre les données expérimentales et les données issues des modèles pour les vecteurs paramètres de sorties, S , définis dans le paragraphe précédent. Afin de répondre à ce problème d'optimisation, nous définissons une fonction objectif, F , (ou fonction coût) que nous cherchons à minimiser. Nous optons pour une fonction scalaire représentant l'écart quadratique entre l'expérimentation et le modèle, il s'agit de l'erreur quadratique moyenne qui s'écrit sous la forme suivante :

$$F(E) = \mathbb{E} \left[(S_{i,exp} - S_{i,mod}(E))^2 \right] \quad (2.9)$$

Appelons \hat{E} l'optimum des paramètres d'entrée minimisant la fonction objectif F . Le problème d'optimisation mono-objectif est défini par :

$$\hat{E} = \arg \min_{E \in U} F(E) \quad (2.10)$$

avec U un ouvert de \mathbb{R}^n (n correspond à la taille du vecteur E) qui définit l'espace de recherche des solutions.

Le choix d'une telle fonction objectif se justifie ici. S'il existe une solution $*E$ tel que $F(*E) = 0$ alors les données issues du modèle seront parfaitement corrélées avec les données de l'expérimentation. En pratique, une telle solution peut ne pas exister. Ainsi, nous nous contenterons de trouver un vecteur E permettant de minimiser le plus possible la fonction F . Ce ne sera qu'à posteriori, en comparant les données expérimentales à celles du modèle que ce dernier sera validé.

Devant la complexité du modèle développé et du nombre de paramètres à estimer, notre choix s'est porté sur une métaheuristique d'optimisation à l'aide d'un algorithme stochastique itératif appelé « Optimisation par Essaims Particulaires ». Cet algorithme a été élaboré par J. KENNEDY [Kennedy, 1995] et celui utilisé dans ce mémoire de thèse a été codé à l'aide du logiciel MATLAB par J. AUBRY [Aubry, 2011]. Il s'inspire du monde du vivant en traduisant le comportement social d'individus (des particules) dans un groupe (essaim) en encourageant la collaboration entre particules dans la recherche d'un minimum.

Nous nous proposons ici de le présenter. Initialement, à l'itération $k = 0$, N_p particules se placent aléatoirement dans le domaine U de recherche des solutions pour les entrées E . Nous avons donc

initialement N_p tirage aléatoire de E . La position à l'itération $k + 1$ est définie par :

$$\begin{cases} v_{k+1} &= \omega \cdot v_k + b_1 \cdot (E_{best,k} - E_k) + b_2 \cdot (E_{leader,k} - E_k) \\ E_{k+1} &= E_k + v_{k+1} \end{cases} \quad (2.11)$$

avec :

- E_k le vecteur d'entrée à l'itération k .
- E_{k+1} le vecteur d'entrée à l'itération $k + 1$.
- v_k le vecteur vitesse à l'itération k .
- v_{k+1} le vecteur vitesse à l'itération $k + 1$.
- ω le terme d'inertie La particule a tendance à suivre sa trajectoire précédente.
- $E_{best,k}$ la meilleur position enregistrée par la particule à l'itération k .
- $E_{leader,k}$ la meilleur position de l'ensemble des particules.
- b_1 le terme de rappel 1. La particule a tendance à revenir vers la meilleur position qu'elle a enregistrée. b_1 est tiré aléatoirement sur l'intervalle $[0, 1]$.
- b_2 le terme de rappel 2. La particule a tendance à se diriger vers la meilleur position de l'ensemble des particules. b_2 est tiré aléatoirement sur l'intervalle $[0, 1]$.

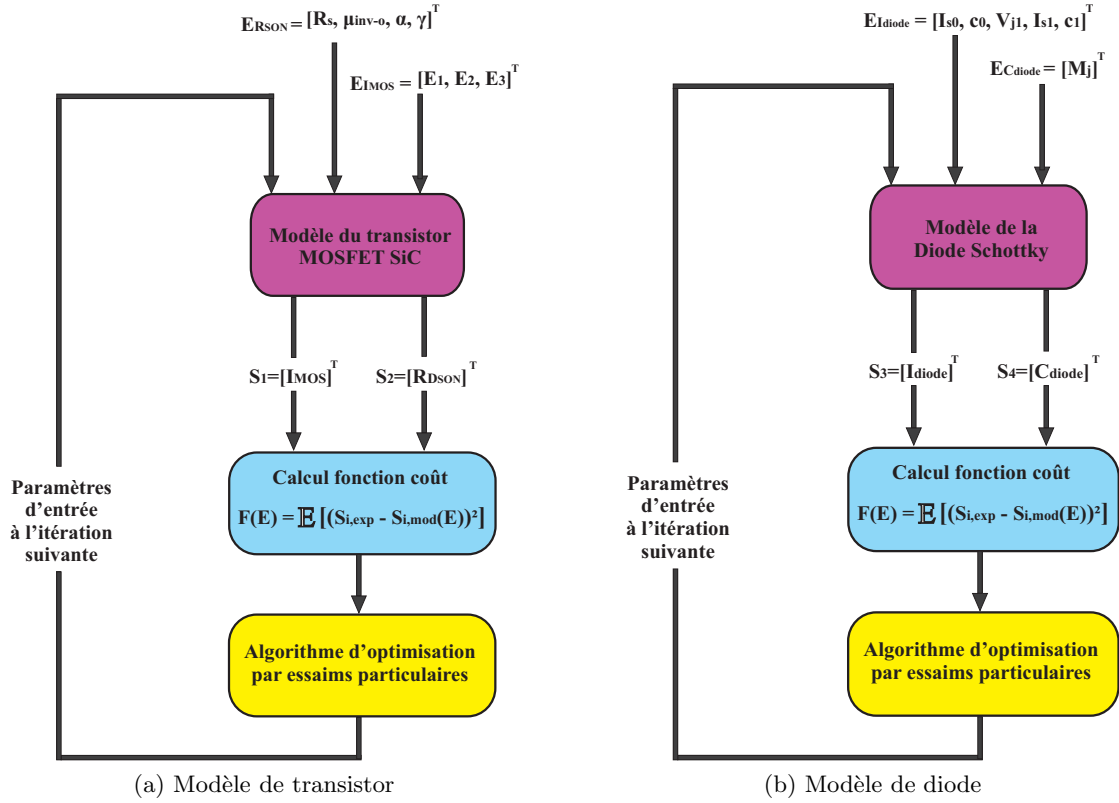


FIGURE 2.6 – Synoptique de la phase d'optimisation

Notons que l'algorithme par essais particulaires peut converger vers un minimum local et dans ce cas le minimum global recherché n'est pas atteint. Néanmoins, l'augmentation du nombre de particules N_p réduit ce risque, mais cela se fait au détriment de la vitesse de l'algorithme. Par conséquent, à chaque itération, un certain nombre de particules (choisi ici à 10% du nombre total de particules) se replacent aléatoirement dans l'espace des solutions. Cela permet donc de converger progressivement vers le minimum global recherché.

Enfin, nous présentons sur la figure 2.6 le synoptique de la phase d'optimisation du modèle du MOSFET et celui de la diode Schottky à l'aide de la méthode des essais particulaires.

Pour le modèle du MOSFET, nous comptant 26 inconnues à déterminer pour deux grandeurs de sortie (I_{MOS} et $R_{DS(ON)}$). Pour le modèle de la diode, nous avons 6 inconnues pour aussi deux grandeurs de sortie (I_{diode} et C_{diode}).

2.5 Présentation de l'optimisation

Dans ce paragraphe, nous allons présenter les résultats de l'optimisation par la méthode des essais particuliers. Nous commencerons par les sous-modèles du transistor MOSFET CMF20120D : le modèle du courant, I_{MOS} , et le modèle de la résistance à l'état passant, $R_{DS(ON)}$. Puis nous terminerons par les sous-modèles de la diode Schottky C2D20120D : le modèle de son courant, I_{diode} , et celui de sa capacité C_{diode} .

2.5.1 Extraction des paramètres du modèle MOSFET SiC

a. Courant dans le canal I_{MOS}

Avant de présenter les résultats de l'optimisation du modèle du courant du canal, nous rappelons son vecteur « paramètres d'entrée » présenté précédemment dans la section 2.3.1 :

$$E_{I_{MOS}} = [E_1 \quad E_2 \quad E_3]^T \quad (2.12)$$

L'optimisation se fait en trois étapes, en déterminant tout d'abord les paramètres du vecteur E_1 pour ($T_j = T_0$), ensuite les paramètres du vecteur E_2 pour ($T_j < T_0$) et enfin ceux du vecteur E_3 pour ($T_j > T_0$).

L'ensemble des valeurs de ces paramètres est récapitulé dans le tableau 2.2. Les coefficients obtenus pour $T_j < T_0$ et $T_j > T_0$ étant des coefficients issus d'une modélisation phénoménologique, ces derniers n'ont pas de signification physique. En revanche, pour les constantes à T_0 , cette fois-ci ces derniers ont une signification physique et/ou électrique et doivent donc avoir des ordres de grandeur non aberrants.

Pour la mobilité μ_{n-inv0} , nous nous sommes rapportés aux travaux présentés dans le chapitre I.2 (paragraphe 2.2.4) montrant que cette mobilité est comprise entre 1 et 10 ($cm^2/V.s$), ce qui est bien le cas de la valeur trouvée par optimisation.

Pour les constantes restantes, nous nous sommes reportés aux travaux de McNUTT dans [McNutt et al., 2004a] présentant un modèle d'un VDMOSFET SiC (2kV-5A). Même s'il ne s'agit pas du même MOSFET modélisé, nous avons vérifié que les coefficients de ce modèle étaient du même ordre de grandeur que les nôtres.

Les résultats de cette optimisation sont présentés sur les figures 2.7, 2.8 et 2.9 illustrant une très bonne concordance entre le modèle développé et les courbes expérimentales.

En effet, la figure 2.7 affiche les caractéristiques directes mesurées et celles données par le modèle du transistor pour différentes tensions V_{GS} et à une température ambiante, $T_0 = 25^\circ C$.

La figure 2.8 présente ces caractéristiques directes pour des températures de jonction inférieures à celle de la température ambiante T_0 (T_j comprise entre $-60^\circ C$ et $20^\circ C$).

Pour des raisons de lisibilité de courbes, nous présentons sur la figure 2.8a les résultats correspondant à $T_j = [-60 \quad -20 \quad 20] (^\circ C)$ et sur la figure 2.8b les résultats correspondant à $T_j = [-40 \quad 0] (^\circ C)$.

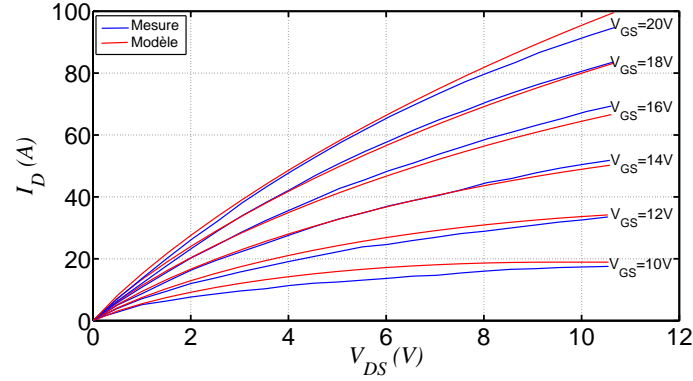


FIGURE 2.7 – Comparaison entre les caractéristiques directes du MOSFET mesurées et les données du modèle du courant I_{MOS} , pour différentes tensions V_{GS} , à température ambiante $T_0 = 25^\circ C$

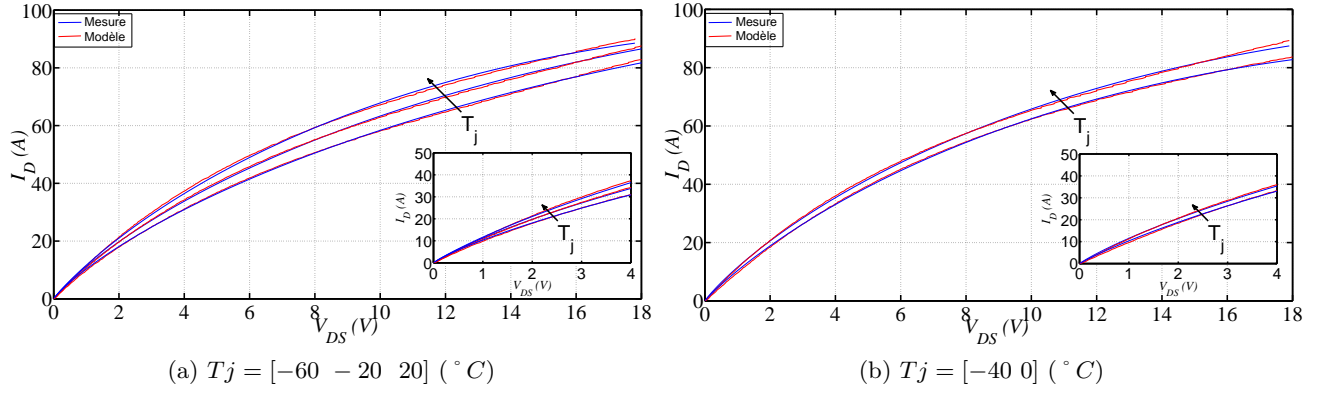


FIGURE 2.8 – Comparaison entre les caractéristiques directes du MOSFET mesurées et les données du modèle du courant I_{MOS} , pour des températures de jonctions $T_j < T_0$ et pour une tension $V_{GS} = 20V$

Enfin, la figure 2.9 présente ces caractéristiques directes pour des températures de jonction supérieures à celle de la température ambiante T_0 (T_j comprise entre $40^\circ C$ et $200^\circ C$). La figure 2.9a correspond à $T_j = [40 80 120 160 200]$ et la figure 2.9b correspond à $T_j = [60 100 140 180]$.

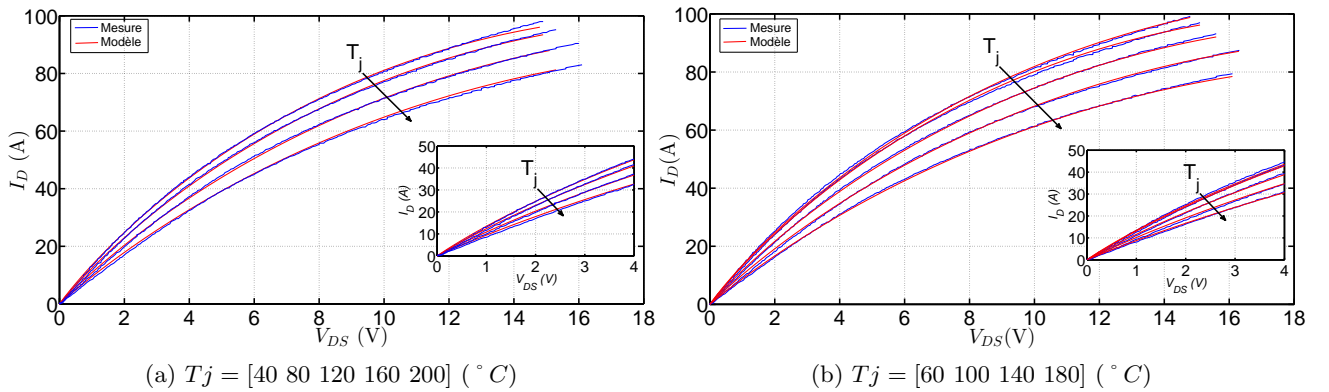


FIGURE 2.9 – Comparaison entre les caractéristiques directes du MOSFET mesurées et les données du modèle du courant I_{MOS} , pour des températures de jonctions $T_j > T_0$ et pour une tension $V_{GS} = 20V$

Modèle du courant dans le canal		
Paramètre optimisé	Symbole	Valeur
Constantes pour T_0	μ_{n-inv0}	$4,42.10^{-4}$
	θ_0	0,011
	K_{f0}	2,62
	P_{vf0}	0,99
Coefficients pour $T_j < T_0$	θ_{-0n}	8,86
	K_{f-0n}	4,67
	P_{vf-0n}	-1,03
	θ_{-1n}	-70
	K_{f-1n}	-4,14
	P_{vf-1n}	-25,52
	θ_{-2n}	-27,57
	K_{f-2n}	2,61
Coefficients pour $T_j > T_0$	P_{vf-2n}	-31,97
	θ_{-0p}	4,85
	K_{f-0p}	-2,50
	P_{vf-0p}	-1,07
	θ_{-1p}	7,17
	K_{f-1p}	-13,78
	P_{vf-1p}	3,58
	θ_{-2p}	4,14
	K_{f-2p}	21,21
	P_{vf-2p}	5,31

 TABLE 2.2 – Récapitulatif des résultats de l'optimisation pour le courant dans le canal I_{MOS}

b. Résistance à l'état passant $R_{DS(ON)}$

Nous procédons de la même façon, pour le modèle de la résistance à l'état passant. Nous allons déterminer les différents paramètres définissant le vecteur d'entrée, $E_{R_{DS(ON)}}$ (expression 2.13), et dont l'ensemble des valeurs est présenté dans le tableau 2.3.

Pour la mobilité μ_{n-0} , nous nous sommes reportés aux travaux de LEVINSHTEIN dans [Levinshtein et al., 2001b] montrant que cette mobilité est inférieure à $900 \text{ cm}^2/V.s$ pour les cas du 4H-SiC, ce qui est bien le cas de la valeur trouvée par optimisation.

Pour la résistance R_S , nous nous sommes reportés aux travaux de McNUTT dans [McNutt et al., 2004a] montrant que cette résistance est de l'ordre de $0,03\Omega$, du même ordre de grandeur que celle estimée ici.

$$E_{R_{DS(ON)}} = [R_S \ \mu_{n-0} \ \alpha \ \gamma]^T \quad (2.13)$$

Les résultats de cette optimisation sont présentés sur la figure 2.10 où nous comparons l'évolution, en fonction de la température, de la résistance mesurée à celle du modèle développé. Nous présentons aussi l'évolution des modèles des deux composantes de la $R_{DS(ON)}$: la résistance du canal, R_{CH} , qui décroît avec la température engendrant la diminution de $R_{DS(ON)}$, et la résistance de drift, R_{DRIFT} , dont l'effet devient prépondérant avec la température, ce qui entraîne l'augmentation de la $R_{DS(ON)}$.

Modèle de la résistance à l'état passant			
Paramètre optimisé	Symbole	Valeur	Unité
Résistance de contact de drain	R_S	0,063	(Ω)
Mobilité volumique des électrons	μ_{n-0}	349	($cm^2/V.s$)
Coefficient de température de la mobilité dans le canal	α	2,9	XXX
Coefficient de température de la mobilité volumique	γ	-5,89	XXX

TABLE 2.3 – Récapitulatif des résultats de l'optimisation pour le modèle de la résistance à l'état passant

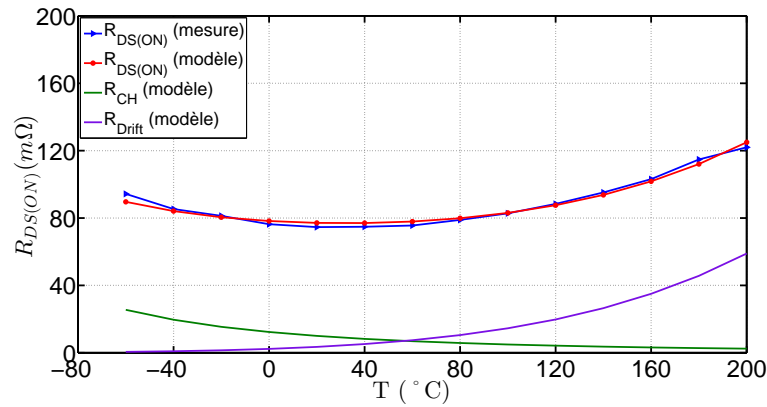


FIGURE 2.10 – Évolution de la résistance à l'état passant avec la température : comparaison entre la mesure et le modèle

2.5.2 Extraction des paramètres du modèle diode Schottky SiC

Présentons à présent les résultats de l'optimisation du modèle de la diode. Le tableau 2.4 reprend les valeurs des paramètres estimés qui constituent les vecteurs paramètres d'entrées, $E_{I_{diode}}$ et $E_{C_{diode}}$, du dit modèle :

$$E_{I_{diode}} = [I_{S0} \ c_0 \ V_{j1} \ I_{S1} \ c_1]^T; \ E_{C_{diode}} = [M_j]^T \quad (2.14)$$

Modèle de la diode Schottky		
Paramètre optimisé	Symbole	Valeur
Courant de saturation	I_{S0}	62
Facteur de correction	c_0	171,68
Coefficient de gradualité	M_j	0,44
Coefficients thermiques pour $T_j > T_0$	V_{j1}	-1,04
	I_{S1}	0,63
	c_1	2,2

TABLE 2.4 – Récapitulatif des résultats de l'optimisation pour le modèle de la diode Schottky C2D20120D

Les figures 2.11a et 2.11b présentent respectivement les résultats de l'optimisation du sous-modèle I_{diode} et du sous-modèle C_{diode} . Seule la caractéristique de la capacité est mesurée à l'aide du traceur, les caractéristiques directes de la diode ($I_{diode} = f(V_{diode})$) à différentes températures sont celles données

par la fiche technique du fabricant [C2D20120D, 2013]. Nous constatons une bonne corrélation entre le modèle et la mesure.

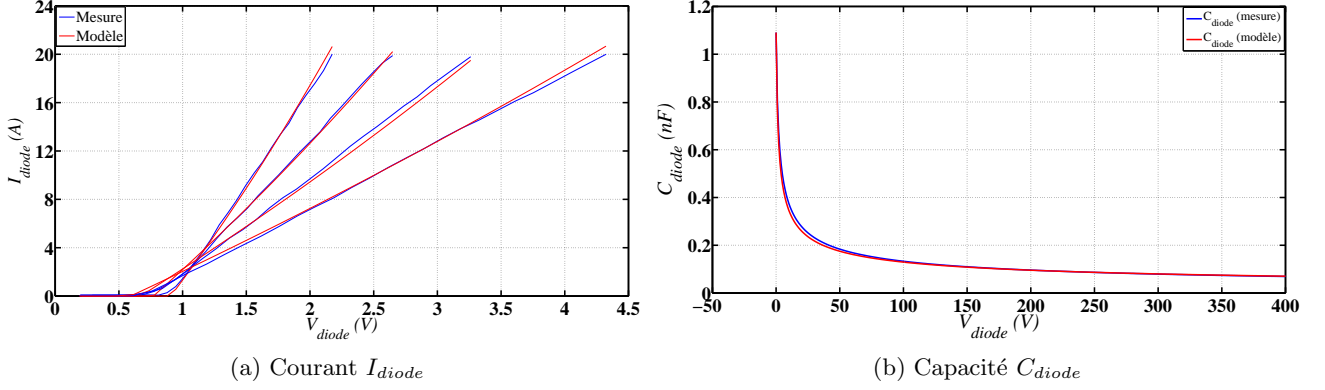


FIGURE 2.11 – Mesure et modèle des caractéristiques statique et dynamique de la diode Schottky C2D20120D

2.6 Conclusion

Ce chapitre a été destiné à la présentation de la méthodologie d'extraction des paramètres inconnus dans le cadre des modèles statiques du MOSFET CMF20120D et de la diode Schottky C2D20120D. Cette phase est importante quand il s'agit d'une modélisation compacte, dépendant de plusieurs paramètres physiques et/ou mathématiques et qui ne sont pas toujours faciles à extraire. En effet, chaque modèle exige une approche d'extraction spécifique selon le nombre des paramètres inconnus et leurs définitions.

Le procédé d'extraction a été réalisé principalement en deux étapes. Dans un premier temps, nous avons estimé certains paramètres physiques à partir des fiches techniques de fabricant, des caractérisations électriques adéquates et des formulations analytiques des modèles. Cette première démarche nous a permis de finaliser les modèles des capacités intrinsèques du transistor MOSFET SiC avec une bonne concordance entre mesure et modèle.

Ensuite, nous avons cherché à extraire les paramètres restants à l'aide d'une approche d'optimisation par la méthode des essais particuliers. Pour cela, nous avons commencé par définir le problème d'optimisation, notamment les paramètres à extraire (paramètres d'entrée), les grandeurs à optimiser (vecteurs et/ou matrice de sortie) et la fonction coût à minimiser. Ensuite, nous avons présenté l'algorithme d'optimisation choisi.

Enfin, nous avons présenté les résultats d'optimisation dans le cadre des sous-modèles du MOSFET (courant I_{MOS} et résistance à l'état passant $R_{DS(ON)}$) et des sous-modèles de la diode Schottky (courant I_{diode} et capacité C_{diode}). Nous avons constaté, à chaque fois, une bonne corrélation entre mesure et modèle.

Ce chapitre vient clôturer la phase de la modélisation statique. A présent, les deux modèles peuvent être implémentés dans un circuit de simulation afin de les valider en dynamique, cela fera l'objet du chapitre suivant.

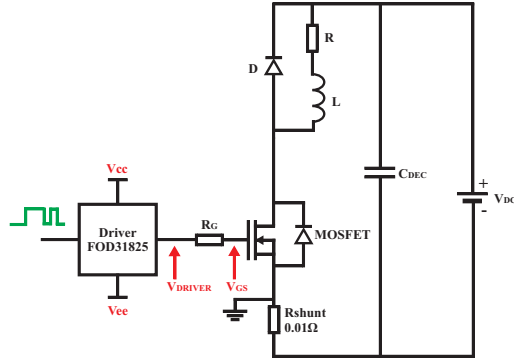
Modélisation d'une cellule de commutation sous SIMPLORER

3.1 Introduction

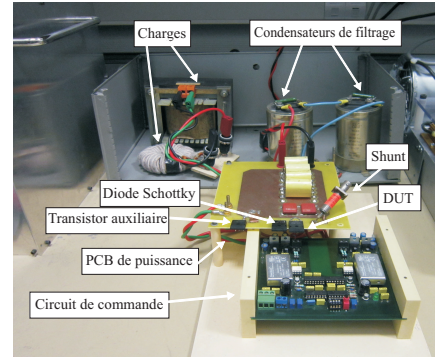
Nous chercherons dans ce chapitre à évaluer le modèle du transistor MOSFET SiC de chez Cree en régime dynamique. Cette phase de modélisation est effectuée sous le logiciel SIMPLORER.

Pour valider le modèle du MOSFET, nous comparerons les résultats de simulation à des mesures électriques réalisées sur le banc #2, ce dernier a déjà été présenté dans II.2.

La figure 3.1 présente le circuit de test utilisé pour la validation expérimentale. Il est constitué d'une source de tension continue, V_{DC} , d'un condensateur de découplage, C_{DEC} , d'une charge $R-L$ et d'une cellule de commutation composée d'un transistor MOSFET et d'une diode Schottky SiC de roue libre, D .



(a) Schéma du hacheur



(b) Photographie du banc

FIGURE 3.1 – Circuit de test utilisé pour la validation expérimentale du MOSFET SiC

Pour reproduire les commutations du MOSFET de manière satisfaisante, il faudra bien modéliser l'ensemble des éléments constituant la cellule de commutation à savoir, la charge, le condensateur de découplage, le PCB de puissance et l'impédance du circuit de commande rapprochée.

La première section de ce chapitre porte sur la modélisation de la charge R-L du banc et sur l'identification des inductances parasites de la maille de commutation à savoir, les inductances internes au boîtier TO247 du MOSFET et de la diode, celles du PCB de puissance, et celles du condensateur de découplage.

Faute de temps, nous n'avons pas pu modéliser les éléments parasites du circuit de commande rapprochée et nous n'avons pas non plus considéré l'effet de la fréquence (effet de peau) sur la résistance des pistes du PCB (puissance et commande).

La deuxième section sera dédiée à la validation expérimentale du modèle du MOSFET SiC en régime dynamique. Manquant de résultats expérimentaux à différentes températures sur le banc de test #2 ayant servi à valider le modèle, nous ne pourrions valider son comportement thermique. En effet, les seuls essais en température ont été réalisés à l'aide du banc #3 (II.2). Ayant rencontré des difficultés de mise en œuvre avec ce banc, à cause notamment de perturbations importantes entre puissance et commande, il était difficile de l'utiliser pour valider le modèle du MOSFET.

Faute de temps, nous n'avons pas pu reproduire les tests à différentes température avec le banc 2#. Par conséquent, la robustesse du modèle sera évaluée uniquement sur les effets de la résistance de grille et du courant de charge.

3.2 Identification des éléments « parasites » de la cellule de commutation

Pour reproduire correctement les commutations du MOSFET SiC associé à la diode de roue libre, il est nécessaire de modéliser la charge $R - L$ du hacheur et d'identifier les inductances parasites du circuit, notamment celles de la boucle de commutation.

3.2.1 Modèle simplifié de la charge $R - L$

La charge utilisée ($R = 15\Omega$, $L = 11mH$) a été caractérisée au pont d'impédance, référencé HP4194A, sur une plage de fréquence variant de $100Hz$ à $15MHz$.

La charge est inductive jusqu'à une fréquence de l'ordre de $150kHz$ et présente ensuite plusieurs résonances et antirésonances comme le montre la figure 3.2b, illustrant la variation de l'impédance de la charge $R - L$ avec la fréquence.

Pour reproduire ce comportement, nous proposons un modèle comportemental relativement simplifié (figure 3.2a) et qui reste satisfaisant jusqu'à une fréquence de $1MHz$ comme le montre la figure 3.2b (courbe rouge).

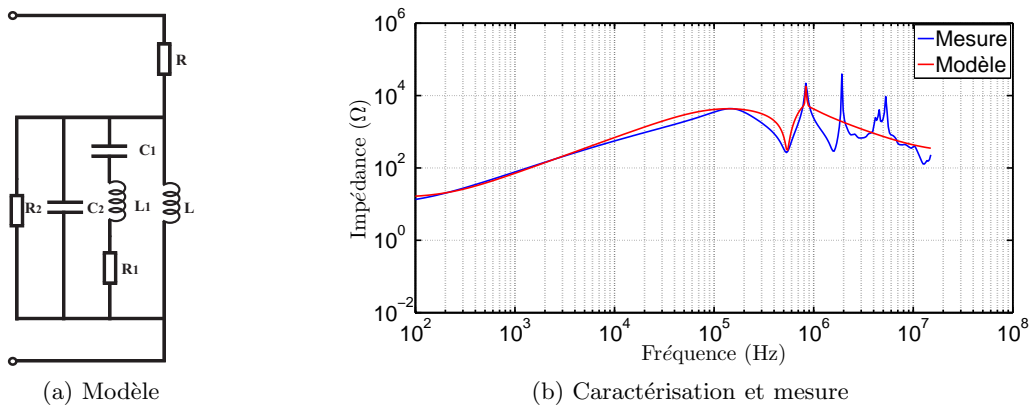


FIGURE 3.2 – Mesure et modélisation de la charge $R - L$ dans une gamme de fréquence de $100Hz$ à $15MHz$

3.2.2 Inductances parasites d'accès au MOSFET SiC

Les inductances internes au boîtier TO274 incluant les broches d'accès et les fils de bonding ont été évaluées également au pont d'impédance sur une large plage de fréquence comprise entre $100Hz$

et 40MHz (figure 3.3).

L'inductance parasite entre drain et source a été mesurée au pont d'impédance en court-circuitant grille et source. La décroissance linéaire de l'impédance permet dans un premier temps l'estimation de la capacité de sortie, C_{OSS} ($2,3\text{nF}$ sous une tension $V_{DS} = 5\text{V}$). Ensuite, la mesure de la fréquence de résonance (35MHz) nous permet d'estimer une inductance de connectique entre drain et source $L_{DS} = 8,89\text{nH}$.

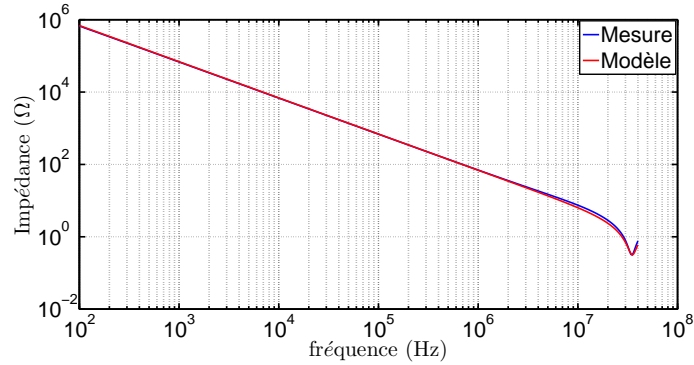


FIGURE 3.3 – Caractérisation de la jonction drain-source sur une gamme de fréquence de 100kHz à 40MHz ($V_{GS} = 0\text{V}$) et identification de L_{DS}

L'inductance parasite entre grille et source a été mesurée au pont d'impédance sur le même principe en court-circuitant cette fois drain et source. Après détermination de la capacité d'entrée, C_{ISS} ($2,85\text{nF}$ sous une tension $V_{DS} = 5\text{V}$), la mesure de la fréquence de résonance (35MHz) nous permet d'estimer une inductance de connectique entre grille et source $L_{GS} = 7,68\text{nH}$.

3.2.3 Inductances parasites du PCB de puissance

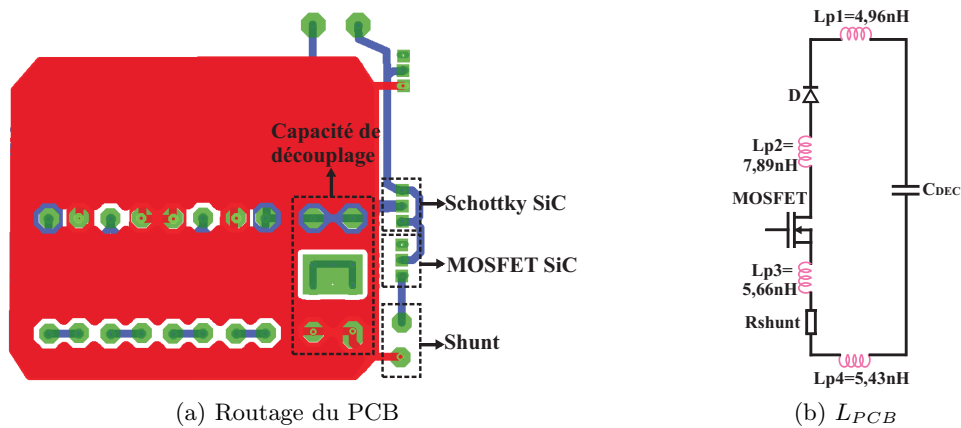


FIGURE 3.4 – Modélisation du routage du PCB de puissance et discrétisation de l'inductance L_{PCB} dans la maille de commutation

L'inductance du PCB de puissance a été extraite du routage du PCB à l'aide du logiciel ANSYS Q3D. La modélisation du routage du PCB dans Q3D est présentée sur la figure 3.4, illustrant les différents composants de la boucle de commutation, figure 3.4a, et la discrétisation de l'inductance parasite du PCB, figure 3.4b. Cette inductance est estimée à $L_{PCB} = 23,94\text{nH}$.

3.2.4 Inductance de maille

L'inductance totale de la maille de commutation, L_{maille} , inclue l'inductance parasite du condensateur de découplage, l'inductance de connexion de la diode de roue libre, celle du PCB de puissance et l'inductance parasite du boîtier TO247 entre drain et source (équation 3.1).

$$L_{maille} = L_{DEC} + L_{diode} + L_{PCB} + L_{DS} \quad (3.1)$$

avec : L_{DEC} l'inductance parasite de la capacité de découplage, L_{diode} l'inductance de connexion de la diode Schottky et L_{PCB} l'inductance parasite du PCB de puissance.

Cette inductance a été estimée par l'intermédiaire d'un essai de commutation à l'amorçage. La figure 3.5 présente les formes d'ondes relevées lors de cette commutation. Le $\frac{dI_D}{dt}$ à la mise en conduction est responsable d'une chute de tension aux bornes du transistor, notée ΔV (figure 3.5a) et s'écrit sous la forme suivante :

$$\Delta V = (L_{maille} - L_{DS}) \frac{dI_D}{dt} \quad (3.2)$$

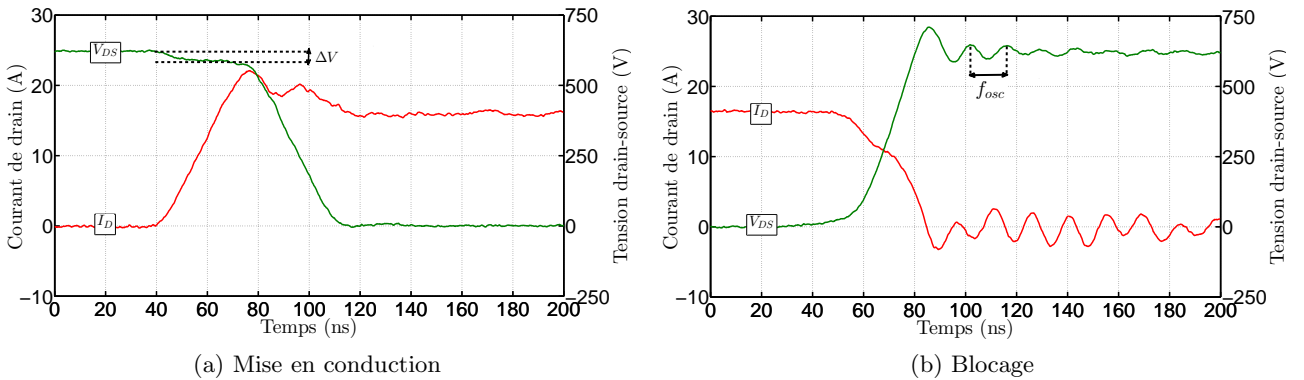


FIGURE 3.5 – Formes d'ondes du courant I_D et de la tension V_{DS} du MOSFET CMF20120D (a) à l'amorçage et (b) au blocage ($V_{DC} = 600V$, $I_L = 15A$, $R_G = 10\Omega$)

Connaissant la valeur de la chute de tension ($\Delta V = 26,8V$), l'inductance parasite entre drain et source ($L_{DS} = 8,89nH$) et le $\frac{dI_D}{dt}$ ($0,7A/ns$), nous déduisons la valeur de L_{maille} estimée à $47,17nH$.

Ensuite, à partir de l'équation 3.1, nous calculons la valeur des inductances de connexion de la diode de roue libre et celle de la capacité de découplage ($L_{diode} + L_{DEC} = 14,34nH$).

Nous n'avons pas cherché à mesurer ces capacités et nous avons réparti cette inductance de façon identique entre la diode et le condensateur de découplage, pour cette raison nous considérons, dans le circuit de simulation, que $L_{diode} = L_{DEC}$. Cette hypothèse ne change en aucun cas les résultats de simulation puisque la valeur de l'ensemble des inductances parasites reste constante ($L_{maille} = 47,17nH$).

Enfin, nous présentons sur la figure 3.6 le circuit complet tel qu'il est implanté sous SIMPLORER. Les différentes valeurs des éléments de la charge ainsi que celles des éléments parasites de la boucle de commutation sont récapitulées dans le tableau 3.1.

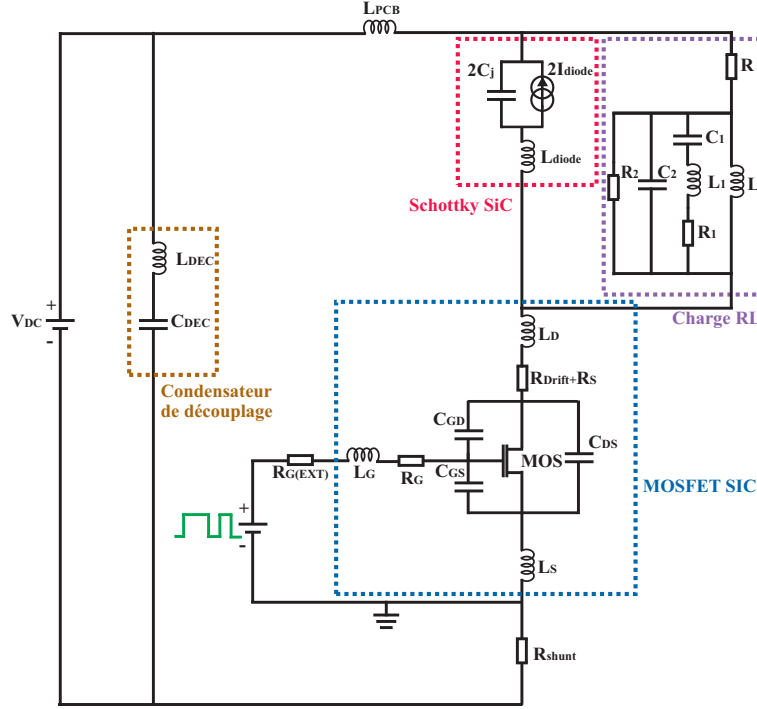


FIGURE 3.6 – Circuit de simulation implanté sous SIMPLORER

Élément	R	L	R_1	L_1	C_1	R_2	C_2
Valeur	15Ω	$11mH$	266Ω	$428,34\mu H$	$105,13pF$	4360Ω	$83,8pF$
Élément	R_G	L_G	L_S	L_D	L_{DEC}	L_{diode}	L_{PCB}
Valeur	5Ω	$7,68nH$	$4,45nH$	$4,45nH$	$7,17nH$	$7,17nH$	$23,94nH$

 TABLE 3.1 – Valeurs des éléments de la charge $R - L$ et des éléments parasites dans la cellule de commutation

3.3 « Recalage » des capacités parasites du transistor

Avant de présenter les comparaisons entre résultats de simulation et expérimentation, nous avons dû, dans un premier temps, recalibrer la valeur des capacités internes du transistor (C_{DS} et C_{GD}) mesurées initialement au capacimètre. En considérant le schéma de la figure 3.6, nous oublions les capacités parasites supplémentaires induites par le PCB de puissance mais aussi par l'insertion des sondes de mesure, notamment entre les potentiels de drain et de source et les potentiels de drain et de grille.

Nous serons donc amenés à recalibrer les capacités C_{DS} et C_{GD} par rapport à leurs valeurs mesurées au capacimètre, lorsque le transistor est isolé du convertisseur, afin de prendre en compte ces capacités supplémentaires.

Notons que ce recalage a été effectué pour un test réalisé sous une tension de bus continu de 600V, avec un courant de charge de 15A et avec une résistance de grille externe de 10Ω.

Enfin, nous recalons ces deux capacités en nous servant de la fréquence d'oscillation de la tension V_{DS} après blocage et de la valeur du $\frac{dv}{dt}$ à l'amorçage.

3.3.1 Recalage de C_{OSS}

D'après la caractéristique de la capacité de sortie du MOSFET obtenue au capacimètre (figure 3.7), nous déterminons une capacité de sortie minimale ($C_{OSS(MIN)}$) de l'ordre de $126pF$ pour une tension $V_{DS} = 600V$. Cette mesure est identique à celle donnée par le fabricant Cree dans [CMF20120D, 2012].

L'observation des formes d'ondes expérimentales nécessite toutefois que soit ajoutée une capacité supplémentaire entre drain et source, ce qui reviendra dans le modèle à recalculer la valeur de C_{OSS} .

Après la phase de blocage du transistor (figure 3.5b), nous observons une oscillation du courant de drain et de la tension entre drain et source. Cette oscillation a lieu entre l'inductance de la maille de commutation (diode passante) et la capacité de sortie du transistor, C_{OSS} . Cette fréquence d'oscillation est donnée par l'équation 3.3 et estimée à $50MHz$. Connaissant la valeur de L_{maille} , nous obtenons une valeur approchée de $C_{OSS(MIN)}$ égale à $214,8pF$ et qui est supérieure à celle mesurée initialement au capacimètre ($126pF$).

$$f_{osc} = \frac{1}{2 \pi \sqrt{(L_{maille} C_{OSS(MIN)})}} \quad (3.3)$$

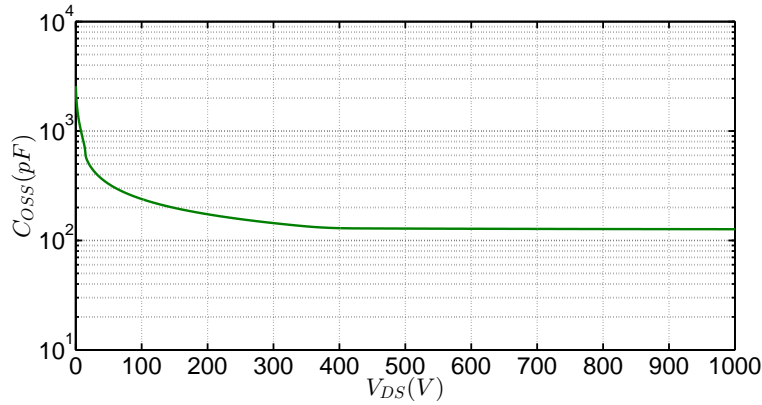


FIGURE 3.7 – Caractéristique de la capacité de sortie du MOSFET CMF20120D

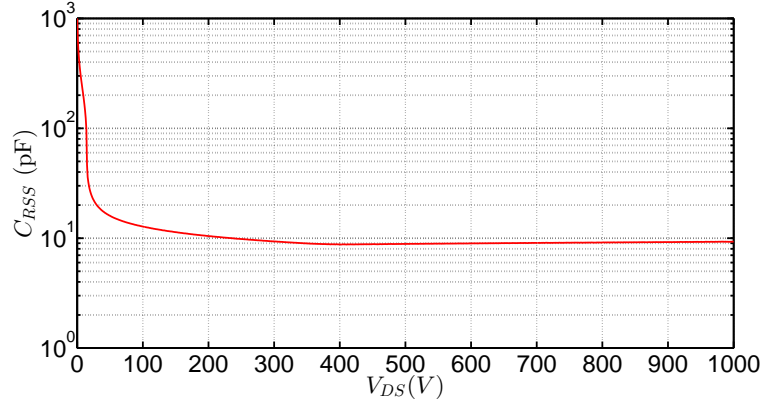
3.3.2 Recalage de C_{RSS}

La mesure précédente a permis de recalculer la capacité de sortie du transistor dans son environnement, intégrant donc les capacités parasites du PCB et des sondes de mesures. L'expression générale du $\frac{dV_{DS}}{dt}$ à l'amorçage (figure 3.5a), démontrée dans le chapitre II.2 [Rossignol, 2015] et rappelée dans l'équation 3.4, va être utilisée afin, cette fois, de recalculer de façon différenciée les capacités C_{GD} et C_{DS} .

$$\frac{dV_{DS}}{dt} = - \frac{g_m \cdot (V_{DRIVER+} - V_{TH}) - I_L}{C_{OSS(MIN)} + 2 \cdot C_{J(MAX)} + R_G \cdot g_m \cdot C_{GD(MIN)}} \quad (3.4)$$

Nous recalons dans un premier temps la capacité C_{RSS} (ou C_{GD}) par rapport à sa valeur minimale mesurée à partir de sa caractéristique, figure 3.8. A partir de cette figure, nous déterminons une valeur minimale de C_{GD} égale à $8,97pF$ pour $V_{DS} = 600V$.

Il vient, en considérant les données numériques ($\frac{dV_{DS}}{dt} = 16,96V/ns$, $I_L = 17A$, $R_G = 15\Omega$, $g_m = 5,3A/V$, $C_{J(MAX)} = 1,1nF$, $V_{TH} = 3,3V$, $V_{DRIVER+} = 19,8V$), une valeur approchée de $C_{GD(MIN)}$ égale à $22,1pF$. A partir de la valeur de $C_{OSS(MIN)}$ et de celle de $C_{GD(MIN)}$, nous déduisons la capacité $C_{DS(MIN)}$ qui vaut $192,7pF$ ($C_{OSS(MIN)} - C_{GD(MIN)}$).


 FIGURE 3.8 – Caractéristique de la capacité C_{RSS} du MOSFET CMF20120D

3.4 Validation expérimentale

Nous avons testé la validité du modèle du MOSFET SiC pour trois points de fonctionnement où nous avons comparé les formes d'ondes ($V_{DS} - I_D$) simulées lors des transitoires avec les formes d'ondes expérimentales :

- figures 3.9a et 3.9b pour $V_{DS} = 600V$, $I_L = 15A$ et $R_{G(EXT)} = 10\Omega$
- figures 3.10a et 3.10b pour $V_{DS} = 600V$, $I_L = 15A$ et $R_{G(EXT)} = 5\Omega$
- figures 3.11a et 3.11b pour $V_{DS} = 600V$, $I_L = 5A$ et $R_{G(EXT)} = 5\Omega$

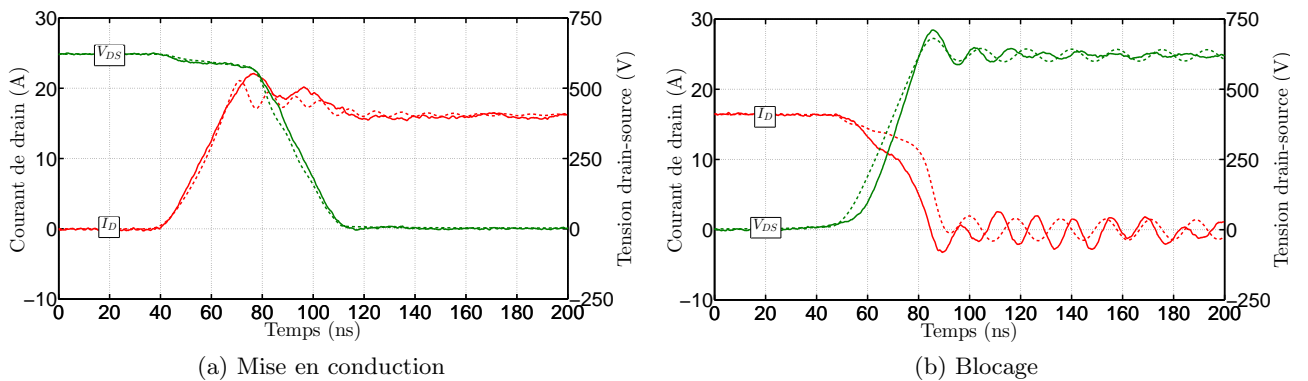
L'erreur relative entre la mesure et la simulation est définie par l'équation 3.5 et elle est exprimée en %.

$$\epsilon_r = \left| \frac{x_i^e - x_i^s}{x_i^e} \right| \times 100 \quad (3.5)$$

avec : x_i^e la valeur expérimentale des paramètres transitoires et x_i^s la valeur simulée de ces paramètres.

3.4.1 Essai #1 à $V_{DS} = 600V$, $I_L = 15A$ et $R_{G(EXT)} = 10\Omega$

Nous rappelons que les valeurs des capacités C_{DS} et C_{GS} ont été recalées sur les formes d'ondes expérimentales présentées sur la figure 3.9.


 FIGURE 3.9 – Mesures (traits continus) et simulations (pointillés) du courant et de la tension de drain du MOSFET CMF20120D en commutation à la fermeture, $V_{DS} = 600V$, $I_L = 15A$ et $R_{G(EXT)} = 10\Omega$

A la mise en conduction du transistor, figure 3.9a, nous notons une bonne corrélation entre les pentes $\frac{dv}{dt}$ et $\frac{di}{dt}$ expérimentales et simulées (voir aussi le tableau 3.2). Nous constatons également que la chute de tension inductive aux bornes du transistor lors de la phase de croissance du courant est correctement simulée.

Nous notons toutefois, au blocage de la diode (mise en conduction du transistor) une différence importante au niveau de la surintensité qui apparaît dans le transistor. Nous n'avons pas réussi à expliquer cette différence, elle pourrait éventuellement être due au comportement « légèrement » bipolaire de la diode Schottky MBS (utilisée ici comme diode de roue libre) et non pris en compte par le modèle.

Au blocage, figure 3.9b, la fréquence des oscillations apparaissant après l'annulation du courant de drain est assez bien représentée par le modèle. En outre, nous observons une décroissance du courant de drain, lors de la phase de ré-application de la tension, plus faible en simulation qu'en expérimentation et qui peut être corrélée à la sous estimation du $\frac{dv}{dt}$.

Le tableau 3.2 rapporte les valeurs expérimentales et simulées des $\frac{dv}{dt}$ et $\frac{di}{dt}$ du transistor.

Conditions de test				
$V_{DS} = 600V$, $I_L = 15A$, $R_{G(EXT)} = 10\Omega$				
Paramètre	Valeur mesurée	Valeur simulée	Unité	Erreur relative
$\frac{di}{dt}_{ON}$	0,7	0,73	(A/ns)	4,28%
$\frac{dv}{dt}_{ON}$	16,96	17,53	(V/ns)	3,36%
$\frac{di}{dt}_{OFF}$	0,48	0,42	(A/ns)	12,5%
$\frac{dv}{dt}_{OFF}$	24	20,3	(V/ns)	15,42%

TABLE 3.2 – Récapitulatif des paramètres transitoires caractérisant la commutation du MOSFET CMF20120D et calculés à partir de l'expérimental et de la simulation, essai #1

3.4.2 Essai #2 à $V_{DS} = 600V$, $I_L = 15A$ et $R_{G(EXT)} = 5\Omega$

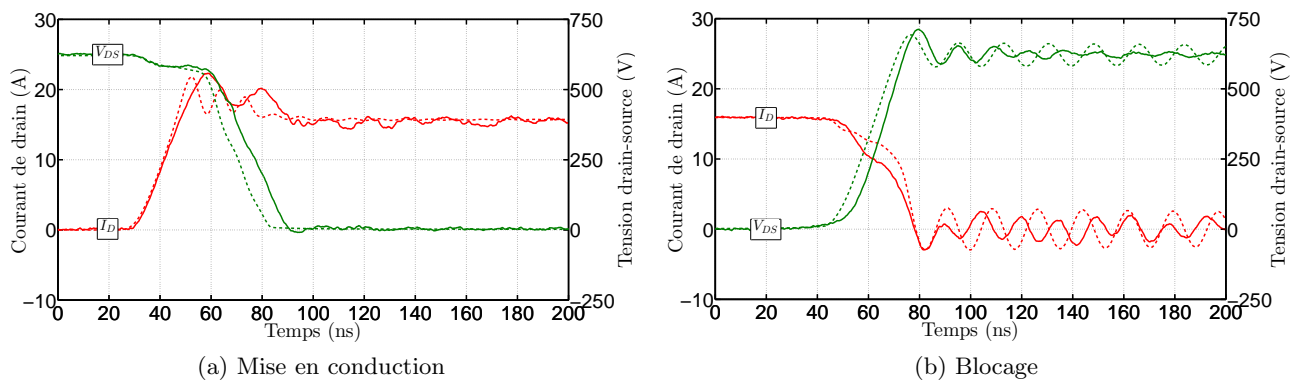


FIGURE 3.10 – Mesures (traits continus) et simulations (pointillés) du courant et de la tension de drain du MOSFET CMF20120D en commutation à la fermeture, $V_{DS} = 600V$, $I_L = 15A$ et $R_{G(EXT)} = 5\Omega$, essai #2

A la mise en conduction, figure 3.10a, la diminution de la résistance de grille entraîne une augmentation significative du $\frac{di}{dt}$ à la mise en conduction qui est bien reproduite par le modèle. Nous notons également une assez bonne corrélation entre les $\frac{dv}{dt}$ et $\frac{di}{dt}$ simulés et expérimentaux (figure 3.10a et tableau 3.3).

Au blocage, figure 3.10b, la diminution de la résistance de grille de 10 à 5Ω augmente légèrement le $\frac{di}{dt}$ sans toutefois modifier significativement le $\frac{dv}{dt}$. Nous constatons ici encore, une assez bonne corrélation entre le modèle et l'expérimentation avec toutefois, une légère sous estimation du $\frac{dv}{dt}$ par le modèle.

Conditions de test				
$V_{DS} = 600V$, $I_L = 15A$, $R_{G(EXT)} = 5\Omega$				
Paramètre	Valeur mesurée	Valeur simulée	Unité	Erreur relative
$\frac{di}{dt}_{ON}$	0,93	1,04	(A/ns)	11,83%
$\frac{dv}{dt}_{ON}$	19,5	22,4	(V/ns)	14,87%
$\frac{di}{dt}_{OFF}$	0,5	0,51	(A/ns)	2%
$\frac{dv}{dt}_{OFF}$	26,87	24,75	(V/ns)	7,9%

TABLE 3.3 – Récapitulatif des paramètres transitoires caractérisant la commutation du MOSFET CMF20120D et calculés à partir de l'expérimental et de la simulation

3.4.3 Essai #3 à $V_{DS} = 600V$, $I_L = 5A$ et $R_{G(EXT)} = 5\Omega$

Dans ce cas de figure, et comparativement à l'essai #2 ($V_{DS} = 600V$, $I_L = 15A$, $R_{G(EXT)} = 5\Omega$), c'est le courant de charge qui est ici significativement modifié.

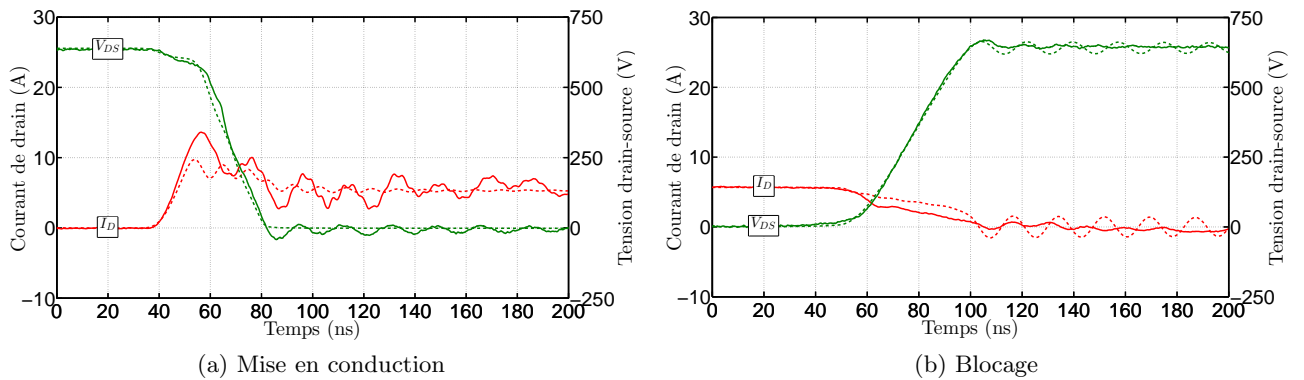


FIGURE 3.11 – Mesures (traits continus) et simulations (pointillés) du courant et de la tension de drain du MOSFET CMF20120D en commutation à la fermeture, $V_{DS} = 600V$, $I_L = 5A$ et $R_{G(EXT)} = 5\Omega$, essai #3

D'après la figure 3.11a, la diminution du courant de charge n'a que peu d'effet sur le $\frac{dv}{dt}$ à la mise en conduction, ce qui est très correctement pris en compte par le modèle. On retrouve toujours à la mise en conduction une différence importante entre expérimentation et simulation sur la surintensité

apparaissant dans le transistor et liée au blocage de la diode, et qui est ici plus marquée que sur l'essai #2.

Au blocage, figure 3.11b, la diminution du courant de charge entraîne une décroissance importante du $\frac{dv}{dt}$ qui évolue expérimentalement de $26,87V/ns$ (essai #2) à $14,42V/ns$. Nous constatons également que cette évolution est correctement prise en compte par le modèle qui donne un écart de 4,5% entre le $\frac{dv}{dt}$ simulé et celui mesuré expérimentalement.

Par contre, la variation du courant de drain liée à l'effet du $\frac{dv}{dt}$ sur la capacité de la diode de roue libre n'est pas correctement simulée ce qui entraînera une erreur importante sur les pertes au blocage.

Enfin, nous présentons le tableau 3.4 rapportant les valeurs expérimentales et simulées des $\frac{dv}{dt}$ et $\frac{di}{dt}$ du transistor pour l'essai #3.

Conditions de test				
$V_{DS} = 600V$, $I_L = 5A$, $R_{G(EXT)} = 5\Omega$				
Paramètre	Valeur mesurée	Valeur simulée	Unité	Erreur relative
$\frac{di}{dt}_{ON}$	0,83	0,76	(A/ns)	8,43%
$\frac{dv}{dt}_{ON}$	23,8	22,74	(V/ns)	4,45%
$\frac{di}{dt}_{OFF}$	0,093	0,078	(A/ns)	16,13%
$\frac{dv}{dt}_{OFF}$	15,1	14,77	(V/ns)	2,2%

TABLE 3.4 – Récapitulatif des paramètres transitoires caractérisant la commutation du MOSFET CMF20120D et calculés à partir de l'expérimental et de la simulation

3.5 Synthèse

Avant de synthétiser les observations sur les phases de mise en conduction et de blocage, on peut constater que les fréquences d'oscillation des grandeurs électriques sont relativement bien représentées par le modèle. La non prise en compte de l'effet de peau sur la résistance totale de la maille de commutation peut expliquer que le coefficient d'amortissement de ces différentes oscillations n'est pas correctement simulé.

Pendant la phase de mise en conduction (figure 3.9a, 3.10a et 3.11a), nous avons constaté une assez bonne représentation des valeurs de $\frac{dv}{dt}$ et de $\frac{di}{dt}$ notamment lors des essais #1 et #3. En effet, l'erreur relative sur le $\frac{dv}{dt}$ est inférieure à 5% et celle sur le $\frac{di}{dt}$ reste inférieure à 9%.

C'est principalement la phase de blocage de la diode, et la surintensité qui apparaît alors dans le transistor qui est insuffisamment bien simulée, avec une surintensité dans le transistor bien plus élevée en expérimentation qu'en simulation. Cela se traduira par une sous estimation des pertes à la mise en conduction par le modèle. C'est en effet ce que nous constatons sur la figure 3.12, comparant les énergies dissipées à l'amorçage et au blocage du MOSFET pendant les trois essais.

Au blocage, c'est les $\frac{di}{dt}$ et $\frac{dv}{dt}$ de l'essai #2 qui sont correctement simulées avec une erreur relative respectivement de 2% pour le $\frac{di}{dt}$ et de 8% pour le $\frac{dv}{dt}$.

En revanche, la décroissance du courant dans le transistor lors de la phase de ré-application de la tension n'a pas été correctement simulée. L'erreur peut provenir d'une mauvaise estimation de la

capacité parasite de la diode de roue libre mais aussi d'une mauvaise répartition de la capacité ajoutée à C_{OSS} qui aurait pu être répartie entre la capacité de sortie du transistor et la capacité parasite de la diode. Cette sous estimation de la variation de courant se traduira cette fois par une surestimation des pertes au blocage dans le transistor, tel est le cas pour les trois essais (figure 3.12).

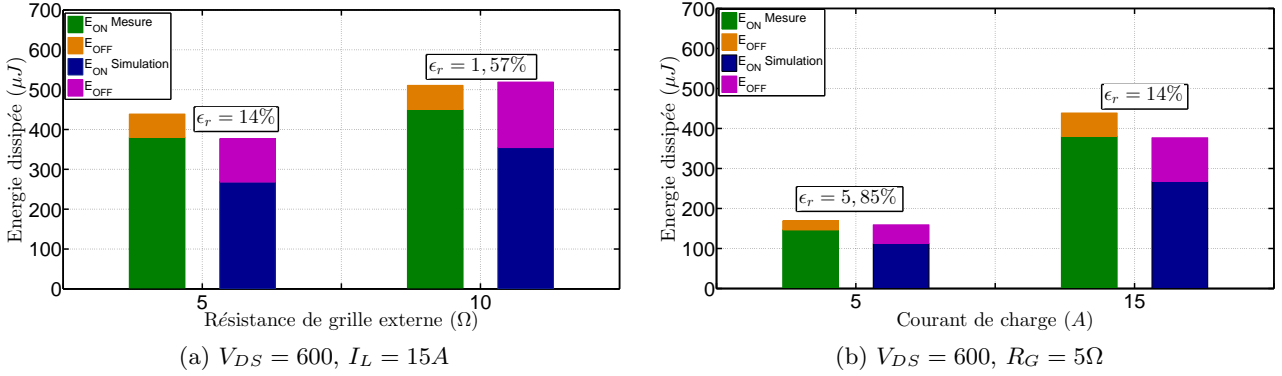


FIGURE 3.12 – Distribution de l'énergie dissipée pendant une phase de commutation pour différentes résistance de grille externe et différents courant de charge

Au final, nous constatons bien une sous-estimation des énergies dissipées à l'amorçage par le modèle et une surestimation des énergies dissipées au blocage qui, en se compensant, permettent de façon assez fortuite une relative bonne estimation des pertes totales par commutation.

3.6 Conclusion

Ce chapitre vient clôturer la partie consacrée à la modélisation des interrupteurs de puissance en SiC, notamment le MOSFET de chez Cree, référencé CMF20120D, et la diode Schottky de chez Infineon, référencée C2D20120D. Ce chapitre s'est articulé autour de la modélisation électrique de la cellule de commutation MOSFET-diode Schottky. Les deux modèles développés au début de cette partie ont été par la suite implémentés en VHDL-AMS et simulés dans une cellule de commutation sous le logiciel SIMPLORER.

La simulation du comportement transitoire du MOSFET a été comparée avec les données expérimentales pour trois points de fonctionnement. L'objectif de cette comparaison était d'évaluer la robustesse du modèle sur l'effet de la résistance de grille et du courant de charge.

L'objectif initial de cette partie de modélisation était le calcul des $\frac{dv}{dt}$ et $\frac{di}{dt}$ et l'estimation des pertes du MOSFET, tout en prenant compte du couplage électrothermique du composant. Faute de temps, et pour des raisons de difficulté de mise en œuvre, nous n'avons pas pu valider le comportement thermique du modèle MOSFET. Ce travail a été limité au comportement électrique des composants en SiC.

Enfin, nous notons que les deux modèles développés peuvent être améliorés tant par modélisation, en prenant en compte l'effet « bipolaire » de la diode Schottky MBS, que par simulation, en prenant en considération toute contrainte parasite dans la cellule de commutation. Ces points pourront apporter une amélioration considérable sur l'estimation des pertes par simulation.

Conclusion Générale et Perspectives

Conclusion générale

Les travaux présentés dans ce mémoire de thèse s'inscrivent dans le cadre d'une démarche globale visant l'évaluation des performances électriques des interrupteurs de puissance en technologie carbure de silicium pour une éventuelle utilisation dans des convertisseurs aéronautiques de nouvelle génération. Les potentialités des semi-conducteurs SiC de puissance laissent présager des possibilités plus étendues que les composants en silicium : haut rendement de conversion, tenue en tension plus élevée, fréquences de commutation élevées, fonctionnement à haute température et excellente robustesse en régime extrême de fonctionnement. De plus, cette nouvelle technologie de semi-conducteurs ouvre de réelles possibilités de réduction globale masse/volume des convertisseurs, ce qui répond aussi aux exigences de l'industrie aéronautique.

Bien que les études de marché des semi-conducteurs prédisent une expansion croissante dans le temps des composants en SiC, l'utilisation de ces derniers reste encore aujourd'hui limitée dans l'industrie. Cela vient du fait que cette technologie n'est pas encore bien maîtrisée et que ses processus de fabrication ne sont pas assez matures. Ces contraintes incitent, par conséquent, les industriels et les chercheurs à mener des investigations sur les performances, la fiabilité et la robustesse de ces dispositifs à semi-conducteurs grand gap afin d'évaluer leurs potentiels d'utilisation dans des applications industrielles notamment à plus haute température. C'est dans cette thématique que s'est inscrite cette étude.

Ainsi, la première partie de ce travail a porté sur l'évaluation des performances électriques statiques et dynamiques des transistors SiC de la gamme 1,2kV. Une campagne de caractérisations électriques a été conduite sur des JFET « normally-off » de chez Semisouth et sur des MOSFET provenant de deux fabricants différents, Cree et Rohm. Ces tests préliminaires avaient pour but de mettre en évidence les spécificités de chacun des composants pré-sélectionnés et d'établir ensuite un comparatif de performances de ces derniers.

Tout d'abord, nous avons effectué des caractérisations statiques sur une large gamme de température variant de -60°C à 200°C et nous avons suivi l'évolution de trois grandeurs électriques susceptibles de varier avec la température, à savoir, le courant de saturation, la résistance à l'état passant et le courant de fuite de drain. Les résultats de ces tests ont montré de bonnes performances statiques des transistors 1,2kV SiC, notamment un faible courant de fuite de drain du MOSFET Cree (inférieur à $84\mu\text{A}/\text{cm}^2$ à 200°C), une faible résistance à l'état passant des transistors à haute température (inférieure à $20\text{m}\Omega.\text{cm}^2$ à 200°C) et un faible courant de saturation du JFET à haute température ($\approx 200\text{A}/\text{cm}^2$ à 200°C). Toutefois, nous avons pu constater, dans le cas des MOSFET, l'effet prépondérant de la résistance du canal sur la chute de la tension totale à l'état passant. Ce point limitant nécessiterait des améliorations au niveau du canal afin de réduire cette chute de tension.

Puis, une étude a été effectuée sur l'influence de la résistance de grille, du niveau de courant de charge et de la température sur le comportement électrique des transistors SiC pendant les phases de commutation. Ces tests ont révélé des performances transitoires extrêmement prometteuses pour les MOSFET SiC, avec des vitesses de commutation élevées, de faibles pertes par commutation et un comportement en température extrêmement stable.

Enfin, une estimation de pertes a été réalisée dans les transistors MOSFET SiC, commutant à des hautes fréquences de découpage. Ces mesures délicates ont été effectuées par deux méthodes, calorimétrique et électrique. La bonne concordance entre les résultats, obtenus avec les deux techniques,

en terme de pertes totales dissipées a validé la précision et la fiabilité de la mesure électrique. Cette dernière reste préférable à la mesure calorimétrique, car elle limite l'échauffement du composant lors du test mais nécessite un soin extrêmement rigoureux dans la calibration et la compensation des différentes sondes de mesure. Concernant les résultats obtenus, les MOSFET SiC ont présenté des pertes dissipées relativement élevées (supérieures à $30W$ pour une fréquence de $75kHz$ sous une tension de $600V$ et à $10A$ de courant commuté), un point limitant pour leur fonctionnement à des hautes fréquences de découpage. Comparés à leur homologue en Si, un CoolMOS Infineon, ces composants ne présentent pas un réel avantage en terme de pertes.

La deuxième partie de ce manuscrit a été consacrée à l'étude de la robustesse des transistors SiC pré-sélectionnés en régime extrême de fonctionnement, en particulier en régime d'avalanche et de court-circuit. Ces travaux avaient comme finalité d'avoir un aperçu sur la robustesse de ces composants SiC, sur les dégradations qui pouvaient être susceptibles d'apparaître sous de tels régimes contraignants et enfin sur leurs modes de défaillance.

Les essais en régime d'avalanche ont révélé une robustesse remarquable des MOSFET Cree et des JFET Semisouth « normally-off », contrairement aux MOSFET Rohm qui s'avéraient moins robustes. En mode de limitation de courant, les trois types d'interrupteurs de puissance ont montré une bonne tenue de court-circuit, notamment le JFET SiC qui a présenté une robustesse exceptionnelle, ayant pu tenir une phase de court-circuit supérieure à $1ms$ sans défaillance. D'autre part, les tests menés sur les MOSFET SiC ont révélé une fragilité au niveau de la grille, un défaut qui affecte la fiabilité des composants.

Un intérêt tout particulier a été accordé au MOSFET Rohm dont la défaillance s'est produite sous forme d'un court-circuit franc entre grille et source, un comportement inhabituel qui nécessitait plus d'investigation. Ainsi, nous avons décidé de réaliser des tests de fatigue sur ce composant en régime de courts-circuits répétitifs et de suivre l'évolution de ses caractéristiques électriques. Ces essais ont été accompagnés par une tentative d'analyse de défaillance et des premières constations ont permis de formuler certaines hypothèses sur les éventuelles causes de défaillance de ces MOSFET SiC.

La troisième partie du mémoire a été dédiée à la modélisation d'une cellule de commutation comprenant un interrupteur de puissance SiC et une diode Schottky SiC de roue libre. Ces travaux ont contribué à l'élaboration de modèles précis, basés sur la physique des semi-conducteurs, sur la structure interne des composants SiC et sur la modélisation empirique introduite par McNUTT dans [McNutt et al., 2004a]. Il était visé des modèles permettant une bonne représentation du comportement électro-thermique des composants, et une prédétermination des vitesses de commutation et des pertes par commutation.

Les modèles développés dépendent de plusieurs paramètres physiques et empiriques inconnus, dont les valeurs ne sont pas toujours faciles à extraire. Pour pouvoir valider ces modèles en statique, nous avons pu définir un procédé d'extraction spécifique qui a donné une excellente concordance entre les modèles et les mesures expérimentales.

Les deux modèles ont été par la suite implémentés dans un circuit de simulation afin de tester leur fonctionnement dynamique dans une cellule de commutation. Cette étape a été réalisée dans l'environnement de simulation SIMPLORER en utilisant le langage VHDL-AMS. Enfin, une comparaison entre les résultats de la simulation et les résultats des mesures transitoires du MOSFET SiC a permis de conformer la validité des modèles proposés.

Perspectives

Enfin, pour conclure sur ce mémoire de thèse, nous proposons quelques perspectives comme continuité des travaux réalisés.

Une première perspective concerne la plateforme de caractérisation des commutations. Nous proposons d'améliorer le prototype expérimental en le rendant plus générique, pouvant être utilisé pour tester des composants et des modules SiC. Il faudrait aussi revoir la conception du dernier circuit de puissance développé afin de réduire les chemins de perturbations conduites pouvant fausser les résultats des caractérisations. D'autres améliorations devraient être réalisées sur le circuit de commande rapprochée afin d'optimiser les vitesses de commutation et de pouvoir tirer le plein bénéfice des dispositifs SiC étudiés.

Une autre suite possible à ce travail concerne l'analyse de défaillance des MOSFET SiC ayant subi un stress de type court-circuit. L'analyse macroscopique des indicateurs de dégradation, réalisée durant les tests de fatigue, a révélé une fragilité au niveau de la grille (oxyde et/ou passivation et métallisation proches), responsable de la défaillance des MOSFET SiC. Afin de confirmer cette hypothèse, une tentative d'analyse microscopique a été effectuée sur deux MOSFET SCH2090KE de Rohm et a permis d'ouvrir des pistes de réflexion sur les mécanismes de défaillance de la structure MOSFET SiC. Ces investigations devraient être approfondies en réalisant d'autres analyses fines (MEB, FIB, OBIRCH,...) sur d'autres composants ayant subi le même stress et en comparant ces résultats avec ceux d'un composant neuf. Un des modes de défaillance observé, un court-circuit entre grille et source assurant l'auto-protection du transistor. Ce mode de défaillance, une fois analysé et clairement identifié ouvre des pistes intéressantes pour l'auto-échauffement des transistors.

Enfin, la troisième perspective se rapporte sur la modélisation compacte des dispositifs SiC. Dans le cas d'un modèle complexe, prenant en compte plusieurs phénomènes physiques (électriques, thermiques,...), la question cruciale est comment traduire ces derniers par des expressions mathématiques simples afin de pouvoir les insérer dans un modèle compact. Une autre difficulté qui s'ajoute au premier point limitant est la procédure d'extraction des paramètres inconnus du modèle. Un tel modèle va comprendre un grand nombre de paramètres ce qui complique l'étape d'identification. Il serait donc important d'aborder en parallèle avec la conception des modèles des procédures expérimentales ou analytiques d'extraction des valeurs de ces paramètres.

Annexes

Circuit de commande du banc #1

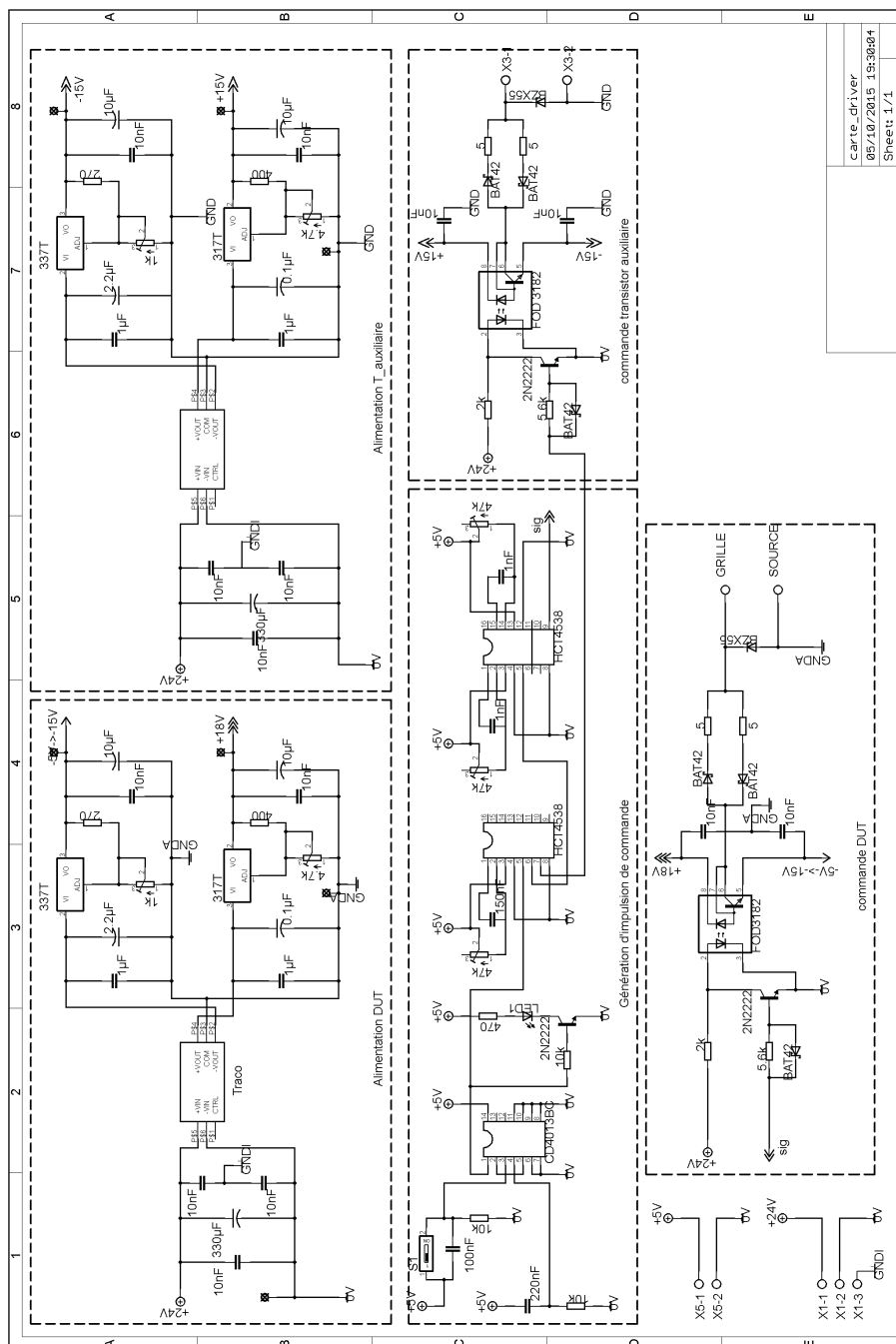


FIGURE A.1 – Schéma électrique du circuit de commande du banc #1 réalisé sous EAGLE

Bibliographie

- [Cas, 2011] (2011). A study of sic power bjt performance and robustness. *Microelectronics Reliability*, 51(9–11) :1773 – 1777.
- [Abbate et al., 2011] Abbate, C., Busatto, G., and Iannuzzo, F. (2011). Operation of sic normally-off jfet at the edges of its safe operating area. *Microelectronics Reliability*, 51(9) :1767–1772.
- [Adamowicz et al., 2011] Adamowicz, M., Giziewski, S., Pietryka, J., and Krzeminski, Z. (2011). Performance comparison of sic schottky diodes and silicon ultra fast recovery diodes. In *Compatibility and Power Electronics (CPE), 2011 7th International Conference-Workshop*, pages 144–149. IEEE.
- [Agarwal et al., 2006a] Agarwal, A., Krishnaswami, S., Richmond, J., Capell, C., Ryu, S., Palmour, J., Jones, K., and Scozzie, C. (2006a). Degradation of current gain in sic bjts. Cambridge Univ Press.
- [Agarwal et al., 2006b] Agarwal, A. K., Krishnaswami, S., Richmond, J., Capell, C., Ryu, S. H., Palmour, J. W., Geil, B., Katsis, D., Scozzie, C. J., and Stahlbush, R. E. (2006b). Influence of basal plane dislocation induced stacking faults on the current gain in sic bjts. In *Materials science forum*, volume 527, pages 1409–1412. Trans Tech Publ.
- [Agarwal et al., 2000] Agarwal, A. K., Seshadri, S., MacMillan, M., Mani, S. S., Casady, J., Sanger, P., and Shah, P. (2000). 4h–sic p–n diodes and gate turnoff thyristors for high-power, high-temperature applications. *Solid-State Electronics*, 44(2) :303–308.
- [Al Alam, 2011] Al Alam, E. (2011). *Développement de briques technologiques pour la réalisation de transistors MOS de puissance en Nitrure de Gallium*. PhD thesis, Université Paul Sabatier-Toulouse III.
- [Allard et al., 2005] Allard, B., Coquery, G., Dupont, L., Khatir, Z., Lazar, M., Lefebvre, S., Meuret, R., Morel, H., and Planson, D. (2005). Composants à semi-conducteur de puissance pour des applications à haute température de fonctionnement. *J3eA*, 4(HORS SÉRIE 1) :010.
- [Amagai, 2002] Amagai, M. (2002). Mechanical reliability in electronic packaging. *Microelectronics Reliability*, 42(4) :607–627.
- [Arnould, 1992] Arnould, J. et Merle, P. (1992). *Dispositifs de l'électronique de puissance*. Number vol. 1 in Dispositifs de l'électronique de puissance. Hermès.
- [Aubry, 2011] Aubry, J. (2011). *Sizing optimization of a direct electrical conversion chain including a supercapacitor-based power output smoothing system : application to the SEAREV wave energy converter*. Theses, École normale supérieure de Cachan - ENS Cachan.
- [Baliga, 1989] Baliga, B. (1989). Power semiconductor device figure of merit for high–frequency applications. *Electron Device Letters, IEEE*, 10(10) :455–457.
- [Baliga, 2001] Baliga, B. (2001). The future of power semiconductor device technology. *Proceedings of the IEEE*, 89(6) :822–832.
- [Baliga, 2010] Baliga, B. (2010). *Fundamentals of Power Semiconductor Devices*. Springer.
- [Baliga, 1982] Baliga, B. J. (1982). Semiconductors for high–voltage, vertical channel field–effect transistors. *Journal of Applied Physics*, 53(3).
- [Berkani et al., 2013] Berkani, M., Lefebvre, S., and Khatir, Z. (2013). Saturation current and on-resistance correlation during during repetitive short-circuit conditions on sic jfet transistors. *Power Electronics, IEEE Transactions on*, 28(2) :621–624.

- [Biela et al., 2011] Biela, J., Schweizer, M., Waffler, S., and Kolar, J. (2011). Sic versus si 2014;evaluation of potentials for performance improvement of inverter and dc 2013;dc converter systems by sic power semiconductors. *Industrial Electronics, IEEE Transactions on*, 58(7) :2872–2882.
- [Biela et al., 2010] Biela, J., Schweizer, M., Waffler, S., Wrzecionko, B., and Kolar, J. W. (2010). Sic vs. si-evaluation of potentials for performance improvement of power electronics converter systems by sic power semiconductors. In *Materials Science Forum*, volume 645, pages 1101–1106. Trans Tech Publ.
- [Bodeker et al., 2015] Bodeker, C., Vogt, T., and Kaminski, N. (2015). Stability of silicon carbide schottky diodes against leakage current thermal runaway. In *Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th International Symposium on*, pages 245–248. IEEE.
- [Bouarroudj et al., 2010] Bouarroudj, M., Othman, D., Lefebvre, S., Moumen, S., Khatir, Z., and Sallah, T. B. (2010). Ageing of sic jfet transistors under repetitive current limitation conditions. *Microelectronics Reliability*, 50(9–11) :1532 – 1537. 21st European Symposium on the Reliability of Electron Devices, Failure Physics and Analysis.
- [Boughrara et al., 2009] Boughrara, N., Moumen, S., Lefebvre, S., Khatir, Z., Friedrichs, P., and Faugières, J.-C. (2009). Robustness of sic jfet in short-circuit modes. *IEEE Electron device letters*, 30(1) :51–53.
- [Burgos et al., 2009] Burgos, R., Chen, Z., Boroyevich, D., and Wang, F. (2009). Design considerations of a fast 0ω ; gate-drive circuit for 1.2 kv sic jfet devices in phase-leg configuration. In *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE*, pages 2293–2300.
- [Buttay, 2004] Buttay, C. (2004). *Contribution à la conception par la simulation en électronique de puissance : application à l'onduleur basse tension*. PhD thesis, INSA de Lyon.
- [Buttay, 2015] Buttay, C. (2015). Modules et boîtiers de puissance (packaging). *Techniques de l'ingénieur Composants actifs en électronique de puissance*, base documentaire : TIB245DUO.(ref. article : d3116).
- [Buttay et al., 2011] Buttay, C., Planson, D., Allard, B., Bergogne, D., Bevilacqua, P., Joubert, C., Lazar, M., Martin, C., Morel, H., Tournier, D., and Raynaud, C. (2011). State of the art of high temperature power electronics. *Materials Science and Engineering : B*, 176(4) :283 – 288. Microtechnology and Thermal Problems in Electronics.
- [C2D20120D, 2013] C2D20120D (2013). Datasheet c2d20120d silicon carbide schottky diode. <http://www.cree.com/media/files/cree/power/data>
- [Callanan, 2011a] Callanan, B. (2011a). Application considerations for silicon carbide mosfets.
- [Callanan, 2011b] Callanan, R. (2011b). Demonstration of 10kw sic half bridge dc/dc converter. Power Electronics Europe.
- [Castellazzi et al., 2014] Castellazzi, A., Fayyaz, A., Yang, L., Riccio, M., and Irace, A. (2014). Short-circuit robustness of sic power mosfets : Experimental analysis. In *Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on*, pages 71–74. IEEE.
- [Castellazzi et al., 2012] Castellazzi, A., Funaki, T., Kimoto, T., and Hikihara, T. (2012). Thermal instability effects in sic power mosfets. *Microelectronics Reliability*, 52(9) :2414–2419.
- [Castellazzi et al., 2013] Castellazzi, A., Funaki, T., Kimoto, T., and Hikihara, T. (2013). Short-circuit tests on sic power mosfets. In *Power Electronics and Drive Systems (PEDS), 2013 IEEE 10th International Conference on*, pages 1297–1300.

- [Chang et al., 2000] Chang, H.-R., Gupta, R., Winterhalter, C., and Hanna, E. (2000). Comparison of 1200 v silicon carbide schottky diodes and silicon power diodes. In *Energy Conversion Engineering Conference and Exhibit, 2000. (IECEC) 35th Intersociety*, volume 1, pages 174–179. IEEE.
- [Chen et al., 2009] Chen, Z., Boroyevich, D., Burgos, R., and Wang, F. (2009). Characterization and modeling of 1.2 kv, 20 a sic mosfets. In *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE*, pages 1480–1487.
- [Chow, 1994] Chow, T.P. et Tyagi, R. (1994). Wide bandgap compound semiconductors for superior high-voltage unipolar power devices. *Electron Devices, IEEE Transactions on*, 41(8) :1481–1483.
- [Chow et al., 1998] Chow, T., Ramungul, N., and Ghezzi, M. (1998). Recent advances in high-voltage sic power devices. In *High-Temperature Electronic Materials, Devices and Sensors Conference, 1998*, pages 55–67.
- [Ciappa, 2002] Ciappa, M. (2002). Selected failure mechanisms of modern power modules. *Microelectronics reliability*, 42(4) :653–667.
- [CMF10120D, 2012] CMF10120D (2012). Datasheet cmf10120d-silicon carbide power mosfet. <http://www.cree.com/media/files/cree/power/data>
- [CMF20120D, 2012] CMF20120D (2012). Datasheet cmf20120d-silicon carbide power mosfet. <http://www.cree.com/media/files/cree/power/data>
- [Coppola et al., 2007] Coppola, L., Huff, D., Wang, F., Burgos, R., and Boroyevich, D. (2007). Survey on high-temperature packaging materials for sic-based power electronics modules. In *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pages 2234–2240.
- [Cova, 1998] Cova, P et Fantini, F. (1998). On the effect of power cycling stress on igbt modules. *Microelectronics Reliability*, 38(6) :1347–1352.
- [Culioli, 1994] Culioli, J. (1994). *Introduction à l'optimisation*. Ellipses.
- [Detzel et al., 2004] Detzel, T., Glavanovics, M., and Weber, K. (2004). Analysis of wire bond and metallization degradation mechanisms in dmos power transistors stressed under thermal overload conditions. *Microelectronics Reliability*, 44 :422–428.
- [DiMarino et al., 2013] DiMarino, C., Chen, Z., Danilovic, M., Boroyevich, D., Burgos, R., and Matavelli, P. (2013). High-temperature characterization and comparison of 1.2 kv sic power mosfets. In *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, pages 3235–3242.
- [Dixon-Warren, 2012] Dixon-Warren, S.-J. (2012). Inside cree's sic power mosfet (cmf20120d). <http://www.chipworks.com/blog/technologyblog/2012/03/05/inside-crees-sic-power-mosfet/>.
- [Emadi, 2000] Emadi, A. et Ehsani, M. (2000). Aircraft power systems : technology, state of the art, and future trends. *Aerospace and Electronic Systems Magazine, IEEE*, 15(1) :28–32.
- [Faleiro, 2006] Faleiro, L. (2006). Power optimised aircraft, a keystone in european research in more electric aircraft equipment systems. *Aeroday* 2006.
- [Fayyaz et al., 2013] Fayyaz, A., Yang, L., and Castellazzi, A. (2013). Transient robustness testing of silicon carbide (sic) power mosfets. In *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pages 1–10.
- [Friedrichs, 2008] Friedrichs, P. (2008). Silicon carbide power semiconductors 2014 ; new opportunities for high efficiency. In *Industrial Electronics and Applications, 2008. ICIEA 2008. 3rd IEEE Conference on*, pages 1770–1774.
- [Funaki et al., 2007] Funaki, T., Balda, J., Junghans, J., Kashyap, A., Mantooth, H., Barlow, F., Kimoto, T., and Hikihara, T. (2007). Power conversion with sic devices at extremely high ambient temperatures. *Power Electronics, IEEE Transactions on*, 22(4) :1321–1329.

- [Funaki et al., 2005] Funaki, T., Balda, J. C., Junghans, J., Jangwanitlert, A., Mounce, S., Barlow, F. D., Mantooth, H. A., Kimoto, T., and Hikihara, T. (2005). Switching characteristics of sic jfet and schottky diode in high-temperature dc-dc power converters. *IEICE Electronics Express*, 2(3) :97–102.
- [Galadi, 2008] Galadi, A. (2008). *Étude des propriétés physiques et nouvelle modélisation SPICE des transistors FLIMOS de puissance*. Theses, Université Paul Sabatier - Toulouse III.
- [Guedon et al., 2013] Guedon, F., Singh, S., McMahon, R., and Udrea, F. (2013). Boost converter with sic jfets : Comparison with coolmos and tests at elevated case temperature. *Power Electronics, IEEE Transactions on*, 28(4) :1938–1945.
- [Haaf Peter, 2012] Haaf Peter, M. D. (2012). Silicon carbide bjt's in boost applications. Fairchild Semiconductor Germany and Sweden.
- [Haehre et al., 2012] Haehre, K., Meisser, M., Denk, F., and Kling, R. (2012). Characterization and comparison of commercially available silicon carbide (sic) power switches. In *IET Conference Proceedings*. The Institution of Engineering & Technology.
- [Hornberger et al., 2005] Hornberger, J., Mounce, S., Schupbach, R., Lostetter, A., and Mantooth, H. A. (2005). High-temperature silicon carbide (sic) power switches in multichip power module (mcpm) applications. In *Industry Applications Conference, 2005. Fourtieth IAS Annual Meeting. Conference Record of the 2005*, volume 1, pages 393–398. IEEE.
- [Hornberger et al., 2007] Hornberger, J. M., Cilio, E., McPherson, B., Schupbach, R. M., and Lostetter, A. B. (2007). A fully integrated 300 °c, 4 kw, 3-phase, sic motor drive module. In *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pages 1048–1053. IEEE.
- [Huang et al., 2013] Huang, X., Wang, G., Li, Y., Huang, A. Q., and Baliga, B. J. (2013). Short-circuit capability of 1200v sic mosfet and jfet for fault protection. In *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, pages 197–200. IEEE.
- [Hull et al., 2009] Hull, B. A., Sumakeris, J. J., O'Loughlin, M. J., Zhang, Q. J., Richmond, J., Powell, A. R., Paisley, M. J., Tsvetkov, V. F., Hefner, A., and Rivera, A. (2009). Development of large area (up to 1.5 cm²) 4h-sic 10 kv junction barrier schottky rectifiers. In *Materials Science Forum*, volume 600, pages 931–934. Trans Tech Publ.
- [IXDD614, 2015] IXDD614 (2015). Step by step measurement handbook for power mosfet. <http://www.ixysic.com/home/pdfs.nsf/www/ixd614.pdf/file/ixd614.pdf>.
- [Jeannin, 2001] Jeannin, P.-O. (2001). *Le transistor MOSFET en Commutation : Application aux Associations Série et Parallèle de Composants à grille isolée*. PhD thesis, Institut National Polytechnique de Grenoble-INPG.
- [Johnson, 1965] Johnson, E. (1965). Physical limitations on frequency and power parameters of transistors. In *1958 IRE International Convention Record*, volume 13, pages 27–34.
- [Josef, 2014] Josef, Lutz et Roman, B. (2014). Some aspects on ruggedness of sic power devices. *Microelectronics Reliability*, 54(1) :49 – 56.
- [Kennedy, 1995] Kennedy, J. et Eberhart, R. (1995). Particle swarm optimization. In *Neural Networks, 1995. Proceedings., IEEE International Conference on*, volume 4, pages 1942–1948 vol.4.
- [Keyes, 1972] Keyes, R. (1972). Figure of merit for semiconductors for high-speed switches. *Proceedings of the IEEE*, 60(2) :225–225.
- [Kolar et al., 2012] Kolar, J., Krismer, F., Lobsiger, Y., Muhlethaler, J., Nussbaumer, T., and Minibock, J. (2012). Extreme efficiency power electronics. In *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*, pages 1–22.

- [Krishnaswami et al., 2005] Krishnaswami, S., Das, M., Hull, B., Ryu, S.-H., Scofield, J., Agarwal, A., and Palmour, J. (2005). Gate oxide reliability of 4h-sic mos devices. In *Reliability Physics Symposium, 2005. Proceedings. 43rd Annual. 2005 IEEE International*, pages 592–593. IEEE.
- [Laska et al., 2003] Laska, T., Miller, G., Pfaffenlehner, M., Turkes, P., Berger, D., Gutschmann, B., Kanschat, P., and Munzer, M. (2003). Short circuit properties of trench-/field-stop-igbts-design aspects for a superior robustness. In *Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD'03. 2003 IEEE 15th International Symposium on*, pages 152–155. IEEE.
- [Lefebvre, 2015] Lefebvre, Stéphane et Multon, B. (2015). Commande des semi-conducteurs de puissance : contextes. *Techniques de l'ingénieur Composants actifs en électronique de puissance*, base documentaire : TIB245DUO.(ref. article : d3230).
- [Lefebvre et al., 2005] Lefebvre, S., Khatir, Z., and Saint-Eve, F. (2005). Experimental behavior of single-chip igbt and coolmos devices under repetitive short-circuit conditions. *Electron Devices, IEEE Transactions on*, 52(2) :276–283.
- [Lelis et al., 2008] Lelis, A., Habersat, D., Green, R., Ogunniyi, A., Gurfinkel, M., Suehle, J., and Goldsman, N. (2008). Time dependence of bias-stress-induced sic mosfet threshold-voltage instability measurements. *Electron Devices, IEEE Transactions on*, 55(8) :1835–1840.
- [Leturcq, 2015a] Leturcq, P. (2015a). Semi-conducteurs de puissance unipolaires et mixtes (partie 1). *Techniques de l'ingénieur Composants actifs en électronique de puissance*, base documentaire : TIB245DUO.(ref. article : d3108).
- [Leturcq, 2015b] Leturcq, P. (2015b). Semi-conducteurs de puissance unipolaires et mixtes (partie 2). *Techniques de l'ingénieur Composants actifs en électronique de puissance*, base documentaire : TIB245DUO.(ref. article : d3109).
- [Levinshtein et al., 2001a] Levinshtein, M. E., Mnatsakanov, T. T., Ivanov, P. A., Agarwal, A. K., Palmour, J. W., Rumyantsev, S. L., Tandoev, A. G., and Yurkov, S. N. (2001a). Temperature dependence of turn-on processes in 4h-sic thyristors. *Solid-State Electronics*, 45(3) :453–459.
- [Levinshtein et al., 2001b] Levinshtein, M. E., Rumyantsev, S. L., and Shur, M. S. (2001b). *Properties of Advanced Semiconductor Materials : GaN, AlN, InN, BN, SiC, SiGe*. John Wiley & Sons.
- [Levy, 1995] Levy, F. (1995). *Physique et technologie des semiconducteurs*. Traite des matériaux. Presses polytechniques et universitaires romandes.
- [Liu et al., 2013] Liu, J., Wong, K. L., Allen, S., and Mookken, J. (2013). Performance evaluations of hard-switching interleaved dc/dc boost converter with new generation silicon carbide mosfets.
- [Lopez-Bancalari, 2014] Lopez-Bancalari, R. (2014). Conception et mesures d'une carte électronique de commande pour une structure en opposition de semi-conducteurs mosfet à grand gap. rapport de stage ingénieur, laboratoire satie, ens cachan.
- [Lorenz, 2002] Lorenz, L et Mitlehner, H. (2002). Key power semiconductor device concepts for the next decade. In *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the*, volume 1, pages 564–569. IEEE.
- [Lorenz, 2007] Lorenz, L. (2007). Power semiconductor devices-development trends and system interactions. In *Power Conversion Conference - Nagoya, 2007. PCC '07*, pages 348–354.
- [Martineau et al., 2010] Martineau, D., Mazeaud, T., Legros, M., Dupuy, P., and Levade, C. (2010). Characterization of alterations on power mosfet devices under extreme electro-thermal fatigue. *Microelectronics Reliability*, 50(9) :1768–1772.
- [Mathieu, 1987] Mathieu, H. (1987). *Physique des semiconducteurs et des composants électroniques*. Enseignement de la physique. Masson.

- [McCluskey et al., 1998] McCluskey, P., Grybowski, R., Condra, L., Das, D., Fink, J., Jordan, J., and Torri, T. (1998). Reliability concerns in high temperature electronic systems. In *High-Temperature Electronic Materials, Devices and Sensors Conference, 1998*, pages 199–206.
- [McNutt et al., 2004a] McNutt, T., Hefner, A., Mantooth, A., Berning, D., and Singh, R. (2004a). Compact models for silicon carbide power devices. *Solid-State Electronics*, 48(10–11) :1757 – 1762. International Semiconductor Device Research Symposium 2003.
- [McNutt et al., 2007] McNutt, T., Hefner, A., Mantooth, H., Berning, D., and Ryu, S.-H. (2007). Silicon carbide power mosfet model and parameter extraction sequence. *Power Electronics, IEEE Transactions on*, 22(2) :353–363.
- [McNutt et al., 2004b] McNutt, T. R., Hefner Jr, A. R., Mantooth, H. A., Duliere, J., Berning, D. W., and Singh, R. (2004b). Silicon carbide pin and merged pin schottky power diode models implemented in the saber circuit simulator. *Power Electronics, IEEE Transactions on*, 19(3) :573–581.
- [Mitic et al., 1999] Mitic, G., Beinert, R., Klofac, P., Schultz, H., and Lefranc, G. (1999). Reliability of aln substrates and their solder joints in igbt power modules. *Microelectronics reliability*, 39(6) :1159–1164.
- [Moscatelli et al., 2008] Moscatelli, F., Poggi, A., Solmi, S., and Nipoti, R. (2008). Nitrogen implantation to improve electron channel mobility in 4h-sic mosfet. *Electron Devices, IEEE Transactions on*, 55(4) :961–967.
- [Mousa et al., 2007] Mousa, R., Planson, D., Morel, H., and Raynaud, C. (2007). High temperature characterization of sic-jfet and modelling. In *Power Electronics and Applications, 2007 European Conference on*, pages 1–10. IEEE.
- [Nallet, 2015] Nallet, F. (2015). Sic pour l’électronique de puissance du futur. *Techniques de l’ingénieur Innovations en électronique et optoélectronique*, base documentaire : TIB257DUO.(ref. article : re3).
- [Nguyen et al., 2014] Nguyen, T., Ahmed, A., Tran, T., and Park, J. (2014). Gate oxide reliability issues of sic mosfets under short circuit operation.
- [Nguyen et al., 2015] Nguyen, T.-T., Ahmed, A., Thang, T., and Park, J.-H. (2015). Gate oxide reliability issues of sic mosfets under short-circuit operation. *Power Electronics, IEEE Transactions on*, 30(5) :2445–2455.
- [Olejniczak et al., 2002] Olejniczak, K. J., Burgers, K. C., Ang, S. S., and Porter, E. V. (2002). Conversion of electrical energy from one form to another, and its management through multichip module structures. US Patent 6,462,976.
- [Otsuki et al., 2003] Otsuki, M., Onozawa, Y., Kanemaru, H., Seki, Y., and Matsumoto, T. (2003). A study on the short-circuit capability of field-stop igbts. *IEEE Transactions on Electron Devices*, 50 :1525–1531.
- [Otto et al., 2014] Otto, A., Kaulfersch, E., Brinkfeldt, K., Neumaier, K., Zschieschang, O., Anderson, D., and Rzepka, S. (2014). Reliability of new sic bjt power modules for fully electric vehicles. In *Advanced Microsystems for Automotive Applications 2014*, pages 235–244. Springer.
- [Ouaida et al., 2014] Ouaida, R., Berthou, M., Leon, J., Perpina, X., Oge, S., Brosselard, P., and Joubert, C. (2014). Gate oxide degradation of sic mosfet in switching conditions.
- [Ozpineci et al., 2009] Ozpineci, B., Chinthavali, M., Tolbert, L., Kashyap, A., and Mantooth, H. (2009). A 55-kw three-phase inverter with si igbts and sic schottky diodes. *Industry Applications, IEEE Transactions on*, 45(1) :278–285.

- [Ozpineci, 2004] Ozpineci, B et Tolbert, L. (2004). *Comparison of wide-bandgap semiconductors for power electronics applications*. United States. Department of Energy.
- [Pietranico et al., 2011] Pietranico, S., Lefebvre, S., Pommier, S., Bouaroudj, M. B., and Bontemps, S. (2011). A study of the effect of degradation of the aluminium metallization layer in the case of power semiconductor devices. *Microelectronics Reliability*, 51(9–11) :1824 – 1829. Proceedings of the 22th European Symposium on the Reliability of Electron Devices, Failure Physics and Analysis.
- [Pietranico et al., 2010] Pietranico, S., Pommier, S., Lefebvre, S., Khatir, Z., Bontemps, S., and Cadel, E. (2010). Study of ageing of the metallization layer of power semiconductor devices.
- [Pérez-Tomás et al., 2006] Pérez-Tomás, A., Brosselard, P., Godignon, P., Millán, J., Mestres, N., Jennings, M. R., Covington, J. A., and Mawby, P. A. (2006). Field-effect mobility temperature modeling of 4h-sic metal-oxide-semiconductor transistors. *Journal of Applied Physics*, 100(11) :–.
- [Rana et al., 2011] Rana, A. K., Chand, N., and Kapoor, V. (2011). Gate current modeling and optimal design of nanoscale non-overlapped gate to source/drain mosfet. *Journal of Semiconductors*, 32(7) :074001.
- [Raynaud, 2015] Raynaud, C. (2015). Propriétés physiques et électroniques du carbure de silicium (sic). *Techniques de l'ingénieur Composants actifs en électronique de puissance*, base documentaire : TIB245DUO.(ref. article : d3119). fre.
- [Raynaud et al., 2010] Raynaud, C., Tournier, D., Morel, H., and Planson, D. (2010). Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices. *Diamond and Related Materials*, 19(1) :1 – 6.
- [Rebello et al., 1996] Rebello, N., Shoucair, F., and Palmour, J. (1996). 6h silicon carbide mosfet modelling for high temperature analogue integrated circuits (25-500 deg;c). *Circuits, Devices and Systems, IEE Proceedings -*, 143(2) :115–122.
- [Riccio et al., 2013] Riccio, M., Castellazzi, A., Falco, G. D., and Irace, A. (2013). Experimental analysis of electro-thermal instability in sic power {MOSFETs}. *Microelectronics Reliability*, 53(9–11) :1739 – 1744. European Symposium on Reliability of Electron Devices, Failure Physics and Analysis.
- [Roboam, 2011] Roboam, X. (2011). New trends and challenges of electrical networks embedded in “more electrical aircraft”. In *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, pages 26–31. IEEE.
- [Roschke, 2001] Roschke, Matthias et Schwierz, F. (2001). Electron mobility models for 4h, 6h, and 3c sic [mesfets]. *Electron Devices, IEEE Transactions on*, 48(7) :1442–1447.
- [Rosero et al., 2007] Rosero, J., Ortega, J., Aldabas, E., and Romeral, L. (2007). Moving towards a more electric aircraft. *Aerospace and Electronic Systems Magazine, IEEE*, 22(3) :3–9.
- [Rossignol, 2015] Rossignol, T. (2015). Contribution à la caractérisation et à la commande rapprochée de composants à grand gap moyenne tension pour onduleur de tension. thèse de doctorat de l’université de toulouse.
- [Rouger, 2015] Rouger, N. (2015). *Nouveau paradigme pour l’intégration des actifs en électronique de puissance. Habilitation à diriger des recherches*. PhD thesis, Université de Grenoble.
- [Roy et al., 2003] Roy, K., Mukhopadhyay, S., and Mahmoodi-Meimand, H. (2003). Leakage current mechanisms and leakage reduction techniques in deep-submicrometer cmos circuits. *Proceedings of the IEEE*, 91(2) :305–327.
- [Ruff et al., 1994] Ruff, M., Mitlehner, H., and Helbig, R. (1994). Sic devices : physics and numerical simulation. *Electron Devices, IEEE Transactions on*, 41(6) :1040–1054.

- [Rumyantsev et al., 2009] Rumyantsev, S., Shur, M., Levinshtein, M., Ivanov, P., Palmour, J., Agarwal, A., Hull, B., and Ryu, S.-H. (2009). Channel mobility and on-resistance of vertical double implanted 4h-sic mosfets at elevated temperatures. *Semiconductor Science and Technology*, 24(7) :075011.
- [Santini et al., 2013] Santini, T., Sebastien, M., Florent, M., Phung, L.-V., and Allard, B. (2013). Gate oxide reliability assessment of a sic mosfet for high temperature aeronautic applications. In *ECCE Asia Downunder (ECCE Asia), 2013 IEEE*, pages 385–391. IEEE.
- [SCH2080KE, 2014] SCH2080KE (2014). Datasheet sch2080ke n-channel sic power mosfet co-packaged with sic-sbd.
<http://rohmfs.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sch2080ke.pdf>.
- [Scheridan, 2010] Scheridan, J. B. C. (2010). Fast switching 1200v normally-off sic vjfet power modules.
<http://www.power-mag.com>.
- [semiconductor, 2014] semiconductor, R. (2014). Sic power devices and modules, application note.
- [Shenai, 2014] Shenai, K. (2014). Wide bandgap (wbg) power devices for high-density power converters - excitement and reality. in applied power electronic conference (apec), 2014, industry session,.
- [Shenai et al., 1989] Shenai, K., Scott, R. S., and Baliga, B. J. (1989). Optimum semiconductors for high-power electronics. *Electron Devices, IEEE Transactions on*, 36(9) :1811–1823.
- [Sheng et al., 2006] Sheng, K., Yu, L., Zhang, J., and Zhao, J. (2006). High temperature characterization of sic bjts for power switching applications. *Solid-state electronics*, 50(6) :1073–1079.
- [Siemienieć, 2011] Siemienieć, R. et Kirchner, U. (2011). The 1200v direct-driven sic jfet power switch. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1–10.
- [SJEP120R063, 2011] SJEP120R063 (2011). Datasheet sjep120r063 normally-off trench silicon carbide power jfet.
<https://www.poweralia.com/images/pdf/sjep120r063.pdf>.
- [Spirito et al., 2002] Spirito, P., Breglio, G., D’Alessandro, V., and Rinaldi, N. (2002). Thermal instabilities in high current power mos devices : experimental evidence, electro-thermal simulations and analytical modeling. In *Microelectronics, 2002. MIEL 2002. 23rd International Conference on*, volume 1, pages 23–30 vol.1.
- [SPW55N80C3, 2012] SPW55N80C3 (2012). Datasheet spw55n80c3 coolmos c3 800v.
<http://www.datasheets360.com/part/detail/spw55n80c3/4429467151167575854/>.
- [Stephani, 2002] Stephani, D. (2002). Prospects of sic power devices from the state of the art to future trends. In *Proceedings of the 45th International Power Electronics Conference, Nuremberg*.
- [Testa et al., 2012] Testa, A., De Caro, S., and Russo, S. (2012). A reliability model for power mosfets working in avalanche mode based on an experimental temperature distribution analysis. *Power Electronics, IEEE Transactions on*, 27(6) :3093–3100.
- [Thoben et al., 2001] Thoben, M., Xie, X., Silber, D., and Wilde, J. (2001). Reliability of chip/dcb solder joints in alsic base plate power modules : influence of chip size. *microelectronics reliability*, 41(9) :1719–1723.
- [Tilak et al., 2007] Tilak, V., Matocha, K., and Dunne, G. (2007). Electron-scattering mechanisms in heavily doped silicon carbide mosfet inversion layers. *Electron Devices, IEEE Transactions on*, 54(11) :2823–2829.

- [Treu et al., 2007] Treu, M., Rupp, R., Blaschitz, P., Rüschemschmidt, K., Sekinger, T., Friedrichs, P., Elpelt, R., and Peters, D. (2007). Strategic considerations for unipolar sic switch options : Jfet vs. mosfet. In *Industry Applications Conference, 2007. 42nd IAS Annual Meeting. Conference Record of the 2007 IEEE*, pages 324–330. IEEE.
- [Wondrak, 1999] Wondrak, W. (1999). Physical limits and lifetime limitations of semiconductor devices at high temperatures. *Microelectronics Reliability*, 39(6) :1113–1120.
- [Yu et al., 2010] Yu, L., Dunne, G., Matocha, K., Cheung, K., Suehle, J., and Sheng, K. (2010). Reliability issues of sic mosfets : A technology for high-temperature environments. *Device and Materials Reliability, IEEE Transactions on*, 10(4) :418–426.
- [Zhang, 2012a] Zhang, L. (2012a). *Etude de fiabilité des modules d’électronique de puissance à base de composant SiC pour applications hautes températures*. PhD thesis, Université Sciences et Technologies-Bordeaux I.
- [Zhang, 2012b] Zhang, Z. (2012b). *Gestion thermique des composants d’électronique de puissance- Utilisation du diamant CVD*. PhD thesis, Institut National Polytechnique de Toulouse-INPT.
- [Zhuxian, 2012] Zhuxian, Xu. et Wang, F. (2012). Experimental investigation of si igbt short circuit capability at 200 ° c. In *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, pages 162–168.